DESARROLLO DE UNA HERRAMIENTA DE SIMULACIÓN DIGITAL PARA EL ANÁLISIS DE LA OPERACIÓN DINÁMICA DE REDES ELÉCTRICAS NO LINEALES INTERACTUANDO CON SISTEMAS FÍSICOS, EN LAZO ABIERTO Y LAZO CERRADO

TESIS

Que para obtener el Grado de

DOCTOR EN INGENIERÍA ELÉCTRICA

Presenta

FERNANDO MARTÍNEZ CÁRDENAS

DR. J. AURELIO MEDINA RIOS

Director de Tesis

DR. EDMUNDO BARRERA CARDIEL
Co-Director de Tesis

UNIVERSIDAD MICHOACANA DE SAN NICOLÁS DE HIDALGO
FACULTAD DE INGENIERÍA ELÉCTRICA
DIVISIÓN DE ESTUDIOS DE POSGRADO

Febrero del 2008

RESUMEN

La simulación digital en lazo abierto, lazo cerrado y en tiempo real de sistemas eléctricos de potencia ha ocupado un lugar relevante en las etapas de planeación, diseño, operación, modelado y análisis del sistema eléctrico de potencia debido a que permite conocer su comportamiento dinámico ante un número diverso de condiciones anormales de operación, que pudieran presentarse en el sistema real y que en algunos casos pudieran generar efectos destructivos para el propio sistema, su estabilidad, o bien condiciones peligrosas para el personal que de alguna manera interactúa con los distintos elementos que lo conforman.

Debido a la importancia que representa la simulación y evaluación del estado de operación del sistema eléctrico de potencia a través del uso de esquemas de lazo abierto y lazo cerrado, el trabajo que se presenta en esta tesis contiene un análisis detallado de las diferentes herramientas de simulación existentes en el mercado y presenta resultados de diferentes casos de estudio, así como de las herramientas utilizadas y desarrolladas para la implementación de dichos esquemas que permiten efectuar la evaluación de la operación de sistemas eléctricos no lineales bajo condiciones de disturbio.

Se presenta también un estudio de las características de los simuladores en tiempo real existentes en el mercado y se describen las herramientas de software y de hardware necesarias para estructurar una plataforma de simulación en tiempo real basada en una red heterogénea de computadoras estándar que potencialmente integren un sistema con la capacidad de realizar procesamiento en paralelo en tiempo real.

Adicionalmente se presentan también, dentro de los casos de estudio presentados, los resultados de pruebas experimentales efectuadas a diferentes relevadores de protección con el propósito de evaluar su comportamiento ante condiciones de distorsión y desbalance en el sistema eléctrico de potencia.

Como resultado de este trabajo de tesis se presentan diferentes aportaciones originales como el desarrollo del modelo de la máquina síncrona en coordenadas de fase para el simulador PSCAD/EMTDC, el desarrollo de un equipo para realizar pruebas en lazo abierto denominado VOLTS (Sistema versátil de pruebas en lazo abierto, en inglés: *Versatile Open Loop Testing System*), el desarrollo de un simulador básico llamado CLODSA-RT (Simulador digital en lazo cerrado y analizador en tiempo real, en inglés: *Closed LOop Digital Simulator and Analyzer in Real Time*), para el cual se presentan cinco casos de estudio que incluyen esquemas de lazo abierto y lazo cerrado que demuestran la factibilidad del desarrollo de un simulador en tiempo real basado en sistemas de cómputo estándar, resultados originales referentes al comportamiento de los relevadores de protección ante la presencia de distorsión armónica y condiciones desbalanceadas en el sistema eléctrico de potencia documentados en ocho artículos internacionales ya publicados así como otro artículo publicado relacionado con esquemas en lazo abierto y uno más en proceso de revisión relacionado con simulación en tiempo real.

ABSTRACT

Open Loop, closed loop and real-time digital simulation of power systems have occupied a relevant place in the planning, design, operation, modeling and analysis stages of the power electrical system because it allows to know its dynamical behavior under many abnormal operation conditions that could be present at the real system. These abnormal operation conditions could generate destructive effects for the system, its stability or could generate dangerous conditions for the personnel that interact with each element of the electrical system.

The open loop and closed loop digital simulation schemes represent very important tools in modern evaluation systems because they allow to evaluate the operation state of the power electrical system under practically any operation condition. This is why the work presented in this thesis includes a detailed analysis of different simulation tools available in the market and show the results of a set of case study conducted some of them with commercial tools and other with the tools developed as part of this thesis work. These implemented schemes were used to evaluate the operation state of non-linear electrical systems under transient conditions.

It is also included in this work a study about the characteristics of the real-time simulators available in the market. On the other hand, the neccessary software and hardware tools to build a real-time simulation platform based on a standard heterogeneous computer network are described. This real-time simulation platform will conform in the future a system with the necessary characteristics to conduct parallel processing in real-time.

Additionally, the results of experimental studies conducted to different protection relays are shown as a part of the different case studies presented. These studies were conducted with the purpose of evaluating their behavior under the presence of harmonic distortion and unbalanced conditions in the power electrical system.

This thesis work gave as a result many original contributions. First, the phase coordinates synchronous machine model for the commercial simulator PSCAD/EMTDC; second, the

development of an open loop testing equipment named VOLTS (*Versatile Open Loop Testing System*); third, the development of an elementary simulator named CLODSA-RT (*Closed LOop Digital Simulator and Analyzer in Real Time*), conformed with five case study that include open loop and closed loop schemes that show the feasibility of the development of a real-time simulator based on standard computing systems; fourth, original results related to the protection relays behavior under the presence of harmonic distortion and unbalanced conditions in the power electrical system documented in eight published international papers, other published paper related to open loop tests and another paper in reviewing process related to real-time simulation.

AGRADECIMIENTOS

El mas grande de los agradecimientos es para Dios por darme los medios para lograr este objetivo de llevar a buen término mis estudios doctorales. Sin él que es el creador de la vida y de todas las cosas no habría sido posible la culminación de este proyecto.

A mis papás primero por darme la vida y luego por el esfuerzo de toda su vida para educarme y proporcionarme los recursos necesarios para tener una formación tanto personal como profesional, la cual sin duda ha sido la base mas sólida de todo mi desarrollo personal y profesional.

A Lety mi esposa por llegar a mi vida y hacerme muy feliz y por apoyarme incondicionalmente en todo este proceso de iniciar una vida juntos al mismo tiempo de enfrentar el reto que representa culminar unos estudios doctorales, lo cual no habría sido posible sin su apoyo y comprensión.

Mi mas sincero agradecimiento a la Dirección General de Educación Superior Tecnológica (DGEST), al Consejo del Sistema Nacional de Educación Tecnológica (CoSNET), al Instituto Tecnológico de Morelia (ITM), a la Academia de Ingeniería Electrónica y a todos los profesores que la conforman por las facilidades otorgadas para la realización de mis estudios doctorales a través del otorgamiento de una licencia beca para estudios de doctorado.

A la Universidad Michoacana de San Nicolás de Hidalgo (UMSNH) por el apoyo económico otorgado durante los primeros 3 semestres, y el último semestre (séptimo) de mis estudios doctorales y a la División de Estudios de Posgrado de la Facultad de Ingeniería Eléctrica (DEPFIE) de la UMSNH por permitirme formarme como doctor e investigador dentro de sus instalaciones.

Al Consejo Nacional de Ciencia y Tecnología (Conacyt) por el apoyo económico otorgado a través del proyecto 40112-Y y de la beca de doctorado otorgada durante el cuarto, quinto y sexto semestre de mis estudios.

Muy en especial al Dr. J. Aurelio Medina Ríos porque su gran calidad como investigador y como persona, así como su permanente disposición para proveer los recursos materiales y de conocimiento necesarios en el desarrollo de este proyecto, permitieron que su papel como asesor de esta tesis fuera excepcional y clave para llevarla a buen termino generando aportaciones muy valiosas, estableciendo una línea de investigación que seguirá dando frutos durante mucho tiempo y siendo un apoyo fundamental en la formación como investigador del autor de esta tesis. Mi más profundo respeto, admiración y agradecimiento.

Al Dr. Edmundo Barrera Cardiel por ser co-asesor de esta tesis y proveer varios de los recursos de hardware y software necesarios para el desarrollo de este proyecto y en general a todos los profesores del postgrado que de manera directa o indirecta colaboraron en mi formación doctoral.

I want to acknoledge to the HVDC Research Centre (Winnipeg, Manitoba, Canada) directed by Paul Wilson, for allowing me to take a research doctoral stay, which proved to be an important part in the consolidation of my thesis work. My special gratitude to Dr. Dharshana Muthumuni for being my first contact and the responsible of my stay, but especially for becoming a very good friend of mine. I also want to acknoledge to Dr. Rohita Jayasinghe for sharing with me a bit of his knowledge about EMTDC; to Juan Carlos García for being a good friend of mine and facilitating my stay in Winnipeg; to Paul Buchanan for all his attentions and his good sense of humor, and to all people in the centre.

I want to acknoledge to the University of Manitoba and especially to Thiromi Rajapaksha for her time to teach me to use RTDS. I also want to acknoledge to RTDS Technologies Inc. for receiving me in their facilities and giving me some time to explain the characteristics of their real-time simulator RTDS.

ÍNDICE

Resumen i
Abstract iii
Agradecimientos v
Indice vii
Indice de Figuras xi
Indice de Tablas xix
Lista de Abreviaciones xxi
Lista de Símbolos xxv
Lista de Publicaciones xxix

Capítulo 1 Introducción

1.1 Revisión del Estado del Arte 1
1.2 Justificación 10
1.3 Objetivos 12
1.4 Metodología 13
1.5 Aportaciones Originales 14
1.6 Descripción de Capítulos..... 15

Capítulo 2 Herramientas para el Análisis de Transitorios y Estabilidad de Sistemas Eléctricos de Potencia

2.1 Introducción 19
2.2 Estudio de las Características de los Simuladores ATP/EMTP, PSCAD/EMTDC, RTDS, HYPERSIM, ARENE y el entorno ADvantage 21
2.2.1 ATP/EMTP 22
2.2.2 PSCAD/EMTDC 24
2.2.3 RTDS 27
2.2.4 HYPERSIM 30
2.2.5 ARENE 34
2.2.6 Entorno ADvantage 38
2.2.7 Comparación de Características de Simuladores 41
2.3 Modelado de Componentes Eléctricos con PSCAD/EMTDC 44
2.4 Estudios Fuera de Línea de Sistemas de CA-CD. 45
2.5 Casos de Estudio 46
2.5.1 Caso 2.1 Red simple de C.A. 46
2.5.2 Caso 2.2 Red simple de C.D. con interruptor 49
2.5.3 Caso 2.3 Red monofásica de transmisión con simulación de falla a tierra. 51

2.5.4 Caso 2.4 Desarrollo del modelo de la máquina síncrona en coordenadas de fase para PSCAD/EMTDC..... 54
2.5.4.1 Datos y Ecuaciones de la Máquina Síncrona en Coordenadas de Fase .....
2.6 Conclusiones 68

Capítulo 3 Implementación de Esquemas de Lazo Abierto

3.1 Introducción ……..... 71
3.2 Implementación de los esquemas en lazo abierto ……..... 73
3.2.1 Esquemas en lazo abierto usando el equipo de pruebas DOBLE F6150……. 74
3.2.1.1 Características del equipo de pruebas DOBLE F6150 …… 74
3.2.1.2 Esquemas de conexión del equipo de pruebas DOBLE F6150 ……... 78
3.2.2 Esquemas en lazo abierto usando el equipo de pruebas RTP (Real Time PlayBack) 79
3.2.2.1 Características del equipo de pruebas RTP …….. 79
3.2.2.2 Esquemas de conexión del equipo de pruebas RTP ……. 82
3.2.3 Desarrollo del equipo de pruebas en lazo abierto VOLTS (Versatile Open Loop Testing System) ……..... 83
3.2.3.1 Software desarrollado para el sistema de pruebas en lazo abierto VOLTS ……..... 84
3.2.3.2 Hardware del sistema de pruebas en lazo abierto VOLTS …….. 94
3.2.3.3 Esquemas de conexión de VOLTS …….. 96
3.2.3.4 Universo de Aplicaciones del sistema de pruebas VOLTS ……. 98
3.3 Casos de estudio ……..... 100
3.3.1 Caso 3.1. Obtención de curvas de tiempo inverso de un relevador digital ……. 100
3.3.2 Caso 3.2. Pruebas de armónicos a tres generaciones de relevadores de protección ……..... 106
3.3.2.1 Interpretación de resultados para el relevador electromecánico..... 110
3.3.2.2 Interpretación de resultados para el relevador estático..... 113
3.3.2.3 Interpretación de resultados para el relevador digital..... 115
3.3.3 Caso 3.3. Pruebas de respuesta a condiciones de desbalance en presencia de armónicos de un relevador digital 121
3.3.3.1 Pruebas realizadas bajo condiciones desbalanceadas sin distorsión armónica 122
3.3.3.2 Pruebas realizadas bajo condiciones desbalanceadas en presencia de distorsión armónica 124
3.3.3.3 Resultados de pruebas de desbalance por componente de secuencia cero 126
3.3.3.4 Resultados de pruebas de desbalance por componente de secuencia negativa 131
3.4 Conclusiones ……..... 136

Capítulo 4 Esquemas en Lazo Cerrado y Simulación en Tiempo Real

4.1 Introducción 139
4.2 Esquemas en lazo cerrado 139
4.3 Simulación en tiempo real 140
4.4 Plataforma de programación para el desarrollo de un simulador en tiempo real (Visual C++) 142
4.5 Biblioteca de manejo de dispositivos de E/S (Measurement Studio) 144
4.6 Herramientas de procesamiento en paralelo 145
4.6.1 Subprocesamiento múltiple (Multithreading) 147
4.6.2 Parallel Virtual Machine (PVM) 149
4.6.3 Otras herramientas de procesamiento en paralelo 150
4.7 Sistemas operativos y extensiones de tiempo real 151
4.7.1 Phar Lap ETS 154
4.7.2 RTX 155
4.7.3 RTLinux 157
4.7.4 INtime 157
4.7.5 LynxOS 158
4.7.6 On Time RTOS-32 158
4.7.7 IRIX 159
4.7.8 Otros sistemas operativos o extensiones en tiempo real 160
4.8 Metodología de simulación 160
4.9 Características del simulador en tiempo real desarrollado *CLODSA-RT* 165
4.9.1 Arquitectura general de *CLODSA-RT* 165
4.9.2 Software y funciones de *CLODSA-RT* 169
4.9.2.1 Función de *simulación en tiempo real* 171
4.9.2.2 Función de *modo "Play Back"* 175
4.9.2.3 Opción para *mostrar caso de estudio* 175
4.9.2.4 Opción para *entrada de datos* 175
4.9.2.5 Opción para *mostrar conexiones de salida* 177
4.9.2.6 Opción para *mostrar resultados* 177
4.9.2.7 Opción para *ajustar escalas* 178
4.9.2.8 Opción para *guardar resultados en archivo* 178
4.9.3 Métodos de integración incorporados en *CLODSA-RT* 178
4.10 Conclusiones 181

Capítulo 5 Resultados y Validación del Simulador *CLODSA-RT*

5.1 Introducción 185
5.2 Casos de estudio y validación de resultados 185
5.2.1 Caso 5.1. Red simple de C.A. 186
5.2.1.1 Ventanas de Interfase con el usuario 187
5.2.1.2 Validación de resultados 191
5.2.2 Caso 5.2. Red simple de C.D. con interruptor 196
5.2.2.1 Ventanas de Interfase con el usuario 197
5.2.2.2 Validación de resultados 198
5.2.3 Caso 5.3. Red monofásica de distribución con simulación de falla a tierra 207

5.2.3.1 Ventanas de interfase con el usuario …… 208
5.2.3.2 Validación de resultados ……..... 212
5.2.4 Caso 5.4. Máquina síncrona en coordenadas de fase …….. 218
5.2.4.1 Ventanas de interfase con el usuario …… 220
5.2.4.2 Validación de resultados …….. 226
5.2.5 Caso 5.5. Esquema en lazo cerrado para prueba en línea de un relevador de protección ……..... 239
5.2.5.1 Ventanas de interfase con el usuario …… 241
5.2.5.2 Validación de resultados ……..... 244
5.3 Conclusiones ……..... 252

Capítulo 6 Conclusiones y Trabajos Futuros

6.1 Conclusiones ……..... 255
6.2 Trabajos futuros ……..... 258

Referencias 263

Apéndice A. Sistemas Operativos en Tiempo Real ……..... 283

Apéndice B. Interfase de Baja Señal de relevadores SEL 287

B.1 Interfase de baja señal del relevador SEL 121-F……..... 288
B.2 Interfase de baja señal del relevador SEL 321 ……..... 289
B.3 Interfase de baja señal del relevador SEL 351 ……..... 290

Apéndice C. Ecuaciones Utilizadas en *CLODSA-RT* y Aspecto Físico 293

C.1 Ecuaciones de los diferentes casos de estudio ……..... 293
C.1.1 Ecuaciones del caso 5.1 …….. 294
C.1.2 Ecuaciones del caso 5.2 …….. 294
C.1.3 Ecuaciones del caso 5.3 …….. 295
C.1.4 Ecuaciones del caso 5.4 …….. 295
C.1.5 Ecuaciones del caso 5.5 …….. 296
C.2 Aspecto físico de *CLODSA-RT*……..... 297

ÍNDICE DE FIGURAS

Figura 2.1. Pre-procesador gráfico para ATP, ATPDraw 24
Figura 2.2. Ambiente de trabajo de PSCAD/EMTDC 26
Figura 2.3. Arquitectura de RTDS 28
Figura 2.4. Editor gráfico del sistema de potencia “Draft” 29
Figura 2.5. Tres versiones de plataforma de hardware para Hypersim. a) SGI Origin 2000/3000, b) SGI Origin 350 y c) PC cluster 33
Figura 2.6. Interfase Gráfica de Usuario (GUI) de Hypersim 34
Figura 2.7. Versión portátil de ARENE PCRT. 36
Figura 2.8. ARENE versión RTP. 37
Figura 2.9. Interfase Gráfica con el Usuario de ARENE. 38
Figura 2.10. Entorno de desarrollo de aplicaciones en tiempo real. a) administrador de herramientas de software Advatage, b) plataforma de cosimulación basada en computadora de escritorio, c) plataforma de montaje en rack basada en PC, rtX; d) plataforma basada en el estándar VMEbus, RTS. 39
Figura 2.11. Red simple de C.A. para el Caso 2.1. 47
Figura 2.12. Comportamiento transitorio de las corrientes I1 e I2 del Caso 2.1. 48
Figura 2.13. Comportamiento de estado estacionario de las corrientes I1 e I2 del Caso 2.1. 49
Figura 2.14. Red simple de C.D. para el Caso 2.2. 50
Figura 2.15. Resultados para el Caso 2.2. 51
Figura 2.16. Caso 2.3: Red monofásica de transmisión con simulación de falla a tierra. 52
Figura 2.17. Resultados de la simulación del Caso 2.3. 53
Figura 2.18. Caso 2.4: Máquina síncrona en coordenadas de fase conectada a un bus infinito.. 55
Figura 2.19. Resultados de la simulación del caso 2.4. a) Corrientes de armadura, b) corriente del devanado de campo. 57
Figura 2.20. Resultados de la simulación del caso 2.4. a) Par eléctrico, b) velocidad mecánica (rotor). 57
Figura 2.21. Respuesta transitoria del caso 2.4. a) Corrientes de armadura, b) corriente del devanado de campo. 58
Figura 2.22. Respuesta transitoria del caso 2.4. a) Par eléctrico, b) velocidad mecánica (rotor). 58
Figura 2.23. Respuesta de estado estacionario de las corrientes de armadura del caso 2.4..... 59
Figura 2.24. Respuesta de estado estacionario del caso 2.4. a) Corriente de devanado de campo, b) Par eléctrico, c) velocidad mecánica (rotor) 59

Figura 3.1. Interfase principal del software ProTesT. 75
Figura 3.2. Interfase de hardware del F6150. 77
Figura 3.3 Esquema de conexión del equipo F6150. 78
Figura 3.4 Software PLAYBACK de RTP. 80
Figura 3.5 Aspecto físico de la interfase de Hardware del RTP. 81

Figura 3.6. Esquema de conexión del equipo RTP. 82
Figura 3.7. Ventana principal de VOLTS. 85
Figura 3.8. Formato del archivo de entrada a VOLTS. 86
Figura 3.9. Ventana del visor gráfico de señales a reproducir. 87
Figura 3.10. Ventana de ajuste de factores de escala para las señales a reproducirse. 88
Figura 3.11. Ventana de generación de pruebas fijas. 89
Figura 3.12. Ventana de datos para las pruebas fijas. 90
Figura 3.13. Ventana de opciones de post-procesamiento de señales. 91
Figura 3.14. Oscilogramas de una señal reproducida con VOLTS. (a) 16 muestras por ciclo, (b) 1024 muestras por ciclo después de duplicar 6 veces la frecuencia de muestreo. 93
Figura 3.15. Tarjetas que conforman el hardware del equipo de pruebas VOLTS. (a) Tarjeta de salidas analógicas NI PCI-6713, (b) Tarjeta de adquisición de datos (DAQ) NI PCI-MIO-16E-4. 96
Figura 3.16. Esquema de conexión de VOLTS. 97
Figura 3.17. Diagrama de conexiones para prueba de obtención de curvas de operación de la función 51 de un relevador SEL-351 mediante el uso del equipo de pruebas VOLTS. 101
Figura 3.18. Diagrama de conexiones para prueba de obtención de curvas de operación de la función 51 de un relevador SEL-351 mediante el uso del equipo de pruebas F6150. 102
Figura 3.19. Formas de onda para la construcción de las curvas de sobrecorriente del relevador bajo prueba. 103
Figura 3.20. Curvas de operación de la función de sobrecorriente del relevador SEL-351. Comparación de curvas obtenidas prácticamente con el equipo de pruebas VOLTS (línea contínua) vs. curvas teóricas (línea discontínua). 105
Figura 3.21. Curvas de operación de la función de sobrecorriente del relevador SEL-351. Comparación de curvas obtenidas prácticamente con el F6150 (línea contínua) vs. curvas teóricas (línea discontínua). 105
Figura 3.22. Formas de onda para la prueba de distorsión armónica con quinto armónico al 50% bajo condiciones balanceadas. 106
Figura 3.23. Respuesta del relevador electromecánico de sobrecorriente de tiempo inverso en presencia del tercer armónico en las formas de onda de corriente. 111
Figura 3.24. Respuesta del relevador electromecánico de sobrecorriente de tiempo inverso en presencia del quinto armónico en las formas de onda de corriente. 112
Figura 3.25. Respuesta del relevador electromecánico de sobrecorriente de tiempo inverso bajo presencia del séptimo armónico en las formas de onda de corriente. 112
Figura 3.26. Respuesta del relevador estático de sobrecorriente de tiempo inverso en presencia del tercer armónico en las formas de onda de corriente. 114
Figura 3.27. Respuesta del relevador estático de sobrecorriente de tiempo inverso en presencia del quinto armónico en las formas de onda de corriente. 114
Figura 3.28. Respuesta del relevador estático de sobrecorriente de tiempo inverso en presencia del séptimo armónico en las formas de onda de corriente. 115
Figura 3.29. Respuesta del relevador digital de sobrecorriente de tiempo inverso en presencia del tercer armónico en las formas de onda de corriente. 116
Figura 3.30. Respuesta del relevador digital de sobrecorriente de tiempo inverso en presencia del quinto armónico en las formas de onda de corriente. 117

Figura 3.31. Respuesta del relevador digital de sobrecorriente de tiempo inverso en presencia del séptimo armónico en las formas de onda de corriente. 117
Figura 3.32. Comparación de respuestas del relevador digital de sobrecorriente de tiempo inverso obtenidas con VOLTS (línea contínua) y con el F6150 (línea punteada) en presencia del tercer armónico en las formas de onda de corriente. 119
Figura 3.33. Comparación de respuestas del relevador digital de sobrecorriente de tiempo inverso obtenidas con VOLTS (línea contínua) y con el F6150 (línea punteada) en presencia del quinto armónico en las formas de onda de corriente. 120
Figura 3.34. Comparación de respuestas del relevador digital de sobrecorriente de tiempo inverso obtenidas con VOLTS (línea contínua) y con el F6150 (línea punteada) en presencia del séptimo armónico en las formas de onda de corriente. 121
Figura 3.35. Formas de onda para la prueba de desbalance por componente de secuencia cero sin distorsión armónica. 122
Figura 3.36. Formas de onda para la prueba de desbalance por componente de secuencia negativa sin distorsión armónica. 123
Figura 3.37. Formas de onda para la prueba de desbalance por componente de secuencia cero con distorsión por tercer armónico. 125
Figura 3.38. Formas de onda para la prueba de desbalance por componente de secuencia negativa con distorsión por tercer armónico. 125
Figura 3.39. Comparación de tiempos de respuesta entre las funciones de fase (*) y de secuencia cero (o) obtenidos con el F6150. 128
Figura 3.40. Acercamiento de la figura 3.40 alrededor del punto de intersección. Respuesta sin distorsión armónica (línea continua) y con 50% de tercer armónico (línea discontinua). 129
Figura 3.41. Comparación de respuestas al desbalance por componente de secuencia cero sin contaminación armónica, obtenidos con VOLTS (línea contínua) y con el F6150 (línea discontínua). 130
Figura 3.42. Comparación de respuestas al desbalance por componente de secuencia cero con contaminación por tercer armónico al 50%, obtenidos con VOLTS (línea contínua) y con el F6150 (línea discontínua). 130
Figura 3.43. Comparación de tiempos de respuesta entre las funciones de fase (*) y de secuencia negativa (o) obtenidos con el F6150. 133
Figura 3.44. Acercamiento de la Figura 3.44 alrededor del punto de intersección. Respuesta sin distorsión armónica (línea continua) y con el tercer armónico al 50% (línea discontinua). 133
Figura 3.45. Comparación de respuestas al desbalance por componente de secuencia negativa sin contaminación armónica, obtenidos con VOLTS (línea contínua) y con el F6150 (línea discontínua). 135
Figura 3.46. Comparación de respuestas al desbalance por componente de secuencia negativa con contaminación por tercer armónico al 50%, obtenidos con VOLTS (línea contínua) y con el F6150 (línea discontínua). 135

Figura 4.1. Arquitectura de ETS. 155
Figura 4.2 Arquitectura del RTX. 156
Figura 4.3 Proceso de simulación usando ecuaciones de estado. 161
Figura 4.4 Red eléctrica con elementos de conmutación. 162

Figura 4.5 Metodología de simulación basada en ecuaciones de estado. 164
Figura 4.6 Proceso de simulación de redes con elementos de conmutación. 164
Figura 4.7 Arquitectura de hardware de *CLODSA-RT*. 166
Figura 4.8 Arquitectura de software de *CLODSA-RT*. 168
Figura 4.9 Ventana principal de *CLODSA-RT* (Caso 5). 170
Figura 4.10. Diagrama de flujo del conjunto de procesos concurrentes en *CLODSA-RT*. 172

Figura 5.1 Red eléctrica simulada en el Caso 5.1. 187
Figura 5.2 Interfase principal del Caso 5.1 de estudio del simulador *CLODSA-RT*. 188
Figura 5.3. Ventana de entrada de datos del caso 5.1. 189
Figura 5.4 Ventana de diagrama de conexiones del caso 5.1. 189
Figura 5.5. Ventana del visor gráfico de señales para el Caso 5.1. 190
Figura 5.6. Ventana de selección de archivo de salida. 190
Figura 5.7. Respuesta de las corrientes para el Caso 5.1(a), (a) i_1 para *0.5 seg* de simulación así como un acercamiento, (b) i_2 para *0.5 seg* de simulación así como un acercamiento que muestra la comparación entre *CLODSA-RT* (línea contínua) y PSCAD/EMTDC (línea discontínua)..... 192
Figura 5.8. Respuesta de las corrientes para el Caso 5.1(b). (a) Respuesta de i_1 para *0.3 seg* de simulación y acercamiento, (b) Respuesta de i_2 para *0.3 seg* de simulación y acercamiento que muestra la comparación entre *CLODSA-RT* (línea contínua) y PSCAD/EMTDC (línea discontínua) 193
Figura 5.9. Respuesta de las corrientes para el Caso 5.1(c). (a) Respuesta de i_1 para *5 seg* de simulación y acercamiento a los primeros *0.1 5seg*, (b) Respuesta de i_2 para *5 seg* de simulación y acercamiento a los primeros *0.15 seg*. 194
Figura 5.10. Ilustración de la variación de R_2 por el usuario durante la simulación. 194
Figura 5.11. Respuesta de las corrientes para el Caso 5.1(d). (a) Respuesta de i_1 para *5 seg* de simulación y acercamiento de *1* a *1.3 seg*, (b) Respuesta de i_2 para *5 seg* de simulación y acercamiento de *1.5* a *1.9 seg*. 195
Figura 5.12 Red simple de C.D. con interruptor, simulada en el Caso 5.2. 197
Figura 5.13. Ventana de entrada de datos del caso 5.2. 198
Figura 5.14. Ventana de diagrama de conexiones del caso 5.2. 200
Figura 5.15. Ventana del visor gráfico de señales para el Caso 5.2. 200
Figura 5.16. Respuestas del voltaje y corriente del capacitor v_c e i_c para el Caso 5.2(a). (a) Respuesta del voltaje del capacitor v_c, (b) acercamiento a v_c que muestra las respuestas de *CLODSA-RT* (línea continua) y de PSCAD/EMTDC (línea discontinua), (c) respuesta de corriente del capacitor i_c, (d) acercamiento a i_c.... 201
Figura 5.17. Respuestas del voltaje y corriente del capacitor v_c e i_c para el Caso 5.2(b). (a) Respuesta del voltaje del capacitor v_c, (b) acercamiento a v_c que muestra las respuestas de *CLODSA-RT* (línea continua) y de PSCAD/EMTDC (línea discontinua), (c) respuesta de corriente del capacitor i_c, (d) acercamiento a i_c.... 202
Figura 5.18. Ilustración de la manipulación del interruptor por parte del usuario durante la simulación del caso 5.2(b). 203

Figura 5.19. Manipulación del interruptor por parte del usuario durante la simulación del caso 5.2 (c). 203
Figura 5.20. Respuestas del voltaje y corriente del capacitor v_c e i_c para el Caso 5.2(c). (a) Respuesta del voltaje del capacitor v_c, (b) acercamiento a v_c que muestra las respuestas de *CLODSA-RT* (línea continua) y de PSCAD/EMTDC (línea discontinua), (c) respuesta de corriente del capacitor i_c, (d) acercamiento a i_c 205
Figura 5.21. Respuestas del voltaje y corriente del capacitor v_c e i_c. (a) v_c en el caso 5.2(d), (b) i_c en el caso 5.2(d), (c) v_c en el caso 5.2(e), (d) i_c en el caso 5.2(e), (e) Acercamiento a la respuesta de i_c en el caso 5.2(e). 207
Figura 5.22 Red eléctrica simulada en el Caso 5.3. 208
Figura 5.23 Interfase principal del caso de estudio 5.3 del simulador *CLODSA-RT*. 209
Figura 5.24 Ventana de Ajuste de Escalas para el caso 5.3. 209
Figura 5.25. Ventana de entrada de datos del caso 5.3. 210
Figura 5.26. Ventana del visor gráfico de señales para el Caso 5.3. 211
Figura 5.27. Ventana de diagrama de conexiones del Caso 5.3. 212
Figura 5.28. Resultados de la simulación del caso 5.3(a). (a) Voltaje de la fuente v_s, (b) corriente de la fuente i_s, (c) señales lógicas de operación del interruptor de falla y de disparo *SWF* y *TRIP*, (d) voltaje en la carga v_L, (e) Corriente en la carga i_L, y (f) corriente de falla i_F. 213
Figura 5.29. Acercamiento de las corrientes i_1 e i_2 para el caso 5.3(a). 215
Figura 5.30. Resultados de la simulación del caso 5.3(b). (a) Voltaje de la fuente v_s, (b) corriente de la fuente i_s, (c) señales lógicas de operación del interruptor de falla y de disparo *SWF* y *TRIP*, (d) voltaje en la carga v_L, (e) Corriente en la carga i_L, y (f) corriente de falla i_F. 216
Figura 5.31 Resultados de la simulación del caso 5.3(c). (a) Voltaje de la fuente v_s, (b) corriente de la fuente, línea de distribución y carga $i_s = i_1 = i_2 = i_L$, (c) voltaje en la carga v_L, (d) acercamiento a la corriente $i_s = i_1 = i_2 = i_L$. 217
Figura 5.32 Red eléctrica simulada en el Caso 5.4. Máquina síncrona conectada a un bus infinito por medio de una línea de transmisión corta. 219
Figura 5.33 Interfase principal del caso de estudio 5.4 del simulador *CLODSA-RT*. 220
Figura 5.34 Ventana de Ajuste de Escalas para el caso 5.4. 221
Figura 5.35. Ventana de entrada de datos del caso 5.4. 222
Figura 5.36. Ventana del visor gráfico de señales para el Caso 5.4. 224
Figura 5.37. Ventana del diagrama de conexiones del caso 5.4. 225

Figura 5.38. Resultados de la simulación del caso 5.4(a). (a) Corrientes de fase i_a, i_b, e i_c suministradas por la máquina síncrona a la red eléctrica, (b) acercamiento a los primeros *50 mseg* de la respuesta de i_a, i_b, e i_c, (c) acercamiento a la respuesta de estado estacionario de i_a, i_b, e i_c, (d) flujos de los devanados de fase de la máquina síncrona ϕ_a, ϕ_b, y ϕ_c, (e) acercamiento a los primeros *50 mseg* de la respuesta de ϕ_a, ϕ_b, y ϕ_c, (f) acercamiento a la respuesta de estado estacionario de ϕ_a, ϕ_b, y ϕ_c. 227

Figura 5.39. Resultados de la simulación del caso 5.4(a). (a) Corriente del devanado de campo i_f de la máquina síncrona, (b) acercamiento a los primeros *50 mseg* de la respuesta de i_f; *CLODSA-RT* (línea continua), PSCAD/EMTDC (línea discontinua), (c) par eléctrico de la máquina síncrona T_e, (d) velocidad mecánica de la máquina síncrona ω_r, (e) ángulo de desplazamiento del rotor δ. 228

Figura 5.40. Resultados de la simulación del caso 5.4(b). (a) Corrientes de armadura i_a, i_b e i_c de la máquina síncrona, (b) acercamiento alrededor del instante de inserción de la falla a tierra en la fase *a* (c) corriente del devanado de campo i_f (d) flujos de los devanados de armadura ϕ_a, ϕ_b y ϕ_c (e) acercamiento a los flujos de los devanados de armadura alrededor del instante de inserción de falla, (f) velocidad angular del rotor ω_r. 234

Figura 5.41. Resultados de la simulación del caso 5.4(c). (a) Corrientes de armadura i_a, i_b e i_c de la máquina síncrona, (b) acercamiento a los primeros *100 mseg* de las respuestas de corrientes de armadura (c) ángulo de desplazamiento del rotor δ (d) flujos de los devanados de armadura ϕ_a, ϕ_b y ϕ_c (e) acercamiento a los primeros *100 mseg* de la respuesta de los flujos de los devanados de armadura, (f) velocidad angular del rotor ω_r. 236

Figura 5.42. Resultados de la simulación del caso 5.4(c). (a) Corrientes de armadura i_a, i_b e i_c de la máquina síncrona, (b) acercamiento a las respuestas de corrientes de armadura alrededor del instante de cambio del par mecánico de entrada (c) ángulo de desplazamiento del rotor δ (d) flujos de los devanados de armadura ϕ_a, ϕ_b y ϕ_c (e) Par eléctrico de la máquina síncrona T_e, (f) velocidad angular del rotor ω_r. 238

Figura 5.43 Red eléctrica simulada en el Caso 5.5. 240

Figura 5.44 Ventana de Ajuste de Escalas para el Caso 5.5. 242

Figura 5.45 Ventana de Entrada de datos del caso 5.5. 242

Figura 5.46. Ventana del visor gráfico de señales para el Caso 5.5. 243

Figura 5.47 Ventana del diagrama de conexiones del Caso 5.5. 243

Figura 5.48 Resultados de la simulación del Caso 5.5(a). (a) i_1 e i_2, (b) acercamiento a las corrientes i_1 e i_2 que muestra la respuesta obtenida con *CLODSA-RT* (línea continua) y con PSCAD/EMTDC (línea discontinua), (c) corriente total de la carga i_{LT}, (d) señales lógicas de inserción de falla y disparo del relevador *SWF* y *TRIP*. 245

Figura 5.49. Resultados de la simulación del Caso 5.5(a). (a) Voltaje en el nodo de carga v_{NL}, (b) corriente de falla i_f, (c) voltaje en el nodo de carga v_{NL} obtenido con PSCAD/EMTDC con la opción de eliminación de oscilaciones numéricas deshabilitada, (d) acercamiento a las oscilaciones numéricas generadas por PSCAD/EMTDC en la respuesta v_{NL}. 246

Figura 5.50. Resultados de la simulación del Caso 5.5(b). (a) corrientes de las líneas i_1 e i_2, (b) acercamiento a las corrientes i_1 e i_2 en donde se muestran las respuestas obtenidas con *CLODSA-RT* (línea continua) y con PSCAD/EMTDC (línea discontinua), (c) corriente total de la rama de carga i_{LT}, (d) señales lógicas de inserción de falla y de disparo *SWF* y *TRIP*. 248

Figura 5.51 Resultados de la simulación del Caso 5.5(b). (a) voltaje en el nodo de carga v_{NL}, (b) corriente de falla i_f, (c) voltaje en el nodo de carga v_{NL} obtenido con PSCAD/EMTDC con la opción de eliminación de oscilaciones numéricas deshabilitada, (d) acercamiento a las oscilaciones numéricas generadas en v_{NL} por PSCAD/EMTDC. 248

Figura 5.52 Ilustración de la manipulación del interruptor de restablecimiento de BRK por parte del usuario durante la simulación del caso 5.5(c)..... 250

Figura 5.53 Resultados de la simulación del Caso 5.5(c). (a) respuesta de las corrientes de las líneas i_1 e i_2, (b) acercamiento a las corrientes i_1 e i_2 para mostrar la respuesta obtenida con *CLODSA-RT* (línea continua) y con PSCAD/EMTDC (línea discontínua), (c) corriente total de carga i_{LT}, (d) señales lógicas de inserción de falla y de disparo *SWF* y *TRIP*. 251

Figura 5.54 Resultados de la simulación del Caso 5.5(c). (a) voltaje en el nodo de carga v_{NL}, (b) corriente de falla i_f, (c) voltaje en el nodo de carga v_{NL} obtenido con PSCAD/EMTDC con la opción de eliminación de oscilaciones numéricas deshabilitada, (d) acercamiento a las oscilaciones numéricas generadas por PSCAD/EMTDC en la gráfica del inciso (c). 252

Figura B.1 Interfase de baja señal del relevador SEL 321. 288

Figura B.2 Interfase de baja señal del relevador SEL 121-F. 288

Figura B.3. Interfase de baja señal del relevador SEL 321. 289

Figura B.4. Interfase de baja señal del relevador SEL 351. 290

Figura C.1. Aspecto físico del simulador digital *CLODSA-RT*. (a) relevador sometido a prueba (arriba) y módulos de conexiones de las tarjetas DAQ y AO (abajo), (b) computadora digital. 298
Figura C.2. Acercamiento del módulo de controles externos del simulador *CLODSA-RT*..... 299

ÍNDICE DE TABLAS

Tabla 3.1. Tiempos de operación obtenidos con VOLTS en las pruebas de sobrecorriente para la construcción de las curvas de operación de la función 51 del relevador SEL-351. 103
Tabla 3.2. Tiempos de operación obtenidos con el F6150 en las pruebas de sobrecorriente para la construcción de las curvas de operación de la función 51 del relevador SEL-351. 104
Tabla 3.3. Tiempos de operación de las pruebas de armónicos efectuadas al relevador electromecánico GE 12IAC77B805A. 108
Tabla 3.4. Tiempos de operación de las pruebas de armónicos efectuadas al relevador estático RSC-02. 108
Tabla 3.5. Tiempos de operación de las pruebas de armónicos efectuadas al relevador digital SEL-351 con el equipo de pruebas VOLTS. 109
Tabla 3.6. Tiempos de operación de las pruebas de armónicos efectuadas al relevador digital SEL-351 con el equipo de pruebas F6150. 109
Tabla 3.7. Tiempos de operación de los tres relevadores para diferentes armónicos. 110
Tabla 3.8. Tiempos de operación de la prueba de desbalance por componente de secuencia cero obtenidos con el F6150. 127
Tabla 3.9. Tiempos de operación de la prueba de desbalance por componente de secuencia cero obtenida con VOLTS. 127
Tabla 3.10. Tiempos de operación de la prueba de desbalance por componente de secuencia negativa obtenidas con el F6150. 132
Tabla 3.11. Tiempos de operación de la prueba de desbalance por componente de secuencia negativa obtenidos con VOLTS. 132

Tabla 5.1 Tabla de tiempos de operación del interruptor. 204
Tabla 5.2. Tiempos de duración de la simulación para *15* seg de duración del evento real presentado en el caso 5.4(a) bajo diferentes condiciones y técnicas de simulación. 230

Tabla B.1 Escalas de conversión de la entrada a la interfase de baja señal para el relevador SEL 121-F. 289
Tabla B.2 Escalas de conversión de la entrada a la interfase de baja señal para el relevador SEL 321. 290
Tabla B.3 Escalas de conversión de la entrada a la interfase de baja señal para el relevador SEL 351. 291

LISTA DE ABREVIACIONES

3PC	Tarjeta de tres procesadores. En inglés: *Triple processor card*.
API	Interfase de Programación de Aplicaciones. En inglés: *Application Programming Interface*.
ARENE	Simulador digital en tiempo real desarrollado por la empresa de suministro eléctrico de Francia *Electricité de France*.
A/D	Convertidor de analógico a digital. En inglés: *Analog to Digital Converter*.
BCPL	Lenguaje de programación combinado básico. En inglés: *Basic Combined Programming Language*.
BPA	Administración de Potencia de Bonneville. En inglés: *Bonneville Power Administration, USA*.
CA	Corriente Alterna.
CD	Corriente Directa.
CCVT	Transformador de voltaje acoplado por capacitor. En inglés: *Coupled Capacitor Voltaje Transformer*.
CLODSA-RT	Simulador digital de lazo cerrado que opera en tiempo real. En inglés: *Closed LOop Digital Simulator and Analyzer in Real Time*.
CPL	Lenguaje de programación combinado. En inglés: *Combined Programming Language*.
CSSC	Algoritmo de estructura cambiante sincronizada con el reloj. En inglés: *Clock Synchronised Structure Changing*.
CT	Transformador de corriente. En inglés: *Current Transformer*.
D/A	Convertidor de digital a analógico. En inglés: *Digital to Analog converter*.
DCG	Grupo de Coordinación de Desarrollo del EMTP. En inglés: *The EMTP Development Coordination Group*.
DDAC	Tarjeta de salidas analógicas. En inglés: *Analogue Output Card*.
DFR	Registradora de fallas. En inglés: *Disturbance Fault Recorder*.
DITS	Tarjeta de medición de tiempo en entradas digitales. En inglés: *Digital Input Time-Stamping Card*.

DMA	Acceso directo a memoria. En inglés: *Direct Memory Access*.
DOPTO	Tarjeta de entradas y salidas digitales con aislamiento óptico. En inglés: *Digital input and output card with OPTical IsOlation*.
DRAM	Memoria dinámica de acceso aleatorio. En inglés: *Dynamic Random Access Memory*.
DSP	Procesador digital de señales. En inglés: *Digital Signal Processor*.
EDF	Compañía eléctrica de Francia. En francés: *Electricité de France*.
EMTDC	Programa de transitorios electromagnéticos incluyendo corriente directa. En inglés: *Electro Magnetic Transients including Direct Current*.
EMTP	Programa de transitorios electromagnéticos. En inglés: *ElectroMagnetic Transients Program*.
EPRI	Instituto de Investigación en Electricidad de Potencia de Palo Alto, California, EUA. En inglés: *The Electric Power Research Institute of Palo Alto, California, USA*.
E/S	Entrada/salida.
FACTS	Sistemas de transmisión de corriente alterna flexibles. En inglés: *Flexible Alternating Current Transmission Systems*.
FFT	Transformada rápida de Fourier. En inglés: *Fast Fourier Transform*.
GPC	Tarjeta con Procesadores de 1GHz. En inglés: *Giga Processor Card*.
GPS	Sistema de Posicionamiento Global. En inglés: *Global Positioning System*.
GTAO	Tarjeta de salidas analógicas para la GPC. En inglés: *Giga Transeiver Analogue Output Card*.
GTNET	Comunicacion en red para la GPC. En inglés: *Giga-Transeiver Network Communication*.
GTDI	Tarjeta de entradas digitales para GPC. En inglés: *Giga Transeiver Digital Input Card*.
GTDO	Tarjeta de salidas digitales para la GPC. En inglés: *Giga Transeiver Digital Output Card*.
GUI	Interfase Gráfica de Usuario. En inglés: *Graphical User Interface*.
HVDC	Corriente Directa en Alto Voltaje. En inglés: *High Voltage Direct Current*.
HYPERSIM	Simulador digital en tiempo real desarrollado por TransÉnergie Technologies subsidiaria de Hydro Québec.
IDE	Entorno de desarrollo integrado. En inglés: *Integrated Deevelopment Environment*.

IRC	Tarjeta de intercomunicación entre racks. En inglés: *Inter-Rack Communication Card*.
LED	Diodo emisor de luz. En inglés: *Light Emitting Diode*.
Mb	Millones de bytes o plabras digitales de 8 bits. En inglés: *Mega bytes*.
MFC	Clase de la Fundación Microsoft. Es una biblioteca de programas que proporciona Microsoft en sus lenguajes de programación visual. En inglés: *Microsoft Fundation Class*.
MFLOPS	Millones de operaciones de punto flotante. En inglés: *Millions of FLOating Point operationS*.
MODELS	Lenguaje de Simulación de ATP.
MOV	Varistor de óxido metálico. En inglés: *Metal Oxide Varistor*.
MPI	Interfase de paso de mensajes. En inglés: *Message Passing Interface*.
MPP	Computadora de múltiples procesadores paralelos. En inglés: *Multiple Parallel Processors*.
MT	Subprocesamiento múltiple. En inglés: *Multi-Threading*.
NETOMAC	Red de control de máquinas de torsión. En inglés: *Network Torsion Machine Control*.
OADC	Tarjeta de entradas analógicas de alta precisión. En inglés: *High Precision Analogue Input Card*.
PCNRT	Modo fuera de línea en computadora personal. En inglés: *Personal Computer Non Real Time*.
PCRT	Tiempo Real en PC. En inglés: *PC Real Time*.
POO	Programación Orientada a Objetos.
PSCAD	Diseño auxiliado por computadora de sistemas de potencia. En inglés: *Power Systems Computer Aided Design*.
PSS/E	Simulador de sistemas de potencia para ingeniería desarrollado por Siemens. En inglés: *Power System Simulator for Engineering*.
PVM	Máquina virtual paralela. En inglés: *Parallel Virtual Machine*.
RISC	Computadora de conjunto reducido de instrucciones. En inglés: *Reduced Instruction Set Computer*.
RPC	Tarjeta con procesadores RISC. En inglés: *Risc Processor Card*.

RTDS	Simulador digital en tiempo real desarrollado por RTDS Technologies, Inc. En inglés: *Real-Time Digital Simulator*.
RTNS	Simulador de redes en tiempo real. En inglés: *Real Time Network Simulator*.
RTOS	Sistema operativo en tiempo real. En inglés: *Real Time Operating System*.
RTP	Reproductor en tiempo real desarrollado por el HVDC Research Centre. En inglés: *Real Time Playback*.
RTP	Para el simulador ARENE: Tiempo Real corriendo en computadora de procesamiento paralelo. En inglés: *Real Time Parallel*.
RTSS	Sub-sistema en tiempo real. En inglés: *Real-Time Sub-System*.
RTPSS	Simulador de sistemas de potencia en tiempo real. En inglés: *Real-Time Power System Simulator*.
SCADA	Supervisión, control y adquisición de datos. En inglés: *Supervision Control and Data Aquisition*.
SDK	Conjunto de herramientas de desarrollo de software. En inglés: *Software Development Kit*.
SGI	Abreviación de la marca de computadoras *Sillicon Graphics*.
SIMPOW	Es un simulador de sistemas de potencia desarrollado por ABB Power Systems en Vasteras, Suiza.
SVC	Compensador estático de VARs. En inglés: *Static Var Compensator*.
TACS	Análisis transitorio de sistemas de control. En inglés: *Transient Analysis of Control Systems*.
TNA	Analizadores de Transitorios en Redes. En inglés: *Transient Network Analyzers*.
TPC	Tarjeta de dos procesadores. En inglés: *Two Processors Card.*
UNRT	Modo fuera de línea en Unix. En inglés: *Unix Non Real Time*.
URT	Tiempo Real en Unix. En inglés: *Unix Real Time*.
VAR	Volt-Amperes Reactivos. Unidades de la potencia reactiva.
VOLTS	Sistema de pruebas en lazo abierto versátil. En inglés: *Versatile Open Loop Testing System*.
WAPA	Administración de potencia del área oeste. En inglés: *Western Area Power Administration*. Texas, Estados Unidos de Norteamérica.
WIF	Tarjeta de interfase con la estación de trabajo. En inglés: *Workstation Interface Card*.

LISTA DE SÍMBOLOS

t	Tiempo
Δt	Paso de integración
h	Paso de integración
i	Corriente
v	Voltaje
R	Resistencia
L	Inductancia
C	Capacitancia
$[V(t)]$	Vector de voltajes aplicados a los devanados de la máquina
$\lfloor R_{syn} \rfloor$	Matriz de resistencias de los devanados de la máquina
$[I(t)]$	Vector de corrientes fluyendo en cada devanado
$\lfloor L_{syn}(t) \rfloor$	Matriz de inductancias de los devanados de la máquina
$[Id]$	Matriz identidad
i_a , i_b e i_c	Corrientes de las fases *a*, *b* y *c* de la máquina síncrona, respectivamente
i_f	Corriente del devanado de campo de la máquina síncrona
i_{kd} , i_{kq}	Corrientes de los devanados amortigadrores en los ejes directo y en cuadratura de la máquina síncrona, respectivamente.
v_a , v_b y v_c	Voltajes de las fases *a*, *b* y *c* de la máquina síncrona
v_f	Voltaje del devanado de campo de la máquina síncrona
kd	Subíndice asociado con el eje directo de la máquina síncrona
kq	Subíndice asociado con el eje en cuadratura de la máquina síncrona.
R_a , R_a , R_a	Resistencias de los devanados de armadura de la máquina síncrona
R_f	Resistencia del devanado de campo de la máquina síncrona
R_{kd}	Resistencias de los devanados amortiguadores en el eje directo y en cuadratura, respectivamente.

l_a, l_b y l_c	Inductancias propias de los devanados de las fases *a*, *b* y *c* de la máquina síncrona
l_{ab}, l_{bc} y l_{ca}	Inductancias mutuas entre los devanados de armadura de la máquina síncrona
l_{ba}, l_{cb} y l_{ac}	Inductancias mutuas entre los devanados de armadura de la máquina síncrona
l_{af}, l_{bf} y l_{cf}	Inductancias mutuas entre los devanados de armadura y el devanado de campo de la máquina síncrona
l_{fa}, l_{fb} y l_{fc}	Inductancias mutuas entre los devanados de armadura y el devanado de campo de la máquina síncrona
l_{akd}, l_{bkd} y l_{ckd}	Inductancias mutuas entre los devanados de armadura y el devanado amortiguador en el eje directo de la máquina síncrona.
l_{kda}, l_{kdb} y l_{kdc}	Inductancias mutuas entre los devanados de armadura y el devanado amortiguador en el eje directo de la máquina síncrona
l_{akq}, l_{bkq} y l_{ckq}	Inductancias mutuas entre los devanados de armadura y el devanado amortiguador en el eje en cuadratura de la máquina síncrona.
l_{kqa}, l_{kqb} y l_{kqc}	Inductancias mutuas entre los devanados de armadura y el devanado amortiguador en el eje en cuadratura de la máquina síncrona
L_f	Inductancia propia del devanado de campo de la máquina síncrona
L_d	Inductancia propia del devanado amortiguador en el eje directo de la máquina síncrona
L_q	Inductancia propia del devanado amortiguador en el eje en cuadratura de la máquina síncrona
M_r	Inductancia mutua entre el devanado de campo y el devanado amortiguador en el eje directo de la máquina síncrona.
L_l	Inductancia magnetizante
L_1	Inductancia fundamental (constante)
L_2	Amplitud de la inductancia armónica de segundo orden
θ	Ángulo de fase eléctrico
ω_r	Velocidad angular del rotor
f	Frecuencia del sistema (60Hz)

δ	Ángulo de desplazamiento del rotor en *rads*
$\left[L_{syn}'(t)\right]$	Derivada de la matriz de Inductancias de la máquina síncrona
$\left[\Phi(t)\right]$	Vector de flujos de la máquina síncrona
ϕ_a, ϕ_b y ϕ_c	Flujos de los devanados de armadura *a*, *b* y *c*, de la máquina síncrona
ϕ_f	Flujo del devanado de campo de la máquina síncrona
ϕ_{kd}	Flujo del devanado amortiguador en el eje directo de la máquina síncrona
ϕ_{kq}	Flujo del devanado amortiguador en el eje en cuadratura de la máquina síncrona
T_e	Par eléctrico de la máquina síncrona
p	Número de polos de la máquina síncrona
ω_m	Velocidad mecánica del rotor de la máquina síncrona en rad/seg
$\omega_B = \omega_r$	Velocidad base de la máquina síncrona en rad/seg
H	Constante de energía cinética de la máquina síncrona en $watts \cdot seg$
$\overline{T}_m$	Par mecánico de entrada a la máquina síncrona en *p.u.*
$\overline{T}_e$	Par eléctrico de la máquina síncrona en *p.u.*
k_D	Factor de amortiguamiento de la máquina síncrona en *p.u.* (constante)
R_{sw}	Resistencia del interruptor
$R_{sw\,OFF}$	Resistencia del interruptor en estado de abierto
$R_{sw\,ON}$	Resistencia del interruptor en estado de cerrado
V_{CD}	Voltaje de corriente directa
R_f	Resistencia de falla
V_{NL}	Voltaje en el nodo de carga
v_s	Voltaje en la fuente de voltaje de *c.a.*
i_f	Corriente de falla

LISTA DE PUBLICACIONES

Revistas Indexadas:

1. Medina, F. Martínez-Cárdenas, "*Analysis of the Harmonic Distortion and Unbalanced Conditions in the Operation of Electro-Mechanical and Digital Protection Relays"*, WSEAS Transactions on Circuits and Systems, Issue 4, Vol. 5, April 2006, ISSN: 1109-2734, pp582-589.

2. F. Martínez-Cárdenas, A. Medina, *"Digital Protection Systems Response To Frequency Variations, Sequence Components, Unbalance and Non Sinusoidal Operation Conditions"*, WSEAS Transactions on Circuits and Systems, Issue 12, Vol. 5, December 2006, ISSN: 1109-2734, pp1795-1802.

Congresos Internacionales:

1. Medina, Aurelio; Ramos-Paz, Antonio; Martínez-Cárdenas, Fernando; Silva-Chávez, Juan Carlos; "*Computer Platform Comparison on the Dynamic Operation Simulation of the Synchronous Machine*", The 8th World Multi-Conference on Systemics, Cybernetics and Informatics, Orlando, Florida, USA, July 18-21, 2004, pp123-128.

2. A. Medina, F. Martínez-Cárdenas, "*Analysis of the Harmonic Distortion Impact on the Operation of Digital Protection Systems*", PES-General Meeting, San Francisco Ca. USA, June 12-16, 2005.

3. Aurelio Medina, Fernando Martínez-Cárdenas, *"Harmonic Distortion Impact Assessment on the Operation of Digital Protection Systems"*, International Conference on Modelling and Simulation [MS'05], Morelia, Michoacán, México, 2005, pp238-243.

4. A. Medina, F. Martínez-Cárdenas, *"Experimental Studies on Digital Protection Systems Under Unbalanced and Non Sinusoidal Conditions"*, 37th North American Power Symposium, Ames. Iowa, USA, October 23-25, 2005, pp519-523.

5. A. Medina, F. Martínez-Cárdenas, "*Harmonic Distortion Impact On Electro-Mechanical And Digital Protection Relays*", 5th WSEAS Int. Conf. On Instrumentation, Measurement, Circuits and Systems, Hangzhou, China, April 16-18, 2006, pp322-327.

6. F. Martínez-Cárdenas, A. Medina, *"Digital Protection Systems Response To Sequence And Phase Components In Non Sinusoidal Operation Conditions"*, 5th WSEAS Int. Conf. on Circuits, Systems, Electronics, Control and Signal Processing, Dallas, USA, November 1-3, 2006, pp252-257.

7. F. Martínez-Cárdenas, A. Medina,"*Implementation of Open Loop Testing Schemes for the Assessment of the Power System Dynamic Operation"*, PowerTech 2007, Lausanne, Suiza, 1-5 July, 2007, pp1-5.

CAPÍTULO 1

INTRODUCCIÓN

1.1 Revisión del Estado del Arte

La simulación en lazo cerrado y específicamente en tiempo real de sistemas eléctricos de potencia es un campo de investigación y desarrollo relativamente reciente. Su nacimiento se ha producido por la necesidad de estudiar el comportamiento en tiempo real de redes de potencia sujetas a disturbios severos. Representa por lo tanto una valiosa herramienta de análisis para la planeación, operación y control de los sistemas eléctricos de potencia. A continuación se da una descripción concisa de las aportaciones realizadas en este campo:

En [Nimmersjö *et al.* 1988] se presenta un sistema desarrollado para realizar la simulación de un sistema de potencia en tiempo real en lazo cerrado, el cual consiste de una computadora digital que controla la configuración y parámetros de un modelo electrónico analógico de un sistema de potencia que opera en tiempo real. Dicho simulador cuenta con modelos de transformadores de instrumentación, con amplificadores de potencia de alta precisión que alimentan a los relevadores de protección bajo prueba. Se cuenta también con un sistema de adquisición de datos constituido por convertidores A/D (Analógico a Digital) y cuatro computadoras cuya función es almacenar los datos analógicos y eventos, también cuenta este simulador con monitores para el despliegue de la información, una impresora y un ploter de color.

Este trabajo se centra en el diseño de los modelos analógicos y de los amplificadores de corriente de alta potencia. El simulador descrito cuenta con modelos de líneas, interruptores, resistencias de falla, CTs (*Current Transformers*), CCVTs (*Coupled Capacitor Voltage Transformers*), generadores, capacitores serie y paralelo, reactores en paralelo compensadores estáticos de VARs (Volt-Amperes Reactivos) y cargas con el propósito de generar señales de entrada a los relevadores, altamente realistas para el análisis, tipo de pruebas y prueba de los elementos seleccionados del sistema.

A pesar de que este trabajo resalta la operación en lazo cerrado en donde el disparo de los relevadores y el recierre de los interruptores modifica directamente las condiciones dentro del simulador, se puede usar también como un sistema en lazo abierto en tiempo real para probar relevadores haciendo uso de señales provenientes de cintas magnéticas, grabaciones efectuadas en campo o bien simulaciones totalmente digitales como las que se pueden realizar en el EMTP (*ElectroMagnetic Transients Program*) [Dommel y Meyer 1969] o señales provenientes de un simulador analógico que opere fuera de línea como los simuladores de HVDC (*High Voltage Direct Current*).

Este sistema tiene un ancho de banda de 3kHz de los modelos analógicos y la parte digital está constituida por una minicomputadora HP 1000F de 16 bits con 1 Mb (mega byte) de memoria primaria y cuenta con cuatro procesadores de adquisición de datos HP 1000L con 512kB de memoria cada uno. El sistema incluye un monitor, un disco duro de 200Mb y una unidad de disco flexible de 1.2Mb, unidad de cinta magnética, impresora y ploter de color. El sistema de adquisición de datos maneja 24 entradas analógicas y 64 digitales simultáneamente. La parte del software fue programada con diferentes módulos con distintas funciones cada uno y fueron hechos en PASCAL y FORTRAN 77.

La implementación comercial del trabajo anterior se lleva a cabo por ABB Relays AB, Sweden, encontrándose en servicio desde finales de 1985 y se documenta en [Nimmersjö *et al.* 1988].

En esta documentación se resalta la ventaja de los modelos analógicos electrónicos sobre de los modelos a escala utilizados en los TNAs (*Transient Network Analyzers*) y se presenta una gama muy amplia de resultados de simulaciones y evaluaciones, dentro de las que se pueden mencionar simulaciones de una red compensada en serie con tres fuentes y una red compensada en serie y paralelo de doble circuito; se presentan también comparaciones de los resultados del simulador con los resultados del EMTP.

Se puede encontrar en la documentación trabajos más recientes que presentan resultados de simulaciones en tiempo real pero que están dirigidos a un tipo de protección en particular como el de [Li *et al.* 1991]. En este trabajo se presenta el desarrollo de una protección de distancia digital de

alta velocidad basada en el algoritmo de la Transformada Discreta de Fourier [Proakis y Manolakis 1996]. La simulación en tiempo real muestra que todas las funciones de procesamiento del relevador se pueden completar dentro de un intervalo de muestreo basado en una tasa de muestreo de 4kHz. El esquema de hardware se basa en una configuración multiprocesador. Los resultados de este trabajo muestran que el proceso del relevador se lleva a cabo en tiempos muy cortos y con alta sensibilidad y selectividad.

La implementación de Hardware de este sistema se llevó a cabo utilizando un tarjeta de PC AT (procesador 80286), una tarjeta de conversión A/D de 12 bits controlada por un microcontrolador 8796BH fabricada para realizar una conversión en paralelo.

El software de este sistema está dividido en dos partes, la primera se escribió para el microcontrolador 8796 y contiene las rutinas de todos los bloques funcionales de control y adquisición de datos, la segunda parte contiene las funciones del relevador de cálculo y despliegue, y se escribió en el paquete de software de la tarjeta del A/D en lenguaje ensamblador. Para la tarjeta de la PC AT se usa un paquete de programación mixto, en el que los cálculos fuera de línea y los módulos de despliegue se escriben en un lenguaje de alto nivel, como el C, con algunas rutinas en lenguaje ensamblador, mientras que las funciones de procesamiento en línea se escribieron en lenguaje ensamblador para el procesador 8086, con el propósito de lograr una ejecución más rápida.

Se puede ver que algunos sistemas de simulación en tiempo real se basan en microprocesadores o microcontroladores lo suficientemente rápidos para ejecutar las funciones de control y prueba para los relevadores, pero con la llegada de microcomputadoras cada vez mas rápidas, se ha hecho posible utilizar programas basados en computadoras con procesamiento en paralelo, teniendo como elemento de control e interfase con el usuario una PC tal como el RTDS (*Real-Time Digital Simulator*) para la simulación en tiempo real y prueba de relevadores en lazo cerrado. En [McLaren *et al.* 1991] se presenta un trabajo que describe el diseño y desempeño de un simulador digital en tiempo real (RTDS) el cual usa una arquitectura en paralelo para realizar simulaciones de transitorios electromagnéticos en tiempo real con un paso de integración del orden de 100μs. Los resultados de este trabajo muestran que se pueden probar relevadores de un modo interactivo con la salida de disparo del relevador, alimentándose la simulación para controlar el modelo apropiado del

interruptor. La solución se ejecuta hasta que se da la orden de que se detenga desde el teclado y se puede utilizar para probar protecciones primarias, protecciones de respaldo y de bloqueo de variaciones de potencia. Se presentan ejemplos de pruebas a relevadores de distancia comerciales.

Lo que presenta la contribución anterior es el resultado del desarrollo del RTDS a través de la colaboración del HVDC Research Center con la Universidad de Manitoba y deja en claro que para llevar a cabo una simulación en tiempo real se requiere un poder de procesamiento de varios cientos de MFLOPS (millones de operaciones de punto flotante por segundo, en inglés: *Millions of FLOating Point operationS*), las cuales no pueden ser ejecutadas por una sola computadora, sino mas bien por un conjunto de DSPs (*Digital Signal Processors*) operando en paralelo.

A pesar de que ahora se sabe que la simulación, ya sea fuera de línea o bien en tiempo real, se puede realizar con la misma interfase interactiva con la que cuenta el EMTDC (*ElectroMagnetic Transients including Direct Current*), de tal manera que para el usuario implique la misma facilidad de programación de la red a simular. Tanto si va a ser una simulación fuera de línea como en tiempo real, el proceso interno para cada una de las dos opciones es muy diferente. Si la simulación se hace fuera de línea, esta se ejecuta en la computadora personal, resolviendo los algoritmos que representan la red de potencia y tomando el tiempo que sea necesario para poder encontrar los resultados de la simulación. Si se indica que la simulación se va a ejecutar en tiempo real, los datos alimentados a través de la interfase del EMTDC, se envían a los tres diferentes módulos que conforman al RTDS, cada uno de ellos con 18 tarjetas con elementos de procesamiento, una tarjeta de comunicación entre módulos y una tarjeta de interfase con la estación de trabajo. Cada tarjeta de procesamiento está equipada con un procesador capaz de ejecutar hasta 13 MFLOPS. En este caso la computadora personal actúa únicamente como elemento huésped para actuar como intermediario entre el usuario y los elementos de simulación, por lo que cada módulo y a su vez cada tarjeta de procesamiento, actúa como un elemento de la red de potencia a simular, operando todos estos elementos de procesamiento en paralelo para poder entregar resultados en tiempos menores a un intervalo de muestreo y por lo tanto generar una operación en tiempo real.

Se puede entender de lo expuesto anteriormente que para hacer una simulación en tiempo real se requiere de un equipo de procesamiento muy poderoso constituido por una gran cantidad de

elementos de procesamiento operando en paralelo y una programación especial del software para la simulación de transitorios electromagnéticos que pueda hacer uso de estos recursos de hardware.

Otro trabajo reportado en la literatura, orientado a pruebas en tiempo real de un relevador en particular, se describe en la contribución [Khanniche 1994], la cual detalla el desarrollo de una herramienta de hardware orientada a efectuar pruebas en un relevador de sobrecorriente y presenta un control de corriente senoidal para cargas no lineales basado en un troceador de CA, usando un esquema de control de corriente de histéresis.

Este equipo se basa en un microcontrolador 80C196KC de Intel; se utiliza un dispositivo de 16 bits en un solo chip, para implementar los algoritmos de control desarrollados en línea y en tiempo real, dando como resultado una reducción significativa en costo y peso. Se valida la información que entrega el controlador desarrollado, comparándola con los resultados de las simulaciones efectuadas con EMTP. Aunque este tipo de trabajo está lejos de constituir un simulador completo de un sistema de potencia, pudiera constituir un elemento que opera en tiempo real como parte de un sistema de simulación distribuido.

Otro simulador en tiempo real para pruebas de relevadores es el que se presenta en [Kezunovic y McKenna 1994]; se conoce como simulador digital en tiempo real WAPA (Western Area Power Administration). Con el objeto de llevar a cabo este proyecto, la WAPA creó un proyecto para el desarrollo de este simulador en tiempo real y aportó recursos a la Texas A&M University en 1990 para su desarrollo con lo que el simulador se implementó en 1993.

Para desarrollar este simulador se buscó satisfacer varias características, tales como estar basado en una computadora comercial, seleccionar una interfase de entrada/salida adecuada de alta precisión y alto poder, desarrollar un software de aplicación en tiempo real para la generación de fallas transitorias, y contar con una interacción entre el simulador digital y el subsistema de Entrada/Salida utilizada, para interactuar con el relevador de protección bajo prueba. La arquitectura resultante que reúne estas características está constituida por dos computadoras IBM RISC (*Reduced Instruction Set Computer*) 6000/580 y dos tarjetas de DSP marca Sonytech, cada una dedicada a una tarea particular de procesamiento. El sistema anterior cuenta entre otras características con 12 canales

analógicos de voltaje de 16 bits, 12 canales analógicos de corriente de 16 bits, 48 canales digitales de entrada y 48 canales digitales de salida.

El Simulador en Tiempo Real RTS es el software de aplicación que efectúa la simulación de la red en tiempo real e interactúa con las tarjetas de DSP también en tiempo real. Permite cambios de la topología de la red en tiempo real a través de las señales de disparo de los relevadores. Los modelos de componentes que soporta son elementos R, L y C desacoplados y ramas R-L desacopladas y acopladas, equivalentes PI para líneas cortas, líneas de transmisión con modelos de parámetros constantes y de parámetros dependientes de la frecuencia, fuentes de voltaje, fallas, relevadores, interruptores, capacitores serie con protección por MOVs (*Metal Oxide Varistor*), eliminadores de picos, CTs y CCVTs. Con este sistema se realizaron simulaciones con pasos de tiempo entre 50 y 100μs o en algunos casos ligeramente arriba de los 100μs. Los resultados obtenidos por el simulador digital en tiempo real WAPA se compararon con simulaciones hechas en EMTP, encontrando pequeñas diferencias, que se consideran que no tienen un impacto apreciable en los voltajes y corrientes que el relevador recibe.

Una descripción más detallada de los modelos y algoritmos desarrollados en este simulador en tiempo real WAPA se puede encontrar en una contribución posterior [Kezunovic *et al.* 1994], en la que también se presenta una interesante discusión hecha por J.R. Martí, L. Linares y H. W. Dommel de la University of British Columbia, Vancouver, B. C., Canadá, acerca de la consistencia de la formulación matemática presentada en este artículo.

Por este tiempo se propuso otra herramienta de simulación [Martí y Linares 1994], en donde se desarrolla un programa de computadora para efectuar la simulación de sistemas de potencia en tiempo real y que está basado en los modelos que utiliza el EMTP, además de técnicas de solución optimizadas para un desempeño máximo en arquitecturas escalables de computadoras. Los tiempos de simulación se encuentran en el rango de 38 a 107μs, reportándose simulaciones de sistemas de 18 a 30 nodos empleando una estación de trabajo IBM RISC 6000 modelo 560. Se considera en este trabajo que los tiempos son adecuados para pruebas en tiempo real de relevadores de protección. El programa desarrollado es compatible con casos de datos existentes para EMTP. El software presentado en este documento se denomina RTNS (*Real Time Network Simulator*) y sus resultados

se comparan con los que entrega el EMTP, siendo estos satisfactorios. Al final de este trabajo se presenta también una discusión realizada por M. Kezunovic, M. Aganagic de la Texas A&M University, College Station, Texas y S.M. McKenna, del DOE-Western Area Power Administration, Golden, Colorado.

En una contribución posterior [Kezunovic *et al.* 1996] se reporta un trabajo mejorado de la versión presentada en [Kezunovic y McKenna 1994], en donde se presenta una nueva versión del simulador WAPA así como su validación. Las modificaciones más importantes con respecto al sistema original es el uso de 4 DSPs, en lugar de dos que se usaban en la versión anterior.

En el mismo año (1996) se reporta un trabajo cuyo objetivo es más particular y consiste en el modelado en tiempo real de los auxiliares eléctricos de una planta de poder típica Italiana [Borghetti *et al.* 1996]. Se documentan las características del simulador mencionando; los modelos matemáticos se ejecutan en tres estaciones DEC 5000/240 conectadas en línea. El sistema de control y telecontrol se encuentran en el cuarto de control y están basados en una computadora personal y software SCADA (*Supervision Control and Data Acquisition*). El sistema de adquisición de datos usa tarjetas y procesadores de Motorola. El simulador está diseñado en ambiente LegoCad, basado en código Lego (software desarrollado en el Departamento de Investigación y Desarrollo de la Compañía de Electricidad Italiana).

En otro artículo [Snider *et al.* 1997] se presenta un estudio de la evolución de los simuladores en tiempo real de sistemas de potencia y se presenta el desarrollo de un simulador totalmente digital denominado HYPERSIM desarrollado por TEQSIM International (subsidiaria de Hydro Québec, Canadá, en sociedad con Mitsubishi Electric). Este simulador es capaz de representar todos los componentes de una red de un sistema de potencia en *ca* y *cd* con un intervalo de tiempo lo suficientemente pequeño para representar picos de conmutación. El hardware esta formado por una malla de tarjetas de procesadores RISC interconectados, cada tarjeta cuenta con 2Mb de memoria caché secundaria y 32Mb de DRAM (*Dynamic Random Access Memory)* y todos los cálculos se realizan en doble precisión. Cada tarjeta de procesador RISC tiene tres puertos de comunicación, uno para comunicarse con otras tarjetas, otro para comunicarse con la estación de trabajo del operador y el tercero para enlazar el nodo computacional a una tarjeta de portadora de E/S

(entrada/salida) opcional con interfase P1349 y características para sitios IP. En este simulador se implementan los modelos de componentes comúnmente utilizados para la simulación de sistemas de potencia. Los resultados de las simulaciones en tiempo real se han comparado con éxito a los generados fuera de línea por el EMTP.

En otra contribución [Kojovic y Day 1999] se resalta la importancia no solo de contar con un simulador de transitorios que incorpore los modelos de los elementos del sistema de potencia, sino también el de los trasformadores de instrumentación, ya que en muchas ocasiones estos son los responsables de la mala operación de las protecciones.

A pesar de la importancia que tiene la simulación en tiempo real, sigue siendo útil para algunas pruebas el uso de simuladores en modo *playback*, por lo que el trabajo mencionado no solo presenta una herramienta de simulación en tiempo real como el RTPSS (*Real-Time Power System Simulator*) sino también su uso como sistema en modo Playback.

El simulador desarrollado por ABB Relays AB, Sweden, [Nimmersjö *et al.* 1988], estuvo en operación desde 1985. Actualmente, un nuevo simulador denominado ARENE desarrollado por la compañía de electricidad Francesa Electricité de France reemplaza a este simulador. Las características de este nuevo simulador se presentan en [Nimmersjo *et al.* 2000]. Las especificaciones básicas del ARENE son: El software ARENE se implementó en una computadora HP SPP 2000/S-16 con 16 procesadores operando en paralelo y con memoria de 1024 Mb, la computadora está conectada vía fibra óptica a un equipo de E/S para la conversión de D/A (Digital a analógico, en inglés: *Digital to Analog*) y A/D, el equipo de E/S está conectado a amplificadores de voltaje y corriente, las conexiones de la señales lógicas hacia y desde el equipo de prueba se hacen directamente al equipo de E/S del simulador, 12 salidas posibles de corriente, 12 de voltaje, 48 señales lógicas indicando la posición de los interruptores, señales permisivas o de bloqueo y para retroalimentación, 80 señales lógicas para señales de disparo o señales al lado remoto y 20 señales analógicas provenientes de los amplificadores o señales de prueba.

Ejemplos recientes del uso de simuladores digitales de sistemas de potencia que operan en tiempo real que están disponibles en el mercado son los trabajos que se presentan en [Keerthipala *et al.*

2000] y [Talbot *et al.* 2000], en donde se presenta el uso del RTDS para la simulación de un relevador de protección basado en Neuro-Fuzzy de la prueba de los relevadores de protección de alto desempeño ante condiciones de falla en una red de transmisión de 500kV, respectivamente.

Otra opción de simulador para el análisis de sistemas de potencia en tiempo real la representa el NETOMAC (*Network Torsion Machine Control*) desarrollado por Siemens AG, Germany, [Buchholz *et al.* 2000]. En dicha contribución, se detallan las características de este simulador y se puede ver que conjunta las capacidades del EMTP, EMTDC, ATP (*Alternative Transients Program*) para simular fenómenos transitorios electromagnéticos, así como las capacidades del BPA (Boneville Power Administration), PSS/E (Power System Simulator for Engineering) y SIMPOW para simular fenómenos electromecánicos.

En NETOMAC se utiliza un lenguaje de simulación orientado a objetos, incluyendo elementos pasivos lineales y no lineales, fuentes de voltaje de frecuencia fija, máquinas síncronas y asíncronas con sistemas de vibración del eje de torsión, FACTS (*Flexible Alternating Current Transmission Systems*), HVDC, sistemas de control. El NETOMAC cuenta con un modo de simulación instantáneo (tiempo), modo estabilidad (admitancias complejas) con la capacidad de uso de componentes simétricas, análisis en el dominio de la frecuencia partiendo de las condiciones de estado estacionario y con técnicas que permiten el uso de la FFT (*Fast Fourier Transform*), análisis de valores y vectores característicos con los que se puede investigar las características oscilatorias del sistema. NETOMAC se utiliza en combinación con diferentes estaciones tales como un simulador digital en tiempo real RTDS, un sistema de adquisición de datos, sistema para simulación con FACTS y HVDC, protecciones y otros sistemas tanto digitales como analógicos formando un sistema híbrido capaz de simular una gran variedad de condiciones tanto de CA como de CD.

La variante por explorar para lograr la simulación en tiempo real de transitorios eléctromagnéticos y estabilidad en sistemas eléctricos de potencia es la potencial aplicación de plataformas alternativas de procesamiento en paralelo tales como PVM (*Parallel Virtual Machine*)[Geist *et al.* 1994], MPI (*Message Passing Interface*) [Pacheco 1997] o MT (*Multi-Threading*) [SUN 1997], entre otras, aplicadas a la simulación de redes eléctricas e integradas en alguna plataforma de programación que permita el uso de estas herramientas de procesamiento en paralelo o procesamiento recurrente y que

permita también la ejecución de procesos en tiempo real. Se pretende que la plataforma de simulación en tiempo real a desarrollarse se convierta en una herramienta de simulación en tiempo real versátil, poderosa y de costo considerablemente menor al de las opciones disponibles actualmente.

1.2 Justificación

La simulación digital de sistemas eléctricos cuenta con un periodo de desarrollo de cerca de 37 años. Inicialmente la simulación de sistemas eléctricos solo se podía efectuar en modo fuera de línea, sin embargo, durante los últimos 17 años la simulación digital en lazo abierto, lazo cerrado y en tiempo real de sistemas eléctricos de potencia ha ocupado un lugar relevante en sus etapas de planeación, diseño, operación, modelado y análisis debido a que permite conocer el comportamiento dinámico de las redes eléctricas ante un número diverso de condiciones anormales de operación, que pudieran presentarse en el sistema real y que en algunos casos pudieran generar efectos destructivos para el propio sistema, su estabilidad, o bien condiciones peligrosas para el personal que de alguna manera interactúa con los distintos elementos que lo conforman.

Previo al desarrollo de estos simuladores digitales, se detectaba y tenía conocimiento del efecto de una falla o condición anormal de operación de un sistema eléctrico de potencia hasta que ésta se presentaba y generaba los correspondientes efectos descritos previamente para los distintos componentes. Después de haberse presentado la falla se estudiaban las condiciones en las que se había presentado y se iniciaba una acción correctiva cuya efectividad se verificaba hasta que se volvían a presentar condiciones similares. En muchas ocasiones transcurría mucho tiempo y se generaban grandes costos de reemplazo de elementos del sistema antes de poder predecir adecuadamente el efecto de un disturbio en la operación del sistema, así como su estabilidad.

Con el desarrollo de los simuladores en lazo cerrado y en tiempo real, así como de la incorporación en ellos de modelos detallados de los distintos elementos, se puede conocer con anticipación, sin efectos destructivos y de manera económica, el impacto en el sistema de condiciones de disturbio y fallas diversas. Dichos simuladores representan una importante herramienta digital durante las etapas de planeación, operación y control de los sistemas eléctricos de potencia.

Actualmente existen simuladores comerciales que operan en tiempo real tales como el RTDS, el HYPERSIM y el ARENE, solo que representan soluciones de simulación en tiempo real de muy alto costo.

Mediante el desarrollo de la presente tesis se pretende desarrollar una herramienta de simulación digital para el análisis de la operación dinámica de redes eléctricas no lineales interactuando con sistemas físicos, en lazo abierto y lazo cerrado que permita incorporar dentro de la simulación digital de lazo cerrado a sistemas físicos tales como relevadores de protección u otros dispositivos.

Con el desarrollo de esta herramienta se pretende sentar las bases de conocimiento para incursionar en la línea de investigación y desarrollo de simuladores capaces de operar en tiempo real que al ser tecnología nacional cuentan con la característica de poderse seguir desarrollando e incorporar nuevas características y mejoras continuas de procesamiento y simulación digital que se adecuen a las necesidades que se tengan en cada momento.

Para cumplir lo anterior se pretende desarrollar un simulador que opere en lazo abierto, lazo cerrado, y potencialmente en tiempo real, así como herramientas de software y hardware que permitan generar las señales de voltajes y corrientes de forma real asociadas con el tipo de disturbio en el sistema de potencia, que después de pasar por una etapa de amplificación (opcional) se apliquen a los relevadores implicados, los cuales retroalimenten parámetros tales como señales de disparo, estado de los interruptores o algunos parámetros de funcionamiento, a través de un sistema de adquisición de datos conectado a la computadora, con el fin de conformar un sistema que permita pruebas en lazo cerrado y potencialmente en tiempo real.

Dada la cantidad de operaciones aritméticas y de control asociadas con este proceso en lazo cerrado que solo se puede realizar en un sistema que opere en tiempo real, se pretende explorar la aplicación de alguna de las plataformas de procesamiento en paralelo o recurrentes tales como Parallel Virtual Machine (PVM), Message Passing Interface (MPI), Multithreading (MT), entre otras.

El uso de un simulador con capacidad de operar en lazo cerrado es esencial en la implementación de esquemas que auxilien en diferentes actividades dentro del área de la ingeniería eléctrica, tales como la realización de pruebas en lazo cerrado de dispositivos de un sistema eléctrico, el diseño de etapas de control para sistemas eléctricos de potencia, en donde interactúe una sección de hardware (sistema de control) con una sección simulada (dispositivo o red a controlar) y el desarrollo de equipos de análisis y medición de señales en tiempo real, entre muchas otras aplicaciones útiles e importantes, que se pueden lograr con el uso de un esquema de simulación en lazo cerrado; que permite reducir los tiempos y costos de desarrollo y que en algunos casos solo se pueden realizar con este tipo de simuladores.

A pesar de que existen simuladores comerciales con capacidad para operar en lazo cerrado, este tipo de equipos presentan un costo muy elevado que en general hace inaccesible su adquisición, por lo que resulta muy importante iniciar una línea de investigación en el área del desarrollo de simuladores en lazo cerrado.

Es importante mencionar que al momento de escribir esta tesis, ninguna institución educativa, de investigación o empresa privada en México cuenta con un simulador capaz de operar en tiempo real que haya sido adquirido a través de su compra a desarrolladores extranjeros ni mucho menos se cuenta con un desarrollo nacional de este tipo.

Por lo anterior, la presente tesis está orientada a desarrollar un simulador en lazo abierto y lazo cerrado con capacidad potencial de operar en tiempo real, haciendo uso de herramientas de software y hardware que permitan implementar un esquema de costo considerablemente menor que los equipos comerciales y que represente una plataforma que permita a futuro la incorporación de nuevas características y poder de simulación.

1.3 Objetivos

- Desarrollar una herramienta de simulación para el estudio y análisis de transitorios electromagnéticos y estabilidad en sistemas eléctricos de potencia con capacidad potencial de trabajar en tiempo real. La herramienta desarrollada podrá trabajar en lazo abierto o lazo

cerrado y utilizarse en estudios tales como prueba y sintonización de relevadores de protección, así como su comportamiento ante condiciones de disturbio o distorsión armónica.

- Estudiar y aplicar técnicas de procesamiento en paralelo o procesamiento recurrente de dominio público que permitan la operación en tiempo real de la herramienta de simulación desarrollada.

- Dejar como aportación tanto los principios de funcionamiento como un simulador con capacidades para operar tanto fuera de línea como en lazo cerrado que sirvan como una base sólida para consolidar a futuro un simulador con grandes capacidades y características de simulación.

1.4 Metodología

Con el propósito de lograr los objetivos planteados en la sección 1.3 se utilizará la siguiente metodología:

- Investigar acerca de la tecnología existente hasta el momento actual en el campo de la simulación en modo fuera de línea y en tiempo real, en lazo abierto y en lazo cerrado tales como ATP/EMTP, PSCAD/EMTDC, RTDS, HYPERSIM y ARENE entre los mas importantes con el objeto de conocer las metodologías de desarrollo y simulación empleadas en dichos simuladores y de esa manera contar con una base de conocimiento que sirva de punto de partida para el desarrollo de una herramienta de simulación para el estudio y análisis de transitorios electromagnéticos y estabilidad en sistemas eléctricos de potencia con capacidad potencial de trabajar en tiempo real.

- Estudiar las características de las diferentes herramientas de procesamiento en paralelo existentes actualmente de forma abierta tales como PVM, MPI, Multithreading, P4, Express, y Linda para evaluar sus potencial de aplicación en el desarrollo de una herramienta de simulación eficiente con potencial de funcionar en tiempo real. Una vez evaluadas las diferentes herramientas de procesamiento en paralelo o procesamiento recurrente efectuar la

selección de aquella o aquellas que se adecuen a los requerimientos de un simulador con potencial para operar en tiempo real.

- Para integrar el simulador objetivo de esta tesis, se integrarán todas las herramientas de programación, simulación y procesamiento en paralelo que puedan interactuar en una plataforma común en la cual se desarrolle la aplicación. Se considerará como una opción para la selección de la plataforma de desarrollo al Visual C++ dentro del sistema operativo Windows.

- Una vez integrada la plataforma de desarrollo se procederá a desarrollar diferentes casos de estudio, los cuales se validarán con un simulador comercial de confiabilidad reconocida a nivel internacional que puede ser ATP/EMTP , PSCAD/EMTDC o RTDS.

1.5 Aportaciones Originales

Como resultado del desarrollo de esta tesis se tienen varias aportaciones originales, las cuales se describen a continuación:

- El desarrollo de un modelo de la máquina síncrona en coordenadas de fase para el simulador comercial PSCAD/EMTDC. Este modelo fue desarrollado durante una estancia doctoral realizada por el autor de esta tesis con los desarrolladores del simulador comercial mencionado, el HVDC Research Centre que se localiza en Winnipeg, Manitoba, Canadá. La versión más reciente (V4.2) de PSCAD/EMTDC no cuenta con este modelo y se pretende incorporarlo en una nueva versión del simulador.

- Se desarrolló un equipo de pruebas en lazo abierto denominado VOLTS (Versatile Open Loop Testing System) el cual permite generar formas de onda de prueba, a partir de pruebas fijas o bien de un archivo de datos, generado por programas matemáticos o de simulación de transitorios electromagnéticos como el PSCAD/EMTDC o el ATP. Este equipo de pruebas y su software cuentan también con opciones para generar archivos de salida o realizar post procesamiento de las señales de entrada.

- Se desarrollaron varios casos de simulación en lazo abierto y lazo cerrado que demuestran que la investigación realizada descrita en esta tesis representa una base sólida para el desarrollo a mediano plazo de un simulador capaz de implementar cualquier esquema en lazo cerrado así como cualquier red eléctrica en tiempo real.

- Se aplicó una técnica de simulación de circuitos eléctricos con elementos de conmutación basada en ecuaciones de estado, la cual demostró entregar resultados precisos, aún con pasos de integración grandes, así como no generar oscilaciones numéricas en casos en los que los simuladores tradicionales basados en los principios del EMTP si las generan.

- Se desarrollaron diferentes técnicas de simulación orientadas a reducir tiempos de simulación, con el propósito de lograr simulaciones en lazo cerrado y tiempo real o bien reducir tiempos de simulación en esquemas en lazo abierto.

- Como parte de los diferentes casos de estudio que se presentan en esta tesis, se efectuaron pruebas y se analizó la respuesta de distintos sistemas de protección ante condiciones de distorsión armónica y desbalance, con el propósito de predecir de manera certera el comportamiento de dichos sistemas de protección ante dichas condiciones de operación.

1.6 Descripción de Capítulos

En el Capítulo 1 se presenta una revisión del estado del arte de los simuladores de sistemas eléctricos de potencia que operan en lazo cerrado y en tiempo real. En esta parte se describen los diferentes trabajos que se han realizado a lo largo del tiempo desde los primeros sistemas de simulación hasta el momento actual. Se describe el origen y desarrollo de los simuladores actuales mas conocidos que operan tanto en modo fuera de línea como en tiempo real, tales como PSCAD/EMTDC, ATP/EMTP, RTDS, ARENE, y HYPERSIM, entre otros trabajos. Después de esta revisión del estado del arte se presenta una justificación del proyecto propuesto y se proponen los objetivos a alcanzarse con la realización del mismo. También se mencionan las aportaciones

originales que fueron resultado del presente trabajo de tesis y finalmente se describe el contenido de cada capítulo.

En el Capítulo 2 se presenta un estudio de las características de varios de los simuladores más utilizados en la actualidad que operan tanto en modo fuera de línea como en tiempo real tales como el ATP/EMTP, PSCAD/EMTDC, RTDS, HYPERSIM y ARENE, posteriormente se describe el modelado de componentes eléctricas con el PSCAD/EMTDC y se presentan estudios fuera de línea de sistemas de CA-CD. Como parte de este capítulo se presentan diversos casos de estudio.

En el Capítulo 3 se presenta una descripción de los esquemas en lazo abierto, cuya función es la de realizar pruebas en modo fuera de línea y se dan algunas definiciones relacionadas con el tema. Se presentan también los esquemas de pruebas en lazo abierto con equipos comerciales como el F6150 de la marca DOBLE y el RTP (*Real Time Playback*) desarrollado por el HVDC Research Centre y se hace una descripción de sus características. También se presentan los resultados de un equipo de pruebas en lazo abierto denominado VOLTS (*Versatile Open Loop Testing System*), que fue desarrollado como parte de la presente tesis y constituye una de sus aportaciones importantes. Al final de este capítulo se presentan varios casos de estudio en los que se emplean tanto equipos comerciales como el equipo desarrollado para implementar esquemas en lazo abierto en los que se evalúa el efecto de la distorsión armónica y el desbalance en la operación de relevadores de protección. Las pruebas efectuadas en los diferentes casos de estudio validan el correcto funcionamiento del equipo de pruebas desarrollado y presentan los resultados obtenidos.

En el Capítulo 4 se describen las características de los esquemas en lazo cerrado y se explican las características con las que debe contar un sistema capaz de operar en tiempo real. También se presenta un estudio de las características de las diferentes herramientas de software, tales como el lenguaje de programación utilizado, la biblioteca de programas de manejo de dispositivos de entrada y salida, Bibliotecas de programas de procesamiento en paralelo ó procesamiento recurrente, y herramientas de tiempo real importantes en el desarrollo del simulador en tiempo real que se presenta en esta unidad; además de otras herramientas que permitan a futuro la implementación de sistemas capaces de operar en tiempo real en diferentes plataformas. Al final de este capítulo se presenta la arquitectura del simulador en lazo cerrado desarrollado y se describen sus características.

En el Capítulo 5 se presentan los resultados de estudios realizados con el simulador en lazo cerrado desarrollado como parte principal de esta tesis y cuya arquitectura y características se describen en el Capítulo 4. Los diferentes casos de estudio que se presentan en esta unidad fueron desarrollados con la finalidad de demostrar varias de las características con las que cuenta un simulador de este tipo que permite la implementación de esquemas en lazo cerrado, en donde las salidas del simulador interactúan con elementos o dispositivos externos. Los resultados presentados en esta unidad son validados con el simulador comercial PSCAD/EMTDC.

En el Capítulo 6 se presentan las conclusiones generales que describen los resultados de la presente investigación doctoral y se abordan diferentes ideas para trabajos de investigación a realizarse posteriormente en el mismo campo del conocimiento.

CAPÍTULO 2

HERRAMIENTAS PARA EL ANÁLISIS DE TRANSITORIOS Y ESTABILIDAD DE SISTEMAS ELÉCTRICOS DE POTENCIA

2.1 Introducción

Desde sus inicios y durante todo su desarrollo, el campo de la Ingeniería Eléctrica ha encontrado en la simulación digital de sistemas eléctricos una herramienta muy importante que permite determinar el comportamiento dinámico del sistema eléctrico real sin la necesidad de disponer de él de forma física. Este hecho presenta ventajas importantes tales como: ahorro de tiempo, ahorro de recursos económicos, posibilidad de predecir el comportamiento de dicho sistema ante situaciones o casos especiales que pudieran presentarse durante su operación dinámica y la posibilidad de evitar daños a las personas y al equipo, al ser capaz de predecir su comportamiento ante una maniobra real en el sistema eléctrico [Zamora *et al.* 2005].

El conjunto de ventajas que representa la simulación digital de sistemas eléctricos ha dado origen al desarrollo y evolución continua de técnicas de análisis, modelado y simulación de los diferentes elementos que conforman a un sistema eléctrico, así como su comportamiento unificado dentro de una red.

Si bien los primeros sistemas de análisis de redes eléctricas fueron en esencia sistemas eléctricos a escala (TNA o Analizadores de Transitorios en Redes), ya permitían conocer de una manera muy cercana el comportamiento transitorio de ciertas redes eléctricas a un costo mucho más bajo que el sistema real, sin embargo, no era posible en muchos casos tener un modelo a escala de determinados elementos y en los casos en los que si se contaba con dichos modelos, se estaba limitado en el tamaño de la red que se podía alambrar y en cuanto a la flexibilidad para variar los parámetros, introducir eventos, etc. [Zamora *et al.* 2005].

Actualmente una herramienta muy importante dentro de la evolución de la simulación de sistemas eléctricos la constituye la computadora digital, la cual permitió que las ecuaciones que representan el modelo matemático de cada elemento del sistema eléctrico se resolvieran haciendo uso de un procesador central, evitando de esta manera el uso de sistemas eléctricos a escala y permitiendo generar modelos cada vez más completos y complejos, y redes cada vez más grandes, a medida que el poder de procesamiento de las computadoras digitales se fue incrementando con el paso del tiempo y que se establecieron metodologías matemáticas de análisis unificado de componentes del sistema eléctrico [Dommel y Meyer 1969] [Dommel y Meyer 1974].

El resultado del trabajo de muchos investigadores durante muchos años en el área de la simulación digital de sistemas eléctricos ha dado como resultado diferentes programas de simulación de redes eléctricas que se encuentran actualmente disponibles; la mayoría de ellos de forma comercial y algunos de ellos de forma gratuita, estos programas actualmente cuentan con un gran número de capacidades de simulación de redes eléctricas y cubren diferentes áreas de estudio de acuerdo al tipo de resultado que nos proporcionan, tales como: análisis de transitorios electromagnéticos, análisis de flujos de potencia, análisis armónico, etc.

Debido a que la investigación reportada en la presente tesis se centra en el "*Desarrollo de una Herramienta de Simulación Digital para el Análisis de la Operación Dinámica de Redes Eléctricas No Lineales Interactuando con Sistemas Físicos, en Lazo Abierto y Lazo Cerrado*", el área de estudio de interés corresponde a la simulación de transitorios electromagnéticos, siendo de particular interés la simulación en tiempo real, por lo que la presente unidad tiene como objetivo estudiar las características de los simuladores de transitorios electromagnéticos ya disponibles tanto en forma comercial como gratuita para de esta manera entender la justificación del presente trabajo.

Es importante mencionar que los simuladores de transitorios electromagnéticos se pueden clasificar en dos grandes modos de operación, de acuerdo a la forma en que se realiza la simulación en relación con la duración real del evento simulado:

1) *Simuladores en modo fuera de línea (off-line).* Son todos aquellos simuladores que para encontrar la solución de la red eléctrica bajo estudio no presentan restricciones en cuanto al

tiempo límite disponible para concretar cada paso de integración en una simulación, pudiendo tomar un tiempo de simulación normalmente mayor o actualmente incluso menor que la duración del evento real simulado, sin que exista ninguna sincronía entre el resultado de la simulación y el evento real simulado. Normalmente este tipo de simuladores presentan sus resultados de forma diferida (una vez terminada la simulación del tiempo total del evento) ya sea en forma gráfica o mediante un archivo de datos de salida. Las entradas a un simulador fuera de línea se dan a través de la interfase gráfica o a través de un archivo de datos.

2) *Simuladores en modo de tiempo real (real-time).* Son todos aquellos simuladores que aparte de generar los mismos resultados que el simulador en modo fuera de línea, lo deben hacer cumpliendo con las restricciones de tiempo impuestas por el evento real y en sincronía con él. Este tipo de simuladores requieren en muchas ocasiones de un poder de procesamiento muy grande, soportado frecuentemente por un conjunto de procesadores operando en paralelo para poder concluir con las restricciones de tiempo. La salida de este tipo de simuladores no se da en forma diferida sino a medida que se realiza la simulación, de forma continua y paso a paso (de integración), en sincronía con el evento real simulado y se da normalmente a través de canales analógicos y digitales de salida, que le permiten al simulador interactuar con el mundo real. Las entradas a un simulador en tiempo real pueden ser también señales analógicas o digitales provenientes del mundo real.

2.2 Estudio de las Características de los Simuladores ATP/EMTP, PSCAD/EMTDC, RTDS, HYPERSIM, ARENE y el Entorno ADvantage.

Para poder iniciar con el desarrollo de un simulador de transitorios electromagnéticos con capacidad de operar en tiempo real se requiere conocer las características de los simuladores que ya están disponibles de manera comercial o gratuita, para de esta manera conocer sus características y sustentar el desarrollo del presente trabajo de Tesis.

La gama de simuladores disponibles principalmente de forma comercial y algunos de forma gratuita es muy grande, pero sin duda, existen varios de ellos que han alcanzado un reconocimiento

importante a nivel mundial y por ello en esta sección se presentan las características de los principales simuladores, tales como: 1)ATP/EMTP [ATP 2001], 2) PSCAD/EMTDC [PSCAD 2006], 3) RTDS [RTDS 2006], 4) HYPERSIM [HYPERSIM 2006] , 5) ARENE [ARENE 2000] y el Entorno ADvantage [ADI 2007].

Los simuladores ATP/EMTP y PSCAD/EMTDC son simuladores con capacidad de operar únicamente en modo fuera de línea mientras que RTDS, HYPERSIM, ARENE y el entorno ADvantage cuentan con a capacidad de operar en tiempo real.

Debido a que la simulación en tiempo real normalmente se lleva a cabo usando los mismos principios de la simulación fuera de línea pero imponiendo las restricciones de tiempo y sincronía con el evento real simulado, el análisis de las características de los simuladores de transitorios electromagnéticos que se presentan en esta sección cubre no solo a los simuladores que operan en tiempo real (RTDS, HYPERSIM, ARENE y el entorno ADvantage) sino también a aquellos que operan solo fuera de línea (ATP/EMTP y PSCAD/EMTDC).

A continuación se presenta de forma resumida las características de cada uno de los simuladores mencionados anteriormente y se ilustran diversos casos de estudio.

2.2.1 ATP/EMTP

El ATP (Alternative Transients Program)[ATP 2001] es un conjunto de programas para la simulación digital de fenómenos transitorios electromagnéticos y electromecánicos en modo fuera de línea (off-line) que surge a partir de otro simulador conocido como EMTP (ElectroMagnetic Transients Program) desarrollado con anterioridad [ATP 2001]. Con este programa digital se pueden simular redes complejas y sistemas de control de estructura arbitraria. ATP cuenta con grandes capacidades de modelado y características adicionales importantes aparte de la simulación de transitorios electromagnéticos.

ATP usa básicamente el método de integración trapezoidal para resolver las ecuaciones diferenciales de los componentes del sistema en el dominio del tiempo. La solución del sistema se puede calcular determinando de forma automática condiciones iniciales diferentes de cero mediante un análisis

fasorial de estado estacionario o pueden darse como datos de entrada directamente para el caso de componentes simples. Se pueden modelar sistemas de control y componentes con características no lineales mediante el uso de los modulos integrados a ATP; TACS (*Transient Analysis of Control Systems*) y MODELS (Lenguaje de Simulación de ATP). ATP permite calcular la respuesta en frecuencia de redes fasoriales haciendo uso de la función FREQUENCY SCAN, así como realizar análisis armónico en el dominio de la frecuencia con la función HARMONIC FREQUENCY SCAN.

Existen una gran cantidad de componentes con los que cuenta ATP tales como elementos RLC acoplados y desacoplados, líneas de transmisión de parámetros distribuidos y con parámetros dependientes de la frecuencia, resistencias e inductancias no lineales, transformadores incluyendo saturación e histéresis, interruptores, válvulas (diodos, tiristores, triacs), fuentes, máquinas giratorias, etc. Así como la posibilidad de crear componentes definidos por el usuario mediante el lenguaje de simulación MODELS.

Mediante el uso de diferentes rutinas con las que cuenta el simulador ATP se pueden calcular los parámetros de líneas y cables usando los módulos LINE CONSTANTS, CABLE CONSTANTS y CABLE PARAMETERS, se pueden generar datos de entrada de los modelos de la línea dependientes de la frecuencia de Semlyen [Semlyen y Deri 1985] y J. Martí [Martí 1982], se pueden calcular datos para los modelos de transformadores mediante los módulos XFORMER y BCTRAN así como realizar conversiones de curvas de saturación e histéresis.

El simulador ATP cuenta con diferentes herramientas adicionales como: ATPDraw, ATP Control Center, GTPPLOT, PlotXY y WPCPlot. La Figura 2.1 Muestra una imagen de la presentación gráfica de ATPDraw [ATP 2001].

Existe por supuesto también la versión comercial que surge a partir del proyecto de reestructuración de EMTP emprendido por la DCG en 1998 y se conoce como EMTP-RV [EMTP-RV 2006]. EMTP-RV es una herramienta de simulación poderosa y profesional que cuenta entre muchas características importantes con una Interfase Gráfica de Usuario muy amigable denominada EMTPWorks y con varias opciones de simulación como Análisis de Frecuencia, soluciones de estado estacionario periódico tanto lineal como no lineal, flujos de potencia trifásicos, solución en el dominio del tiempo usando solo la regla trapezoidal con/sin el método de Euler hacia atrás,

inicialización a partir de las condiciones de estado estacionario o a partir de condiciones entradas de forma manual así como opciones especiales para electrónica de potencia con conmutación en tiempos entre pasos de integración [EMTP-RV 2006].

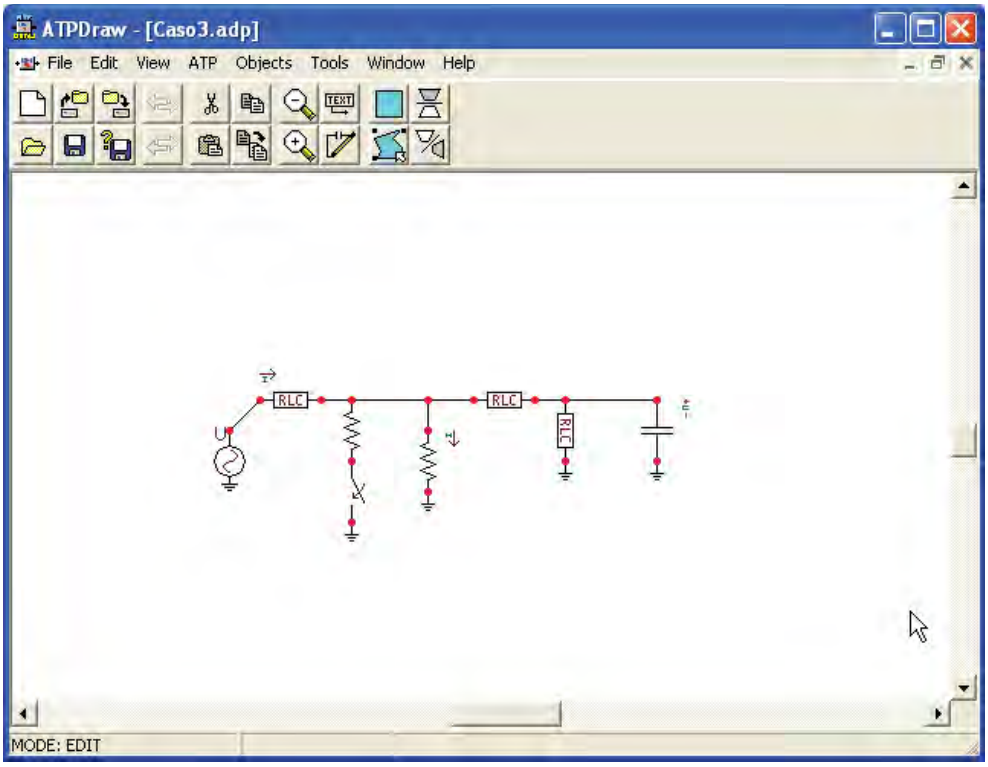


Figura 2.1. Pre-procesador gráfico para ATP, ATPDraw.

2.2.2 PSCAD/EMTDC® [PSCAD 2006]

El programa de Diseño de Sistemas de Potencia Auxiliado por Computadora PSCAD (Power Systems Computer Aided Design) es una interfase gráfica de usuario, poderosa y flexible, para utilizar de manera sencilla el simulador EMTDC (Electro Magnetic Transients including Direct Current). El PSCAD/EMTDC es desarrollado y comercializado por el Centro de Investigación en Alto Voltaje de Corriente Directa (HVDC Research Centre Inc.) con sede en la ciudad de Winnipeg, Manitoba, Canadá.

PSCAD y su herramienta de simulación EMTDC cuentan a la fecha con 30 años de desarrollo. PSCAD fue creado inicialmente en 1988 e inició una larga evolución como una herramienta para

generar archivos de datos de entrada al programa de simulación EMTDC. La versión 1 fue principalmente experimental pero permitió a los usuarios dibujar las redes bajo estudio en lugar de utilizar la tarea mas compleja de crear el archivo de entrada. La versión 2 que fue desarrollada para plataformas Unix; fue la primer versión comercial y se lanzó al mercado en 1994. En 1999 se desarrolló la versión 3 para Windows e introdujo un sistema de simulación que permite construir las redes eléctricas de una forma modular, en donde los sistemas se construyen interconectando bloques gráficos que se compilan de forma individual y que contienen cada uno de ellos sus propias variables privadas. Actualmente PSCAD/EMTDC se encuentra en su versión 4 de desarrollo y ha evolucionado con la filosofía de producir un programa de simulación que sea tanto poderoso como fácil de usar.

PSCAD/EMTDC Versión 4 permite que el usuario construya un circuito de forma esquemática, corra una simulación, analice los resultados, y maneje los datos en un ambiente gráfico completamente integrado, de tal manera que el usuario pueda alterar los parámetros del sistema durante la simulación y observar los resultados directamente. PSCAD/EMTDC incluye una extensa biblioteca de modelos pre-programados y probados que van desde elementos pasivos simples y funciones de control, hasta modelos más complejos como máquinas eléctricas, dispositivos o sistemas de Transmisión Flexibles en Corriente Alterna ó FACTS (Flexible Alternating Current Transmission Systems), líneas de transmisión y cables. En caso de que no exista un modelo requerido por el usuario, PSCAD/EMTDC provee la flexibilidad de construir modelos hechos a la medida ya sea ensamblándolos gráficamente usando modelos existentes, o bien utilizando el Editor de Diseño. La Figura 2.2 muestra una imagen del ambiente de trabajo de PSCAD/EMTDC.

Los siguientes son algunos de los modelos comunes que incluye PSCAD/EMTDC y que se pueden encontrar en sistemas reales:

- Resistores, inductores y capacitores.
- Devanados acoplados mutuamente tales como transformadores
- Modelos dependientes de la frecuencia de líneas de transmisión y cables.
- Fuentes de corriente y de voltaje
- Interruptores
- Relevadores de protección

- Diodos, Tiristores y GTOs
- Funciones de control analógicas y digitales
- Máquinas de CA y CD, excitadores, gobernadores, estabilizadores y modelos inerciales
- Medidores y funciones de medición
- Controles genéricos de CD y CA
- Controladores HVDC, SVC y otros dispositivos FACTS
- Aerogeneradores, Turbinas y Gobernadores

PSCAD/EMTDC utiliza únicamente el método de integración trapezoidal debido a su demostrada estabilidad numérica y aceptable precisión [PSCAD 2006] [PSCAD, 2005] [HVDC 2006].

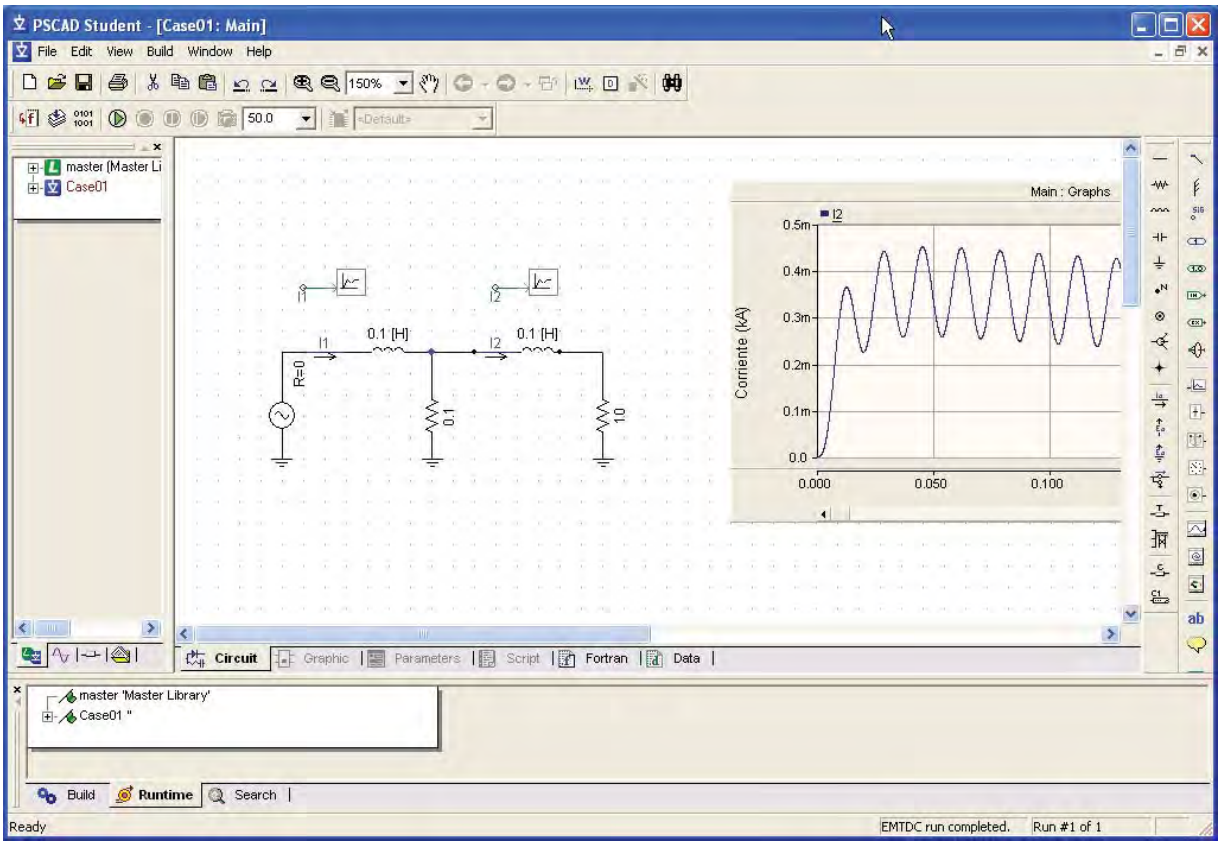


Figura 2.2 Ambiente de trabajo de PSCAD/EMTDC.

2.2.3 RTDS® [RTDS 2006]

El RTDS ó Simulador en Tiempo Real (Real Time Digital Simulator) es un simulador de transitorios electromagnéticos que opera en tiempo real y es desarrollado y comercializado por RTDS Technologies Inc, Winnipeg, Manitoba, Canadá.

El RTDS realiza simulación digital en tiempo real de transitorios electromagnéticos de sistemas eléctricos de potencia utilizando la filosofía y algoritmo de solución de los simuladores tipo EMTP que operan fuera de línea. El RTDS está constituido por un software de simulación y un hardware que permite realizar la simulación en tiempo real e interactuar con dispositivos externos a través de canales de entradas y salidas analógicas y digitales.

La Figura 2.3 muestra la arquitectura del simulador RTDS, se puede observar que cuenta con una PC o estación de trabajo en la que se construye la red y se ejecuta la simulación. Al iniciar la simulación se envían los modelos y datos necesarios para ser ejecutados en tiempo real en el hardware de múltiples procesadores en arquitectura paralela que se encuentran organizados en racks y cubículos, de acuerdo a la cantidad necesaria de procesadores para ejecutar la simulación de la red en particular que se esté analizando.

Hardware del RTDS

El hardware del RTDS hace uso de una arquitectura de hardware de procesamiento paralelo de diseño específico ensamblada en unidades modulares llamadas “racks”. Cada rack contiene ranuras de conexión o “slots” (máximo 20) y tarjetas montadas en rieles. Los racks están instalados en cubículos (existen 4 medidas de cubículos). La composición específica de un simulador RTDS depende de los requerimientos de procesamiento y entradas y salidas (E/S) de la aplicación para la cual se utilizará. Todas las tarjetas montadas en los racks cuentan con un sistema de comunicación común que facilita el intercambio de información. El sistema de comunicación de cada rack funciona de manera independiente, de tal forma que la comunicación de datos se puede efectuar en

paralelo, reduciendo de esta forma cuellos de botella en las comunicaciones. El RTDS permite el uso de diferentes tipos de tarjetas tanto de procesamiento como de comunicaciones.

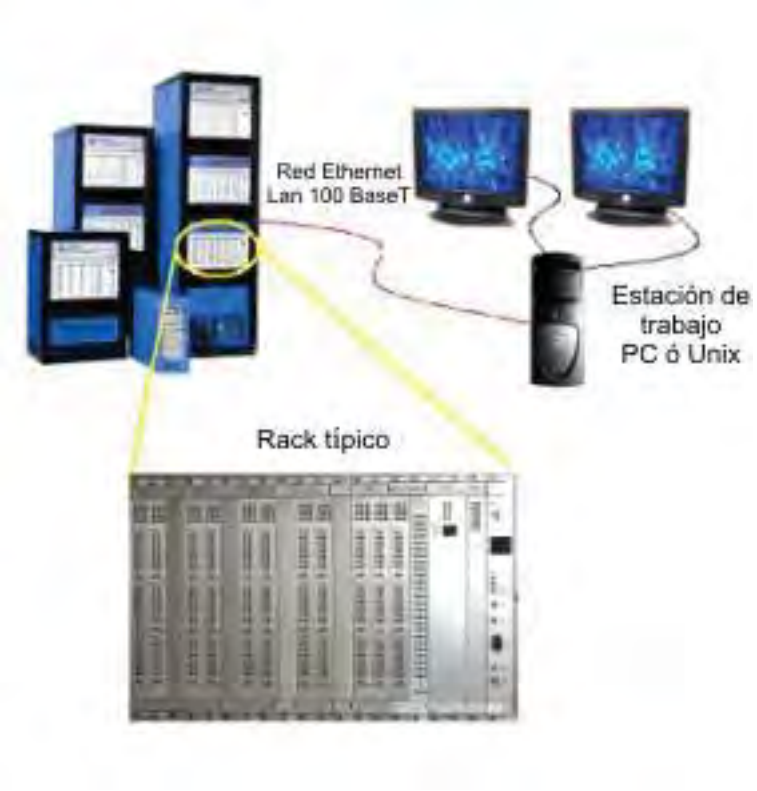


Figura 2.3. Arquitectura del RTDS.

En el caso de las tarjetas de procesamiento, han habido cuatro generaciones, siendo la primera la tarjeta TPC (*Two Processors Card*), la segunda generación de tarjetas de procesamiento es la 3PC (*Triple processor card*), la tercera generación de tarjetas de procesamiento es la RPC (*Risc Processor Card*), y la cuarta y más reciente generación de tarjetas de procesamiento para el RTDS es la GPC (*Giga Processor Card*).

En el caso de tarjetas de comunicación y auxiliares, RTDS cuenta con tarjetas como la WIF (*Workstation Interface Card*), la IRC (*Inter-Rack Communication Card*), la DOPTO (*Digital Input and Output Card*), la DDAC (*Analogue Output Card*); la OADC (*High Precision Analogue Input Card*); la DITS (*Digital Input Time-Stamping Card*) y finalmente, existe una nueva generación de tarjetas para usarse en conjunto con la GPC, tales como la GTDI (*Giga Transeiver Digital Input*

Card), la GTDO (*Giga Transeiver Digital Output Card*), la GTAO (*Giga Transeiver Analogue Output Card*) y el GTNET (*Giga-Transeiver Network Communication*).

Software del RTDS

El simulador RTDS emplea una interfase gráfica de usuario avanzada que se llama RSCAD Software Suite [RTDS 2006]. Este software es la interfase principal del usuario con el hardware del RTDS. Los módulos del RSCAD Software Suite incluyen: Una herramienta para manejo de proyectos de simulación conocida como *FileManager*, un entorno gráfico para la creación de forma esquemática del sistema de potencia que se va a simular *Draft* (Fig. 2.4), un módulo para cálculo de parámetros de líneas de transmisión *Tline* y otro para cables *Cable*; un módulo que permite al usuario controlar la simulación mientras esta se ejecuta *RunTime* (también se le conoce como la consola del operador) y un módulo que permite visualizar y postprocesar los resultados de la simulación *MultiPlot*.

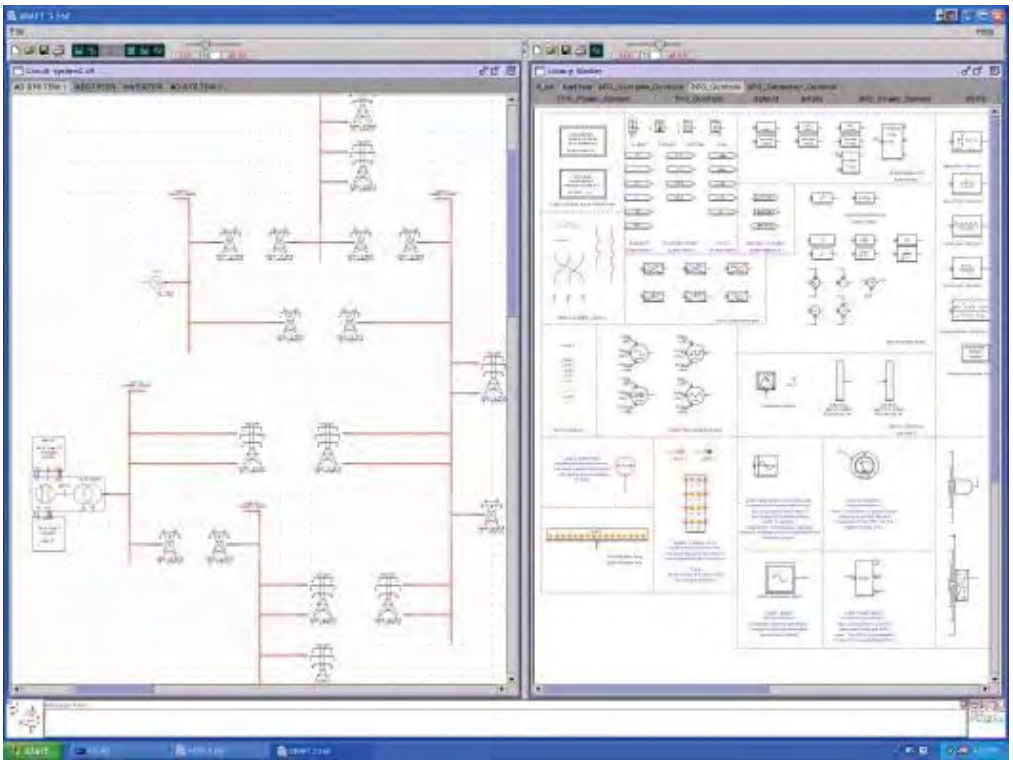


Figura 2.4. Editor gráfico del sistema de potencia “Draft”.

El simulador RTDS cuenta con bibliotecas de programas de potencia y sistemas de control muy similares a las del PSCAD/EMTDC, entre las que se encuentran elementos pasivos RLC, interruptores, líneas de transmisión, transformadores, máquinas eléctricas, controladores HVDC, SVC (*Static Var Compensator*) y otros dispositivos FACTS, entre muchos otros modelos de elementos del sistema de potencia, además de una gran cantidad de elementos de control y medición. El RTDS se maneja de forma muy similar al PSCAD/EMTDC lo que permite que usuarios familiarizados con este simulador fuera de línea puedan aprender fácilmente el manejo del simulador en tiempo real RTDS.

El simulador RTDS usa el método de integración trapezoidal de paso fijo debido a su aceptable precisión y estabilidad [RTDS 2006].

2.2.4 HYPERSIM® [HYPERSIM 2006]

La empresa de suministro eléctrico de Québec, Canadá (Hydro Québec) ha usado por décadas su conocimiento en el área de simulación en tiempo real para planear, diseñar y dar asesoría acerca de estudios y pruebas para las empresas de suministro de energía eléctrica de todo el mundo. Como resultado de esta experiencia de muchos años Hydro Québec desarrolla y comercializa el simulador de sistemas eléctricos de potencia con capacidad de operar en tiempo real llamado *HYPERSIM* [HYPERSIM 2006].

Hypersim fue diseñado inicialmente para resolver problemas complejos de transmisión y distribución y ha evolucionado a partir del analizador de transitoritorios en redes eléctricas (TNA), que es totalmente analógico, pasando por una versión híbrida (analógica y digital) llamada *HYBRISIM*, que se encuentra disponible actualmente, hasta llegar a la versión totalmente digital Hypersim.

El simulador Hypersim cuenta con modelos de elementos básicos como resistores, capacitores, inductores no acoplados y acoplados, transformadores incluyendo el efecto de saturación e histéresis, líneas de transmisión, reactores saturables, bancos de capacitores, interruptores y seccionalizadores, máquina de inducción, máquina síncrona, turbinas, excitadores, gobernadores,

sistemas de estabilización, fuentes de voltaje, supresores y varistores, cargas dinámicas y dispositivos FACTS. Los mismos modelos detallados se usan tanto para la simulación en modo fuera de línea así como para la simulación en tiempo real, a diferencia de otros simuladores en tiempo real que usan modelos simplificados para la simulación en tiempo real.

Hardware del HYPERSIM

Existen tres grandes versiones de hardware para el simulador Hypersim de acuerdo al poder de cómputo que se requiera o tamaño de red a simular:

SGI Origin 2000, 3000

Para simular grandes redes del sistema eléctrico de potencia el hardware de Hypersim está basado en la plataforma multiprocesador de arquitectura abierta de Sillicon Graphics SGI Origin 2000, 3000 en la que se tienen como opción los sistemas operativos SGI-Unix o PC-Linux para simulación en tiempo real o SUN-Unix o PC-Linux/Windows para simulaciones fuera de línea. Se puede realizar procesamiento en múltiples procesadores, aún para las simulaciones en modo fuera de línea, y para realizar simulaciones en tiempo real se hace uso del sistema operativo en tiempo real IRIX 6.5. Las entradas y salidas analógicas y digitales se tienen disponibles a través de tarjetas de entrada/salida con bus PCI, que cuentan con 32 canales de salida analógicos de 12 bits de conversión simultánea, 16 canales de entrada analógicos de 12 bits de conversión simultánea, así como 24 canales de entradas digitales y 24 canales de salidas digitales de nivel TTL por cada tarjeta.

SGI Origin 350

La plataforma SGI Origin 350 para Hypersim se diseñó para aquellos casos en los que se requiere un buen compromiso entre desempeño y precio, siendo capaz de simular redes de complejidad media a un precio razonable. La plataforma SGI Origin 350 cuenta con una presentación compacta, escalable desde 2 hasta 32 procesadores y con ranuras PCI para la conexión de tarjetas de entradas y salidas analógicas y digitales.

PC Cluster

Hypersim cuenta con otra nueva plataforma de procesamiento basada en un sistema de procesamiento paralelo en un cluster de computadoras (sistema que interconecta varias PCs mediante una red de alta velocidad). El cluster genera un nivel de desempeño comparable a los sistemas de procesamiento en paralelo basados en supercomputadoras pero con la característica de que se pueden reducir los costos del hardware. El cluster diseñado para esta versión de hardware de Hypersim se denomina "SCore cluster" ya que usa el software "Score" desarrollado por Real World Computer Partnership (RWCP) en Japón. El cluster Score está compuesto por un sistema operativo Linux de distribución libre y un hardware de red llamado "Myrinet".

La Figura 2.5 muestra una imagen de cada una de las tres opciones de plataforma de hardware para Hypersim.

Software del HYPERSIM

El simulador digital en tiempo real de sistemas de potencia HYPERSIM cuenta con la flexibilidad requerida para llevar a cabo la simulación de sistemas de potencia complejos. Su interfase gráfica de usuario (GUI ó Graphical User Interface) en conjunto con los procesadores del sistema, permiten al usuario dibujar un sistema y dar como entrada los parámetros para generar resultados extremadamente precisos. El software del simulador permite cambiar la configuración y los parámetros antes y durante la simulación en tiempo real para realizar control automático de sistemas. La Figura 2.6 muestra una imagen de la interfase gráfica de usuario de Hypersim.

Hypersim corre en plataformas UNIX y LINUX, cuenta con herramientas para visualización de los resultados de la simulación y permite usar pasos de integración tan pequeños como 40μS.

La técnica de simulación que utiliza Hypersim es la misma que EMTP, excepto que para simulaciones del sistema de potencia en tiempo real se distribuyen las tareas de cálculo entre los diferentes procesadores paralelos, lo cual se realiza de forma automática de acuerdo a las restricciones de tiempo (paso de integración) y entradas y salidas. Con el uso de técnicas de procesamiento en paralelo, Hypersim ofrece opciones de simulación en modo fuera de línea, en

tiempo real y en modo acelerado o más rápido que en tiempo real [HYPERSIM 2006] [HYDRO-QUÉBEC 2006].



a)



b)



c)

Figura 2.5. Tres versiones de plataforma de hardware para Hypersim. a) SGI Origin 2000/3000, b) SGI Origin 350 y c) PC cluster.

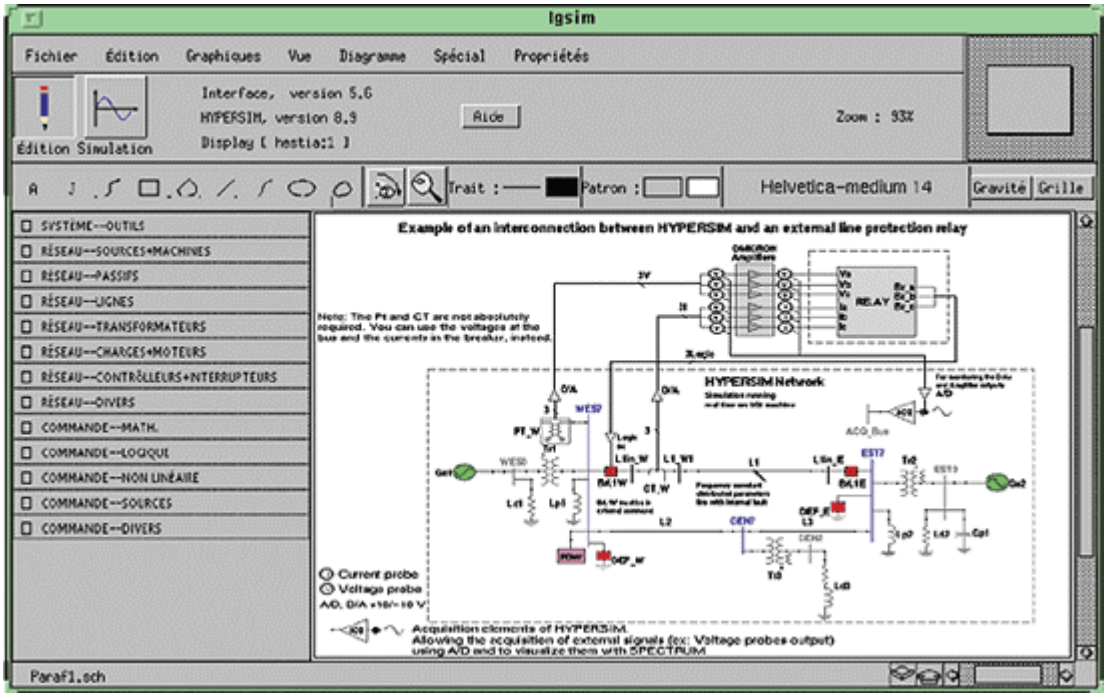


Figura 2.6. Interfase Gráfica de Usuario (GUI) de Hypersim.

2.2.5 ARENE [ARENE 2000]

La compañía eléctrica de Francia **Electricité de France** (**EDF**), una de las empresas de suministro de energía eléctrica más grandes del mundo, desarrolló hace algunos años un conjunto totalmente compatible de simuladores del sistema de potencia llamados ***ARENE***. El principal objetivo del desarrollo de estos simuladores de transitorios electromagnéticos era responder a la necesidad interna de tener herramientas eficientes para el análisis del sistema de potencia.

Actualmente, ARENE se usa en la producción, distribución y transmisión de energía eléctrica en la empresa de suministro de energía eléctrica de Francia EDF. Desde 1998 ha reemplazado definitivamente los antiguos analizadores de transitorios de la red TNAs, los cuales carecían de flexibilidad con respecto a la configuración de la red, su tamaño y su alto costo.

ARENE es un simulador en tiempo real que se usa en fabricantes de equipo, compañías de suministro eléctrico y laboratorios de investigación de todo el mundo, en particular su uso se ha

extendido en Asia en empresas como TEPCO, Kyushu EPCO, Shikoku EPCO y universidades de Japón; EPRI, Universidades en China y NAP en Singapur; ABB es uno de los principales usuarios de ARENE, ya que decidió usarlo como su simulador de base para prueba de sus relevadores. Recientemente los operadores de la interconexión de alto voltaje en corriente directa (HVDC) Francesa-Inglesa adquirieron ARENE para efectuar simulaciones del sistema HVDC.

Hardware del ARENE

ARENE es un simulador con la capacidad de operar en tiempo real y por lo tanto requiere de un hardware tanto de procesamiento de la simulación como un hardware que contenga puertos digitales y analógicos de entrada y salida para poder interactuar con dispositivos externos, en caso de que la simulación se realice en tiempo real, sin embargo, existe la posibilidad de simular fuera de línea y en ese caso no se requeriría el hardware de puertos digitales y analógicos.

Existen varias versiones de productos ARENE dependiendo de si se requiere simular solo en modo fuera de línea o bien en tiempo real. Las versiones de estudio de ARENE no requieren hardware de puertos digitales y analógicos, solo requieren de la computadora en donde se instale el simulador ARENE y se procese la simulación en modo fuera de línea. Si se desea instalar ARENE en una Computadora Personal (PC) existe la versión PCNRT (*Personal Computer Non Real Time*), si por el contrario, se desea instalar ARENE en una estación de trabajo bajo ambiente Unix, existe la versión UNRT (*Unix Non Real Time*). ARENE UNRT requiere de una estación de trabajo que corra HP-UX 11 mientras que ARENE PCNRT requiere de una computadora personal.

Si se requiere explotar las características de tiempo real de ARENE existen tres versiones que operan en tiempo real: ARENE PCRT, ARENE URT y ARENE RTP.

ARENE PCRT (PC Real Time) está diseñado para correr en una computadora personal estándar de dos procesadores que tenga instalado Linux como sistema operativo y está orientado a la simulación en tiempo real de redes pequeñas y medianas. Existen dos versiones de ARENE PCRT, una versión de laboratorio y una versión portátil para pruebas de campo. La Figura 2.7 muestra una fotografía de la versión portátil de ARENE PCRT.

ARENE URT (*Unix Real Time*) está diseñado para correr en una estación de trabajo HP estándar de dos procesadores bajo ambiente Unix y está orientado a la simulación en tiempo real de redes pequeñas y medianas. El poder de cómputo de esta versión es ligeramente mayor a la versión PCRT.



Figura 2.7 Versión portátil de ARENE PCRT.

ARENE RTP (*Real Time Parallel*) está diseñado para correr y explotar las características de computadoras de procesadores en arquitectura paralela de HP con un número de procesadores de 2 a 32 y está orientado a la simulación en tiempo real de redes grandes con pasos de integración pequeños. La Figura 2.8 muestra una fotografía de una versión de ARENE RTP en donde se puede ver la computadora de procesadores en arquitectura paralela así como el sistema de conversión, comunicación y equipos bajo prueba.

Las versiones de ARENE que operan en tiempo real cuentan con convertidores de digital a analógico y viceversa, analógico a digital, y puertos digitales de entrada y salida estándar totalmente configurables por software.

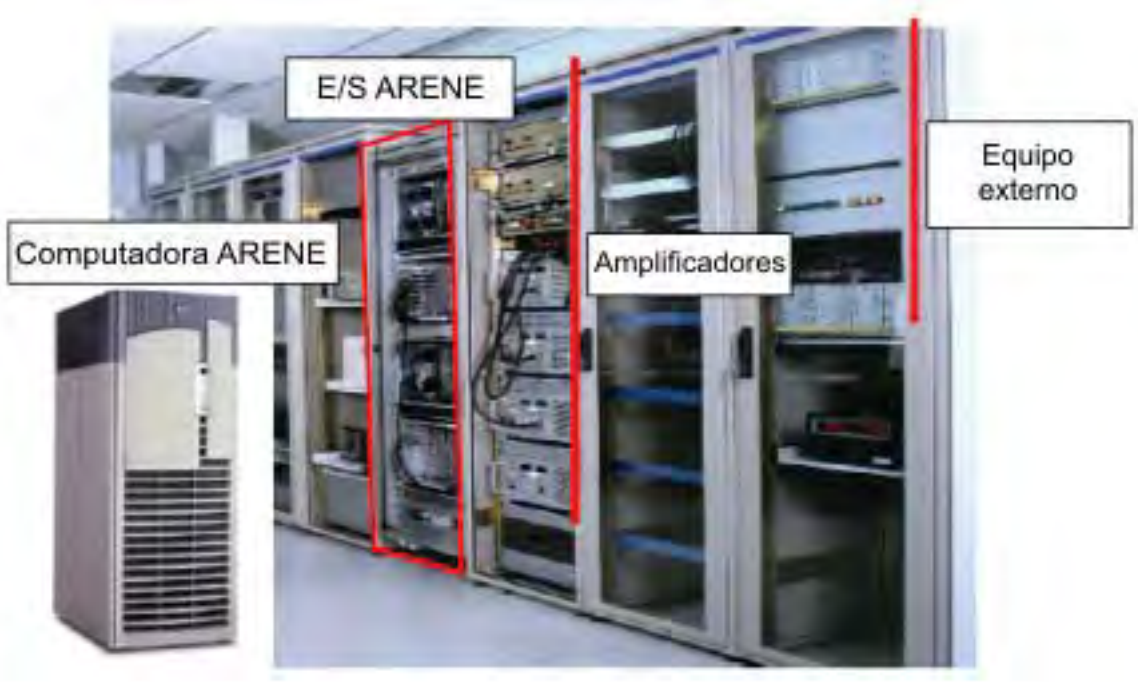


Figura 2.8. ARENE versión RTP.

Software del ARENE

El software del ARENE está constituido por tres modulos principales: 1) La interfase Gráfica con el Usuario (GUI Graphical User Interface), 2) El módulo o software de inicialización y 3) El módulo o software de simulación.

ARENE propone varios métodos de integración dependiendo de la red a simular: integración trapezoidal con paso fijo para la mayoría de simulaciones, en virtud de que es bien sabido que este método presenta una precisión razonable y es numéricamente estable; diferentes métodos o algoritmos como el método de la fuente de corriente adaptiva, compensación, pre-cálculo o Newton-Raphson para elementos no lineales; una combinación del método trapezoidal y Euler hacia atrás o solo Euler hacia atrás para simulaciones en tiempo real de redes que incluyan componentes de electrónica de potencia. El algoritmo de estructura cambiante sincronizada con el reloj (CSSC Clock Synchronised Structure Changing) está incluido en los componentes de electrónica de potencia para adaptar el paso de integración para proveer una representación eficiente y exacta del proceso de conmutación mediante interpolaciones y extrapolaciones [ARENE 2000].

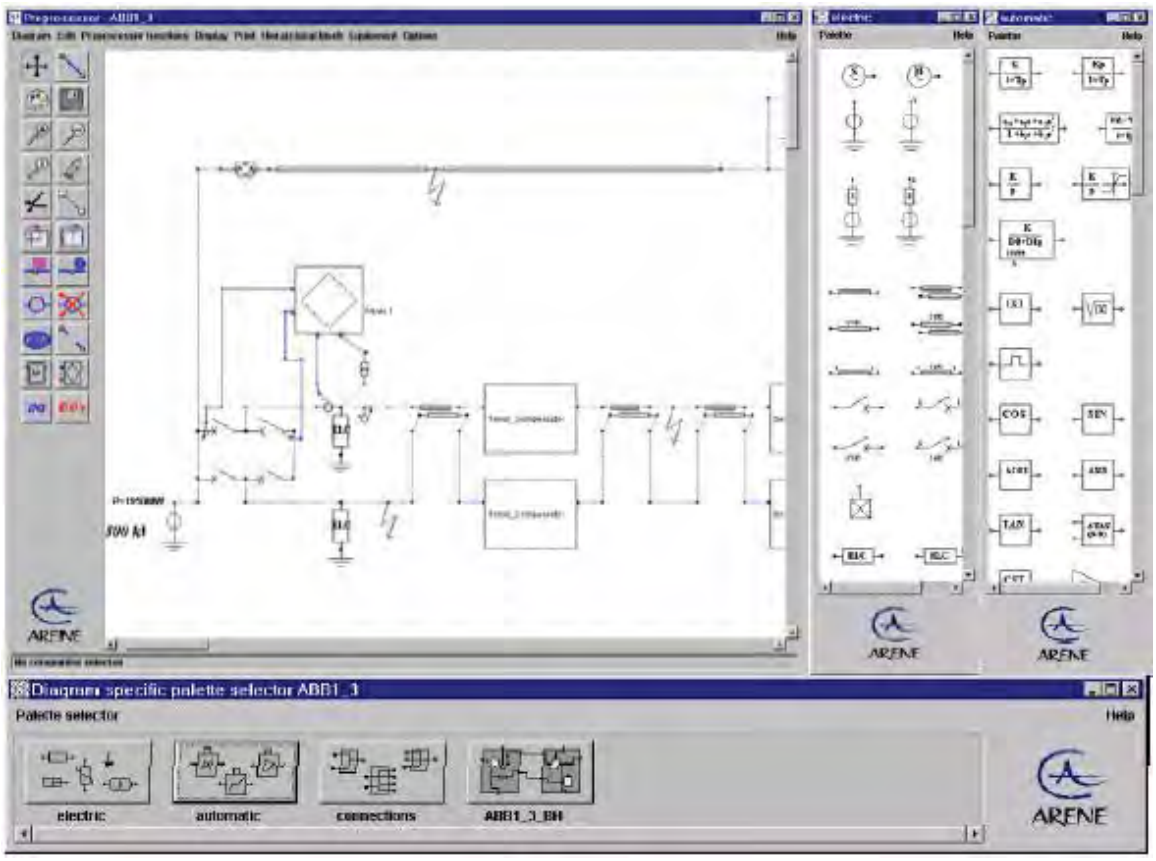


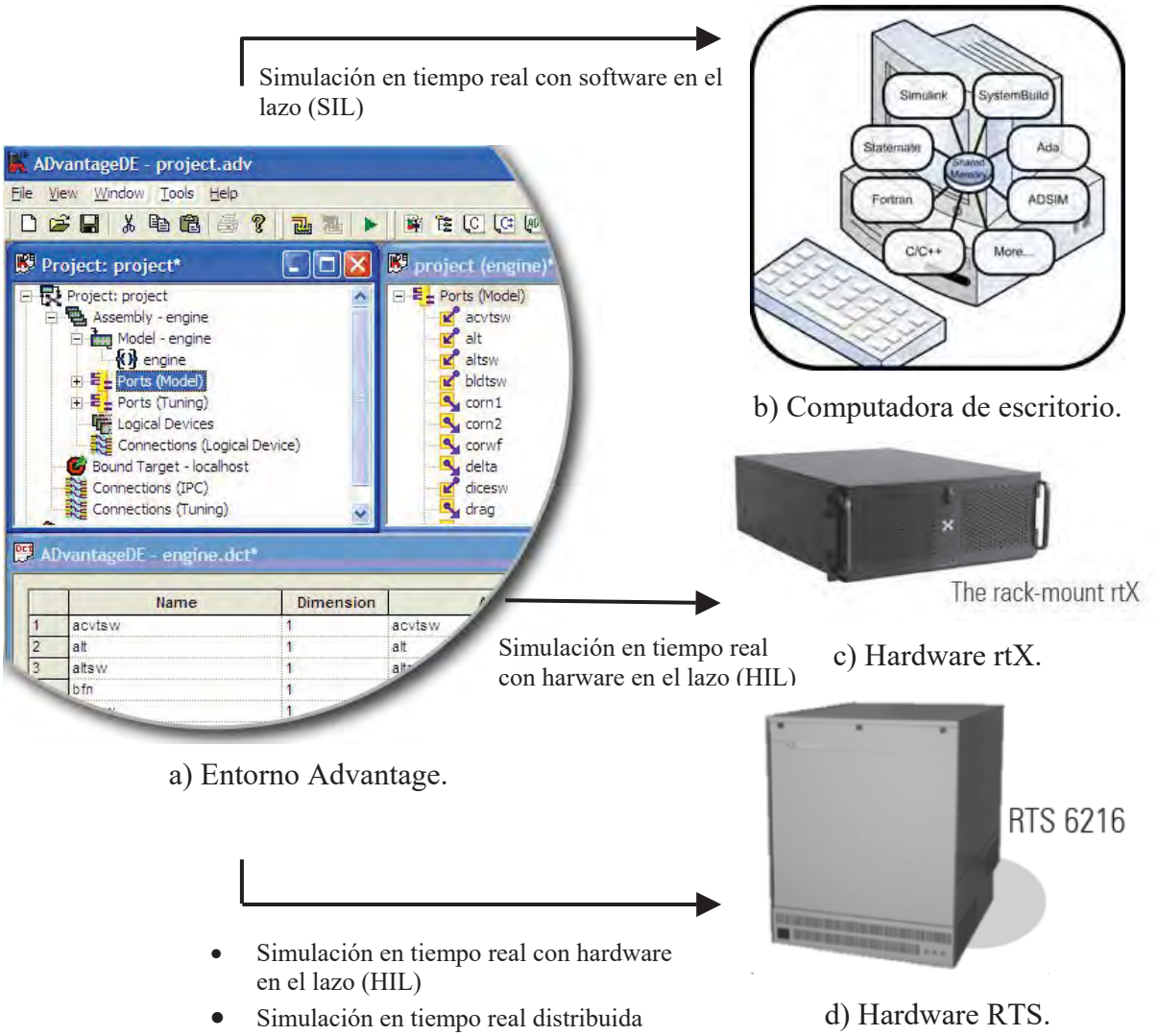
Figura 2.9. Interfase Gráfica con el Usuario de ARENE.

2.2.6 Entorno ADvantage [ADI 2007]

El entorno ADvantage es un conjunto de herramientas de software de arquitectura con diseño abierto que en conjunto con una plataforma de hardware capaz de operar en tiempo real, se utilizan para diseñar y desarrollar aplicaciones de simulación en tiempo real que pueden ser: simulación en tiempo real con software en el lazo ó software-in-the-loop (SIL), simulación en tiempo real con hardware en el lazo ó hardware-in-the-loop (HIL) y simulación en tiempo real distribuida. ADvantage es desarrollado y comercializado por la empresa Applied Dynamics International (ADI) quien también ofrece un conjunto de diferentes plataformas de hardware para la implementación sistemas de simulación en tiempo real de tipo SIL, HIL y distribuida [ADI 2007].

El entorno ADvantage no está diseñado específicamente para efectuar simulación en tiempo real de sistemas eléctricos de potencia sino que es una plataforma mas general que permite realizar

simulación en tiempo real duro de cualquier tipo de aplicaciones que pueden ser del tipo hardware en el lazo (HIL), incluyendo por supuesto la simulación en tiempo real de sistemas eléctricos, en donde un sistema físico interactúa con un sistema simulado constituido por el entorno ADvantage (conjunto de herramientas de software) y un hardware capaz de operar de forma determinista (tiempo real duro). La Figura 2.10 muestra la ilustración del entorno de desarrollo Advantage (software) y los tres tipos de plataformas de hardware de tiempo real.



b) Computadora de escritorio.

c) Hardware rtX.

a) Entorno Advantage.

d) Hardware RTS.

Figura 2.10. Entorno de desarrollo de aplicaciones en tiempo real. a) Administrador de herramientas de software ADvantage, b) plataforma de cosimulación basada en computadora de escritorio; c) plataforma de montaje en rack basada en PC, rtX; d) plataforma basada en el estándar VMEbus, RTS.

Plataformas de Hardware

Applied Dynamics International cuenta con tres tipos de plataformas de hardware para el diseño de aplicaciones de simulación en tiempo real:

- *GP*. Es una plataforma de hardware de escritorio para cosimulación (*desktop cosimulation target*) en la cual se puede desarrollar simulación en tiempo real del tipo software en el lazo (SIL) o también conocida como cosimulación. La cosimulación es la habilidad de correr una sola simulación que incluya modelos desarrollados en diferentes lenguajes de modelado. Esta plataforma se basa en una computadora de escritorio estándar y es ideal para hacer pruebas en lazo cerrado de software embebido, con código objeto y modelos de simulación en conjunto. La Figura 2.10(b) muestra el aspecto físico de esta plataforma de hardware.

- *RtX*. Es una plataforma de hardware de simulación en tiempo real basada en PC (*PC-based real-time simulation target*) de montaje en rack con la cual se puede desarrollar simulación en tiempo real del tipo hardware en el lazo (HIL). Esta plataforma se basa en un procesador Intel Pentium o AMD Opteron con ranuras de expansión PCI para agregar tarjetas de entradas y salidas analógicas y digitales. La plataforma rtX utiliza el sistema operativo en tiempo real QNX para las operaciones en tiempo real. La Figura 2.10(c) muestra el aspecto físico de esta plataforma de hardware.

- *RTS*. Es una plataforma de hardware de simulación en tiempo real basada en el estándar VMEbus (*VME-based real-time simulation target*) con la cual se puede desarrollar simulación en tiempo real del tipo hardware en el lazo (HIL) y simulación en tiempo real distribuida. Esta plataforma cuenta con un procesador MVME5500 PowerPC de Motorola el cual opera a una una velocidad de 1GHz y se basa en el estándar de comunicación VMEbus que permite interconectar una gran cantidad de sistemas RTS para aplicaciones de simulación en tiempo real distribuidas, y/o tarjetas de entradas y salidas digitales y analógicas para la implementación de sistemas HIL. La plataforma RTS utiliza el sistema operativo en tiempo real RTexec que garantiza determinismo en el rango de microsegundos. La Figura 2.10(d) muestra el aspecto físico de esta plataforma de hardware.

Herramientas de software soportadas por ADvantage

El entorno de desarrollo ADvantage permite incorporar dentro de la simulación en tiempo real seleccionada, diferentes modelos desarrollados en un amplio conjunto de herramientas de programación. Algunas de las herramientas de programación que soporta ADvantage son:

- Fortran
- C/C++
- Simulink
- SystemBuild
- Ada
- ADSIM

2.2.7 Comparación de Características de Simuladores

A pesar de que se podría deducir que el propósito de esta sección debería estar orientado a comparar las características de los diferentes simuladores presentados en las secciones 2.2.1 a 2.2.6 y de ellos obtener una conclusión que nos indique cual es el mejor y cual es el que tiene las características más limitadas, resulta muy difícil establecer este orden, ya que cada uno de los simuladores que aquí se presentan tiene tanto características que lo hacen fuerte como características que lo limitan; cada uno de ellos puede realizar estudios diversos del comportamiento dinámico de redes eléctricas, ya sea en modo fuera de línea o en tiempo real, por lo que esta sección se limitará a resaltar aquellas características relevantes de cada uno de los simuladores, ya sea porque son comunes a los demás simuladores o bien aquellas que sean únicas en toda la gama de herramientas de simulación y que lo hagan diferente.

Metodología de solución

En cuanto a la metodología de solución resulta muy importante mencionar que la investigación realizada acerca de todos los simuladores presentados en esta unidad indica que todos se basan en el

método introducido en [Dommel y Meyer 1969] [Dommel y Meyer 1974] para la unificación de los diferentes elementos que conforman la red eléctrica, así como para su resolución, en la que se hace uso del método de integración de la regla trapezoidal, a excepción del entorno ADvantage que no está orientado específicamente a la simulación de redes eléctricas y del simulador ARENE que es el único que documenta el uso de diferentes algoritmos como el método de la fuente de corriente adaptiva, compensación, pre-cálculo o Newton-Raphson para elementos no lineales; una combinación del método trapezoidal y Euler hacia atrás o solo Euler hacia atrás para simulaciones en tiempo real de redes que incluyan componentes de electrónica de potencia, así como el algoritmo de estructura cambiante sincronizada con el reloj (CSSC Clock Synchronised Structure Changing), que está incluido en los componentes de electrónica de potencia para adaptar el paso de integración para proveer una representación eficiente y exacta del proceso de conmutación mediante interpolaciones y extrapolaciones.

Modelos disponibles de componentes eléctricos

En términos generales, todos los simuladores descritos cuentan con los mismos componentes básicos (a excepción del entorno ADvantage que no está orientado específicamente a la simulación de redes eléctricas) como elementos pasivos, líneas de transmisión, transformadores, interruptores, etc. En el caso particular de PSCAD/EMTDC se menciona que es un programa de simulación con énfasis principal en sistemas de corriente directa y cuenta con la capacidad de simular como un solo bloque diferentes convertidores de electrónica de potencia así como sus circuitos de disparo y control, adicionalmente, PSCAD/EMTDC cuenta con una biblioteca de programas muy extensa de dispositivos de control y medición que facilitan la simulación de redes auxiliares y de control. RTDS cuenta con las mismas bibliotecas que PSCAD/EMTDC pero su operación es en tiempo real y por lo tanto, cuenta con opciones adicionales para manejo de entradas y salidas tanto digitales como analógicas que interactúan y se pueden modificar en tiempo real. Casi todos los simuladores cuentan con algún o algunos modelos de compensadores estáticos, pero el más completo en esta área es PSCAD/EMTDC para simulaciones fuera de línea y RTDS para simulaciones en tiempo real.

Funciones y Capacidades

Actualmente todos los simuladores que se presentaron en esta unidad cuentan con interfases gráficas de usuario (GUI) que permiten construir la red eléctrica a simular de una forma gráfica, sencilla e interactiva (en el entorno ADvantage se puede hacer a través de Simulink). También cuentan con herramientas de graficación que permiten analizar los resultados de forma visual y numérica, sin embargo, la interfase gráfica de usuario y la herramienta de graficación más sencillas de todos los programas parecen ser las de ATP y esto se entiende si se recuerda que ATP ha sido desarrollado por un grupo de colaboradores sin fines de lucro. Por otro lado una de las herramientas de graficación más completas es aquella con la que cuenta PSCAD/EMTDC. La mayoría de los simuladores documentan también la capacidad de hacer simulaciones por lotes, permitiendo generar un conjunto de resultados a partir de varias ejecuciones consecutivas de una red, en la que en cada ejecución va variando algún parámetro de la simulación.

En el caso de los simuladores en tiempo real, existen funciones adicionales tales como contar con un panel de control que permita variar y medir diferentes parámetros de la red mientras esta se ejecuta, la posibilidad de que la simulación se pueda ejecutar de forma indefinida, así como la opción de detener dicha simulación cuando lo requiera el usuario, la posibilidad de recibir y generar señales de sincronía con dispositivos externos, de contar con temporizadores de alta resolución para mediciones de tiempos de duración de señales de entrada digitales y la posibilidad de usar señales analógicas de entrada como parte de las variables de simulación, entre muchas otras funciones. HYPERSIM es el único simulador en tiempo real que documenta la posibilidad de hacer simulaciones en modo acelerado o más rápido que en tiempo real.

Costos

A pesar de que no es fácil conseguir una información detallada de los precios de todos los simuladores estudiados en esta sección se pudo tener una idea de los precios alrededor de los cuales se encuentran algunos de los simuladores.

A excepción de ATP que es gratuito para todas aquellas personas que no se encuentren involucradas en el comercio de programas de simulación de transitorios electromagnéticos y que lo soliciten a través del registro en un grupo de usuarios, los precios de los simuladores en modo fuera de línea pueden encontrarse en el rango de 800 dólares como es el caso de la versión educativa de EMTP-RV hasta cerca de los 14 mil dólares para versiones profesionales, como en el caso de PSCAD/EMTDC.

Los simuladores en tiempo real presentan un costo mucho mayor a sus contrapartes que operan en modo fuera de línea, teniendo costos que van desde alrededor de 100 mil dólares para las versiones mas pequeñas o portátiles, hasta uno o varios millones de dólares dependiendo de sus capacidades, para equipos que permitan la simulación de grandes redes, como es el caso de RTDS.

Los costos anteriores, sobre todo aquellos de los simuladores que operan en tiempo real justifican ampliamente el desarrollo de este tipo tecnologías y representan una de las más importantes motivaciones de esta tesis, en conjunto con la importancia de contar en el país con este tipo de simuladores, con los que no se cuenta actualmente y que son muy importantes en el desarrollo de la Ingeniería Eléctrica.

2.3 Modelado de Componentes Eléctricos con PSCAD/EMTDC

El simulador PSCAD/EMTDC es un simulador muy completo e interactivo que funciona en modo fuera de línea que permite el análisis transitorio de redes eléctricas de potencia. Como ya se mencionó en la Sección 2.2.2, PSCAD/EMTDC cuenta con una gran cantidad de modelos de los diferentes elementos del sistema eléctrico de potencia, así como de modelos de dispositivos de control y de medición que permiten simular prácticamente cualquier caso que se presente en la práctica. Adicionalmente, cuenta con la posibilidad de desarrollar modelos definidos por el usuario, a través del diseño del elemento gráfico y una combinación de scripts y, opcionalmente, de un programa en Fortran que contenga la definición matemática del nuevo modelo, lo cual permite resolver aquellos problemas en los que no se cuente con un modelo dentro de la biblioteca de programas maestra de PSCAD/EMTDC [PSCAD, 2005][PSCAD/RELAY 2001][PSCAD/EMTDC 2003a] [PSCAD/EMTDC 2003b][EMTDC 2004].

La adquisición de esta herramienta de simulación por parte de la Universidad Michoacana de San Nicolás de Hidalgo permitió contar con la oportunidad de aprender a usar dicho simulador, así como desarrollar algunos casos de estudio que sirvan como medio de validación de los casos desarrollados como resultado de la presente tesis y que se presentan en los Capítulos 3 y 5. La capacitación básica acerca del uso y funcionamiento de PSCAD/EMTDC se obtuvo por parte del autor de esta tesis a través de la lectura y estudio de los manuales y ayuda incluida con el programa de simulación, posteriormente, la oportunidad brindada por parte de la Universidad Michoacana para realizar una estancia con los desarrolladores de este simulador (HVDC Research Centre, Canadá) permitió recibir una capacitación avanzada acerca del uso de este simulador, incluyendo el desarrollo de nuevos modelos, como el caso del modelo de la máquina síncrona en coordenadas de fase, que se presenta como uno de los casos de estudio en la Sección 2.5.4, y que es resultado del trabajo conjunto de personal del centro del HVDC Research Centre y el autor de esta tesis.

El objetivo principal de esta sección es por lo tanto mostrar algunas de las capacidades de simulación de PSCAD/EMTDC, para utilizarlo como herramienta de validación de los casos de estudio desarrollados esta Tesis y que se presentan en los Capítulos 3 y 5.

2.4 Estudios Fuera de Línea de Sistemas de CA-CD.

Los estudios fuera de línea de redes eléctricas de potencia permiten conocer el comportamiento de redes reales de forma anticipada si la simulación se realiza antes de poner en marcha la operación del sistema bajo estudio. Si la simulación realizada se efectúa después de la ocurrencia de un disturbio en la red eléctrica, se pueden también encontrar las causas del evento o falla ocurrido, que haya originado comportamientos anormales de los elementos del sistema de potencia, daños en los dispositivos de potencia, medición, control y/o protección o incluso daños desafortunados en animales y personas. El conocimiento posterior de las causas que originaron algún evento o caso particular, permite llevar a cabo un re-diseño de las características de la red eléctrica para evitar que aparezcan a futuro los mismos problemas detectados con anterioridad.

Por lo anterior, la simulación fuera de línea resulta ser muy importante ya que ayuda en el diseño de una nueva red eléctrica y permite resolver la mayoría de los problemas de funcionamiento que se presenten durante la operación de dicho sistema eléctrico.

La Sección 2.5 presenta varios casos de estudio que muestran solo unas pocas de las muchas capacidades con las que cuenta el simulador PSCAD/EMTDC para la simulación tanto de redes de corriente alterna como redes de corriente directa.

2.5 Casos de Estudio

En esta sección se presentan algunos casos de estudio realizados con PSCAD/EMTDC, que comprenden redes sencillas con elementos básicos tales como fuentes de C.A. y C.D., resistores, capacitores, inductores, interruptores, etc., así como también la representación de componentes nuevos diseñados a la medida de las necesidades del usuario. En todos los casos se muestra el uso de componentes de medición, control y/o graficación, que son solo algunas de la gran cantidad de herramientas visuales e interactivas con las que cuenta PSCAD/EMTDC.

Es importante mencionar que mostrar todas las capacidades de simulación de PSCAD/EMTDC requeriría de la presentación de cientos de páginas de casos de estudio, gráficas y explicaciones, por lo que en esta sección se presentan solo algunas de las características y herramientas con las que cuenta PSCAD/EMTDC, que permitan entender el poder de simulación con el que cuenta esta herramienta y a la vez validar los casos de estudio presentados en los capítulos posteriores.

2.5.1 Caso 2.1 Red simple de C.A.

Este caso consiste en una red de C.A. constituida por una fuente de voltaje senoidal y un par de resistores e inductores distribuidos de tal forma que crean un par de mallas en esta red. La presencia de elementos inductivos en conjunto con elementos resistivos garantiza la aparición de una respuesta transitoria al momento de energizar la fuente de corriente alterna. Evidentemente existe como parte de la respuesta de esta red una componente senoidal o respuesta forzada generada por la fuente de corriente alterna. La magnitud de la respuesta transitoria depende de las condiciones iniciales de los

inductores, pudiendo desaparecer incluso si se inicia la simulación de esta red con las condiciones de estado estacionario. La respuesta de estado estacionario para esta red va a ser siempre senoidal por el tipo de fuente que está alimentando la red.

La Figura 2.11 muestra el diagrama esquemático construido en la interfase gráfica de PSCAD/EMTDC. Se puede observar que aparte de construir la red del caso de estudio, se incluyen dos elementos de medición de corriente (I1 e I2) los cuales son necesarios para indicarle a PSCAD/EMTDC que se requiere extraer esas corrientes para graficarlas o generar un archivo de salida con los resultados de la simulación para estas dos corrientes. Si se desean graficar estas dos corrientes, se debe colocar en la interfase grafica una *etiqueta de datos* (data label), formada por un pequeño círculo y un elemento de texto. El elemento de texto vincula a la etiqueta de datos con el parámetro que se quiere graficar, de tal manera que esta etiqueta de datos se debe conectar a otro elemento conocido como *canal de salida* (output channel), que tiene la forma de un cuadro con una gráfica en su interior.

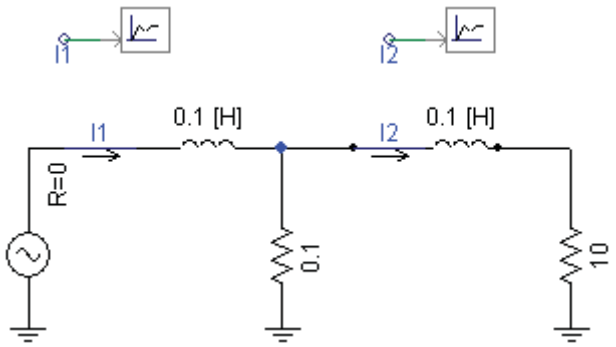


Figura 2.11. Red simple de C.A. para el Caso 2.1.

Para poder ver los resultados de forma gráfica se coloca un *cuadro gráfico* (Graph Frame) en el área de trabajo y para desplegar en él las gráficas de I1 e I2 se selecciona la opción *Add Overlay Graph (Analog)* (Agregar Gráfico Analógico) del menú contextual, que surge de oprimir el botón derecho del ratón sobre la barra de título del cuadro gráfico. Esta opción genera una gráfica vacía, por lo que para poder ver cada una de las dos corrientes de la red del Caso 2.1, se arrastra el canal de salida de una de las dos corrientes mientras se mantiene oprimida la tecla “shift” y se suelta sobre la parte superior de la gráfica vacía; esta operación se repite para la otra corriente.

Es posible contener varios trazos en una sola gráfica si se repite la operación de arrastrar y soltar mientras se mantiene oprimida la tecla “shift” con los diferentes canales de salida sobre la misma gráfica. Se pueden contener también varias gráficas en un solo cuadro gráfico; esto se logra repitiendo la operación de seleccionar la opción *Add Overlay Graph (Analog*) del menú contextual, desplegado con el botón derecho del ratón sobre la barra de título del cuadro gráfico. Finalmente, se pueden colocar varios cuadros gráficos con la cantidad que se necesite de gráficas, en las que cada una puede tener la cantidad de trazos o canales de salida que sean necesarios.

La Figura 2.12 muestra el comportamiento transitorio de las corrientes I1 e I2 del circuito de la Figura 2.11. La Figura 2.13 muestra los resultados para estas mismas corrientes en estado estacionario obtenido en un tiempo de 4.8 *seg*.

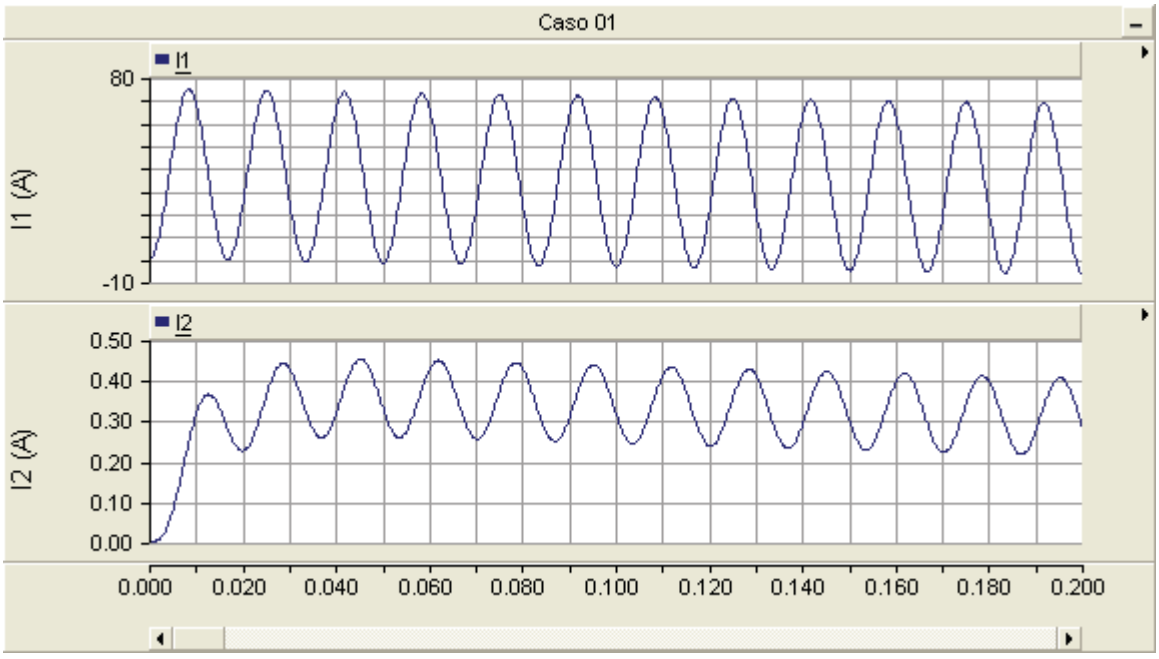


Figura 2.12. Comportamiento transitorio de las corrientes I1 e I2 del Caso 2.1.

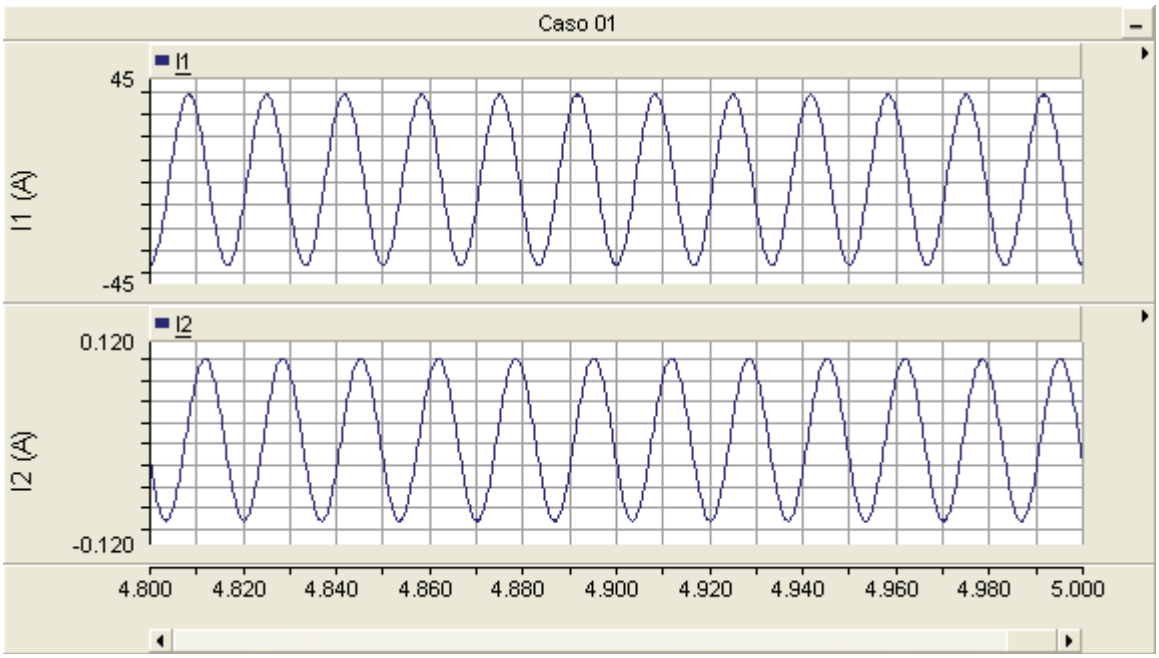


Figura 2.13. Comportamiento de estado estacionario de las corrientes I1 e I2 del Caso 2.1.

2.5.2 Caso 2.2 Red simple de C.D. con interruptor

El Caso 2.2 está formado por una red simple RC que se alimenta con una fuente de corriente directa. A esta red se agrega un interruptor en paralelo con el capacitor y un elemento de lógica de control por tiempo del interruptor. El interruptor tiene la finalidad de descargar al capacitor en un instante y con una duración programada en el elemento de lógica de control del interruptor.

La Figura 2.14 muestra el diagrama esquemático dibujado en PSCAD/EMTDC para el Caso 2.2. El valor de la fuente se elige de 1000V; el interruptor se cierra a los 0.1seg y se abre 0.05seg después, las resistencias en estado de cerrado y abierto para el interruptor son de 10 y $1x10^{9}\Omega$, respectivamente. El elemento de lógica de control del interruptor se vincula con el interruptor a través de la etiqueta de nombre asignada al interruptor "*Sw1*"; en este caso se hacen uso también de medidores de voltaje (*Vs* y *Vc*).

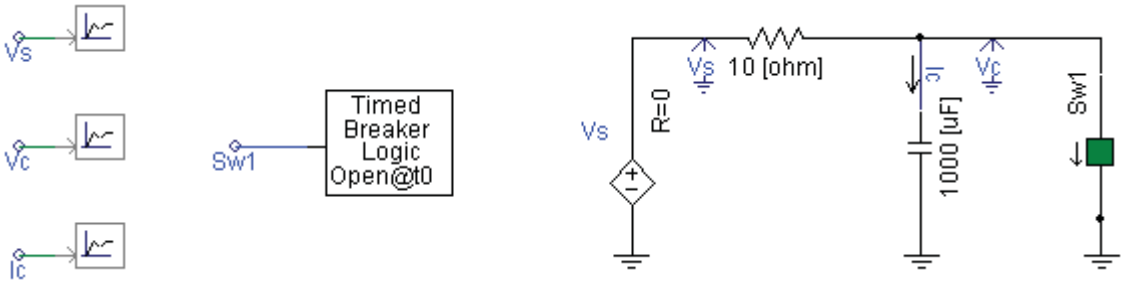


Figura 2.14. Red simple de C.D. para el Caso 2.2.

La Figura 2.15 presenta los resultados de la simulación en PSCAD/EMTDC para el Caso 2.2 de estudio. Se observa la carga inicial del capacitor a partir de t=0, posteriormente, en el momento de cierre del interruptor (0.1seg) el capacitor se descarga a través de la resistencia del interruptor, para volver a iniciar su carga en el momento en que vuelve a abrir el interruptor (0.15seg). La corriente del capacitor toma un valor negativo en el momento de cierre del interruptor ya que se convierte en ese momento en un elemento activo. La magnitud de este pico negativo de corriente depende de la resistencia del interruptor llegando a ser teóricamente infinita, si la resistencia del interruptor es cero en estado de cerrado, lo cual en la práctica sin duda destruiría al elemento capacitivo o al interruptor (el de características menores de manejo de corriente) si se presentara esta condición.

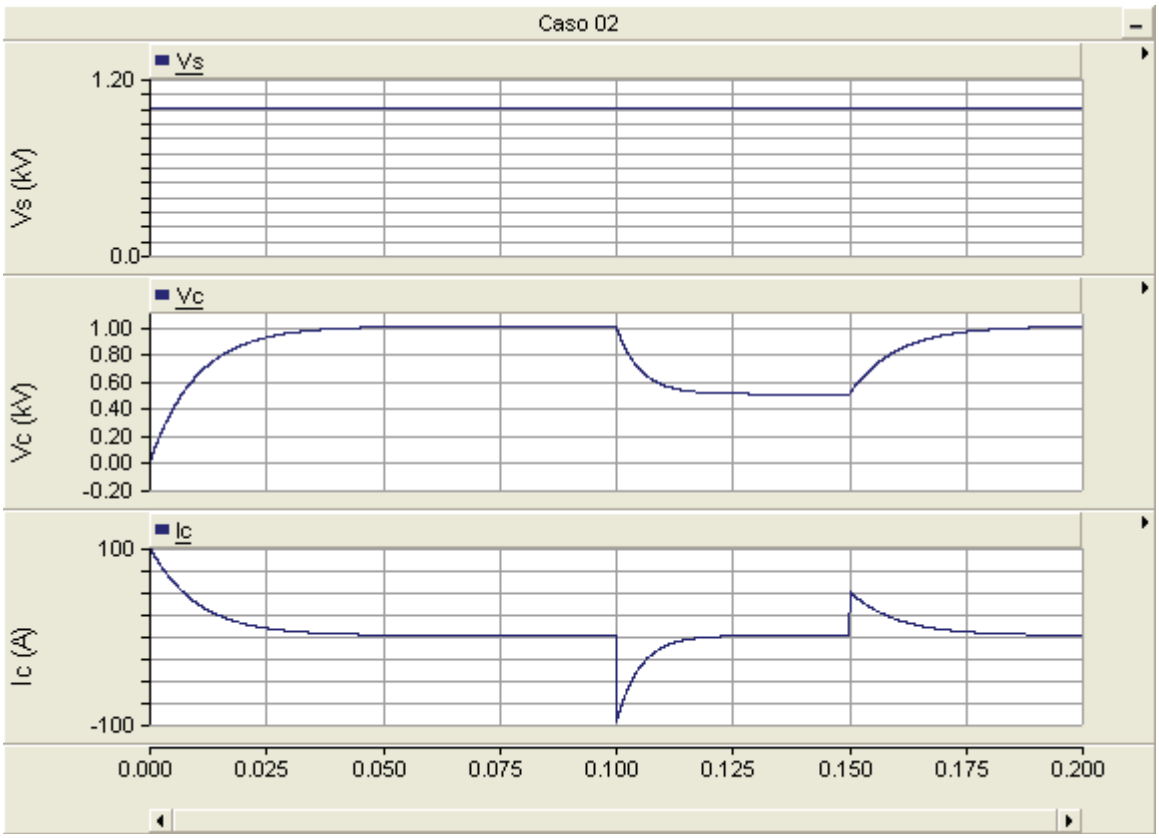


Figura 2.15. Resultados para el Caso 2.2.

2.5.3 Caso 2.3 Red monofásica de transmisión con simulación de falla a tierra

El caso 2.3 está conformado por un nodo generador, simulado mediante un modelo sencillo de una fuente senoidal, a la cual se le conecta una línea de transmisión, representada mediante el modelo más simple de una resistencia y un inductor conectados en serie. La línea de transmisión se divide en dos segmentos RL para poder introducir una falla a tierra a la mitad de la línea. La falla a tierra se introduce mediante el uso de un modelo de interruptor disponible en PSCAD/EMTDC, el cual permite seleccionar los valores de la resistencia de dicho interruptor para sus estados de cerrado y abierto. El interruptor se opera mediante un modelo de lógica de control por tiempo del interruptor. Al final de la línea de transmisión se conecta una carga RLC, tal como se puede ver en la Figura 2.16.

Los parámetros seleccionados para este caso son: Una fuente o generador con un voltaje de $1kV\ rms$, un tiempo de cierre del interruptor, que simula la falla a tierra de $0.15s$ y un tiempo de apertura de $0.2s$. La duración total de la simulación es de $0.35s$. La resistencia de cierre del interruptor se eligió de 0.0005Ω mientras que la resistencia de apertura de $10^9\Omega$. El resto de los parámetros se muestran en la Figura 2.16.

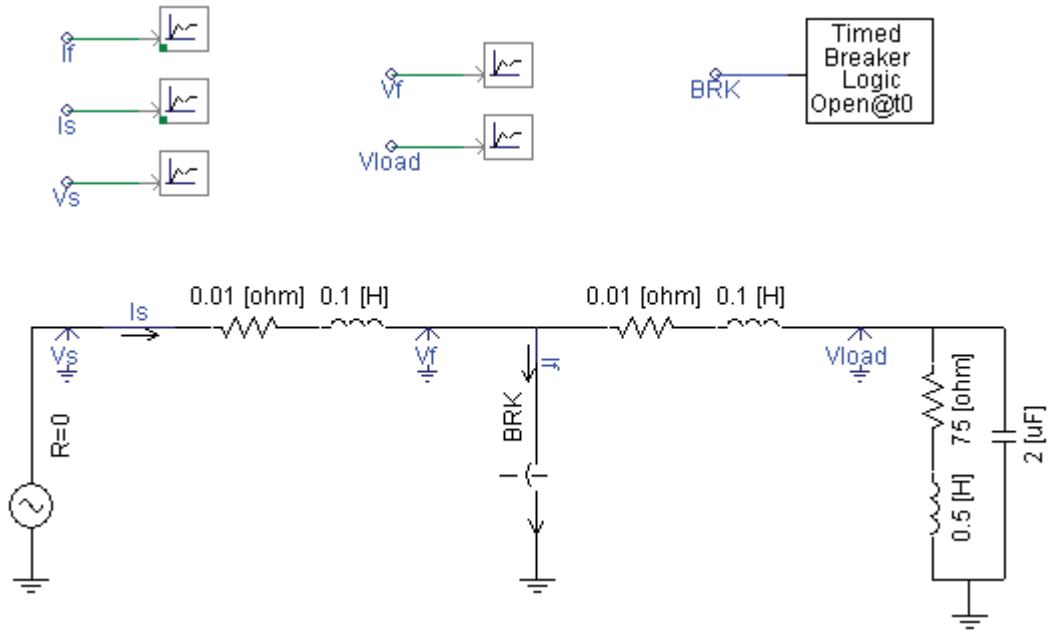


Figura 2.16. Caso 2.3: Red monofásica de transmisión con simulación de falla a tierra.

La Figura 2.17 muestra los resultados de la simulación de la red. En este caso en particular, el transitorio de energización es de muy corta duración, tanto para la corriente que suministra la fuente I_s como para el voltaje que se alimenta a la carga V_{load}. Posteriormente, en el instante en que ocurre la falla ($t=0.15s$) se puede observar que el voltaje de la carga V_{load} cae a un valor muy pequeño, que oscila a una frecuencia mayor a la de la línea; esto se debe a que la carga es un circuito de segundo orden, que presenta una respuesta natural oscilatoria, determinada por el conjunto inductor-capacitor y sus condiciones de carga al momento de perderse la alimentación debido a la falla a tierra.

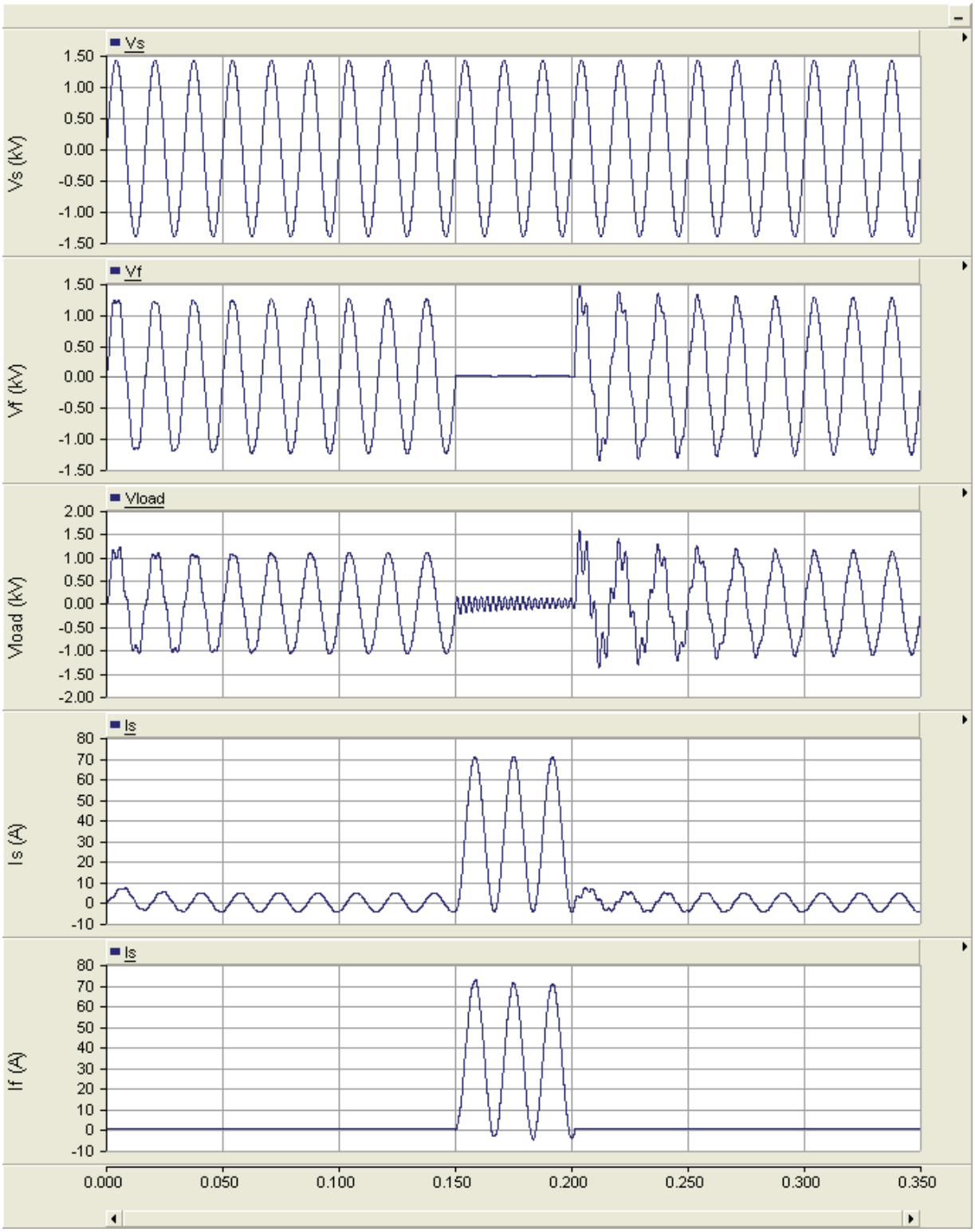


Figura 2.17. resultados de la simulación del Caso 2.3.

También durante la falla, la corriente que suministra la fuente I_s se incrementa de $4.6A$ a aproximadamente $70.47A$ debido a que la falla es sólida a tierra y está limitada unicamente por la impedancia de la mitad de la línea. V_s, V_f e I_f representan el voltaje de la fuente y el voltaje y corriente del punto en donde se introduce la falla, respectivamente.

Al momento de liberarse la falla ($0.2s$) se presenta un transitorio de restablecimiento en el que aparece la frecuencia natural del sistema (línea y carga) sumada a los valores normales de operación de la red. El estado estacionario de pre-falla se vuelve a alcanzar en aproximadamente siete ciclos.

2.5.4 Caso 2.4 Desarrollo del modelo de la máquina síncrona en coordenadas de fase para PSCAD/EMTDC.

La Figura 2.18 ilustra la realización de este caso de estudio utilizando PSCAD/EMTDC. Este caso de estudio consiste en una máquina síncrona en coordenadas de fase conectada a un bus infinito. Las características con las que cuenta PSCAD/EMTDC permiten crear esta simulación de una manera muy sencilla colocando simplemente el modelo de la máquina síncrona, la fuente de c.d. para el devanado de campo y la fuente trifásica de c.a. que representa el bus infinito e interconectando todos los componentes. Sin embargo, este caso en particular es de gran importancia ya que la versión actual 4.2 de PSCAD/EMTDC no cuenta dentro de su biblioteca de programas con este modelo de la máquina síncrona en coordenadas de fase y por lo tanto este caso representa un ejemplo de uso ***avanzado*** de PSCAD/EMTDC y al mismo tiempo una aportación importante.

Las ventajas que presenta el modelo de la máquina síncrona en coordenadas de fase con respecto al modelo en coordenadas *dq0* con el que ya cuenta PSCAD/EMTDC tiene que ver con la posibilidad de insertar fallas internas en los devanados de armadura en el modelo en coordenadas de fase, lo cual no se puede hacer en el modelo tradicional en coordenadas *dq0,* por lo que este caso resulta una aportación en ese sentido ya que hasta el momento ningún simulador comercial cuenta con el modelo en coordenadas de fase y por lo tanto no cuentan con la posibilidad de simular este tipo de condiciones de falla interna en los devanados. Adicionalmente la forma en que se formularon las ecuaciones tal como se presentan en la sección 2.5.4.1 es una propuesta original presentada por [Muthumuni 2001] y cuya implementación en PSCAD/EMTDC se realizó por parte del autor de esta

tesis. Una vez realizado el modelo, se realizaron validaciones por parte del propio Dr. Muthumuni en el HVDC Research Centre y se espera que se hagan validaciones mas exhaustivas antes de que este modelo pueda liberarse en una versión nueva del simulador.

Obsérvese dentro de los diferentes componentes con los que se realizó la simulación de este caso ilustrados en la Figura 2.18 un elemento que tiene la figura de una carpeta así como un nombre de archivo *synch_abc_c3.f* . Este componente vincula el archivo que contiene el modelo de la máquina síncrona en coordenadas de fase con el elemento gráfico que representa a este nuevo componente y que se debe haber creado previamente dentro de una nueva biblioteca creada por el usuario.

El desarrollo de este nuevo modelo se llevó a cabo en las instalaciones del HVDC Research Centre en Winnipeg, Manitoba, Canadá; fué desarrollado por el autor de esta tesis bajo la propuesta y asesoría del Dr. Dharshana Muthumuni y con la asesoría también por parte del Dr. Rohitha Jayasinghe además del apoyo en general de todo el personal del Centro de Investigación encabezados por el gerente Paul Wilson. El conocimiento previo al desarrollo de este modelo fue obtenido por el autor de esta tesis a partir de las referencias [Rodríguez y Medina 2001] [Rodríguez y Medina 2002] [Rodríguez y Medina 2003] [Kundur 1994]. Se espera que este modelo quede incorporado en una nueva versión de PSCAD/EMTDC; actualmente se sigue depurando dicho modelo.

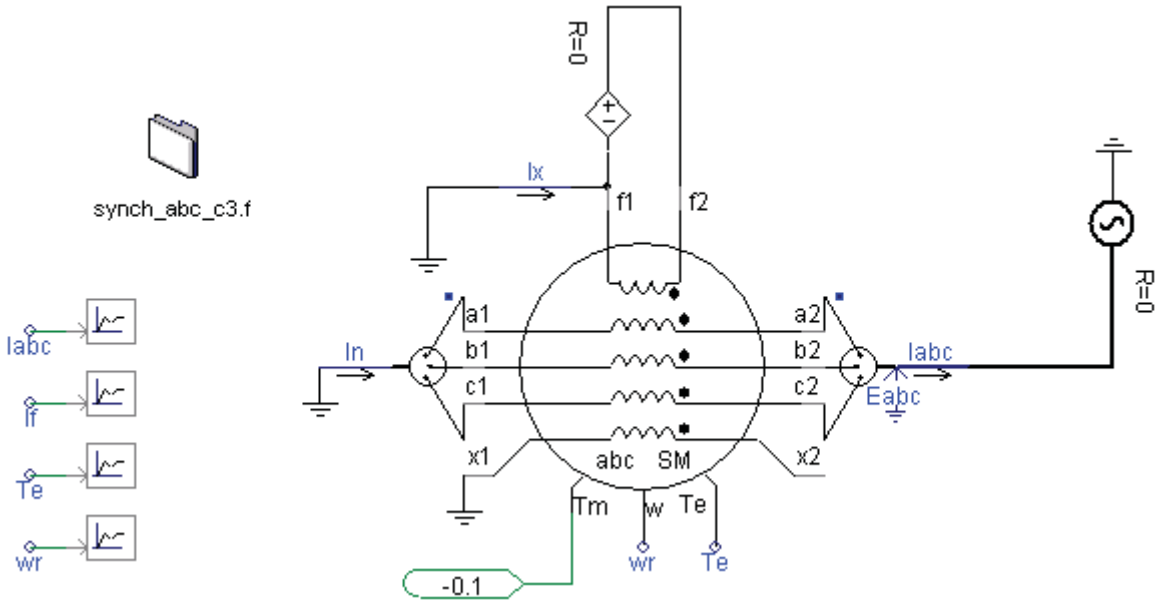


Figura 2.18. Caso 2.4: Máquina síncrona en coordenadas de fase conectada a un bus infinito.

Los datos utilizados para generar los resultados que se muestran en las Figuras 2.19 a 2.24 se presentan en la sección 2.5.4.1, así como la formulación matemática del modelo utilizada para la programación de este nuevo modelo. Los detalles acerca de cómo crear nuevos modelos en PSCAD/EMTDC se encuentran en la ayuda del propio simulador [PSCAD 2005].

En las Figuras 2.19 y 2.20 se observa el resultado de la simulación desde el arranque de la máquina hasta 15 segundos después, en donde ya se han alcanzado las condiciones de estado estacionario. Las formas de onda de corriente presentan el transitorio característico bien conocido y documentado en diversas publicaciones y libros [Subramanian y Malik 1971] [Martí y Louie 1997][Kundur 1994].

Las Figuras 2.21 y 2.22 muestran un acercamiento a los primeros 0.1 segundos de comportamiento de las diferentes variables del caso (corrientes de armadura, corriente de campo, par eléctrico y velocidad mecánica del rotor). Estos instantes iniciales permiten ver como se inicia el comportamiento transitorio de la máquina síncrona conectada a un bus infinito.

Las Figuras 2.23 y 2.24 muestran como el comportamiento de la máquina síncrona ha alcanzado el estado estacionario al transcurrir 15 segundos de simulación, observándose que la corriente de campo se estabiliza en un valor constante de *2.69kA*; el par eléctrico en un valor constante de *-0.416 MN.m* (Mega Newton metro), la velocidad mecánica en *376.99 rad/s* y las corrientes de los devanados de armadura en *32.91kA rms* de línea, con un voltaje de bus infinito al que está conectada la máquina de *25.98kV rms* de línea a tierra. La razón de que los valores de corrientes y voltajes sean tan grandes se debe a que los datos utilizados para este caso corresponden a un generador de gran potencia, cuyos datos completos se pueden encontrar en la Sección 2.5.4.1 de esta tesis y en [Anderson y Fouad 1994].

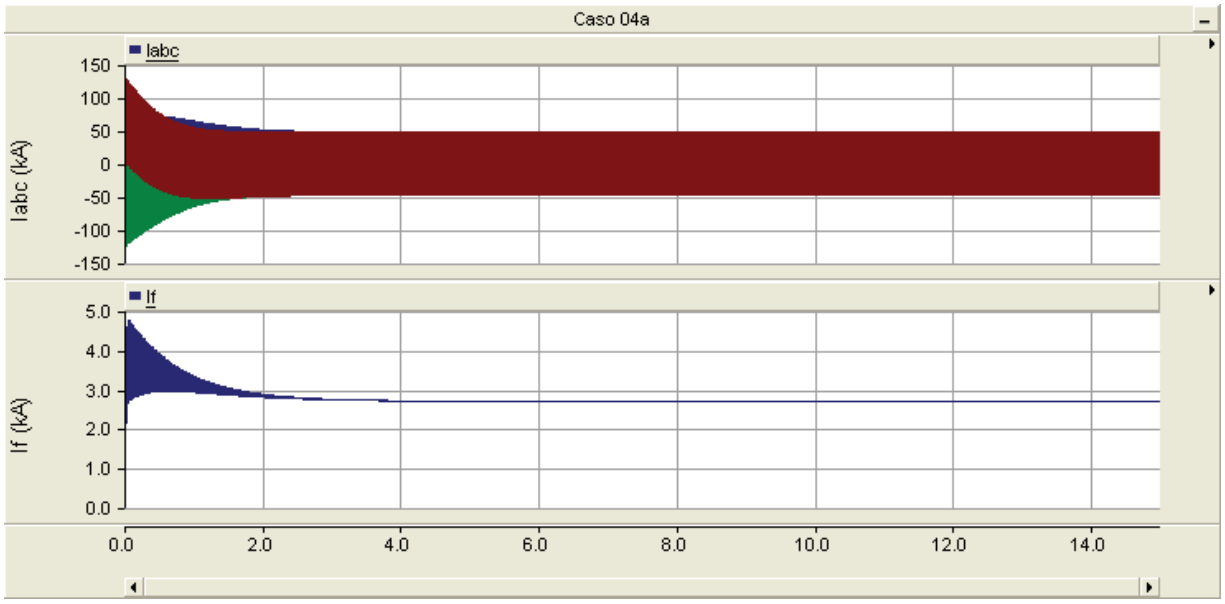


Figura 2.19. Resultados de la simulación del caso 2.4. a) Corrientes de armadura, b) corriente del devanado de campo.

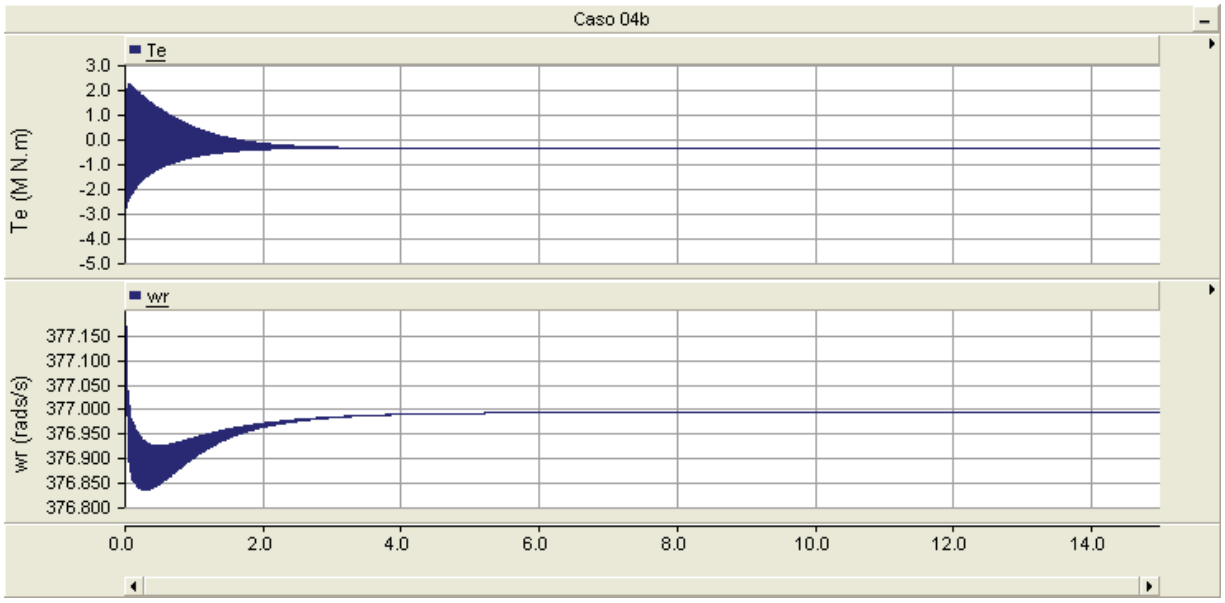


Figura 2.20. Resultados de la simulación del caso 2.4. a) Par eléctrico, b) velocidad mecánica (rotor).

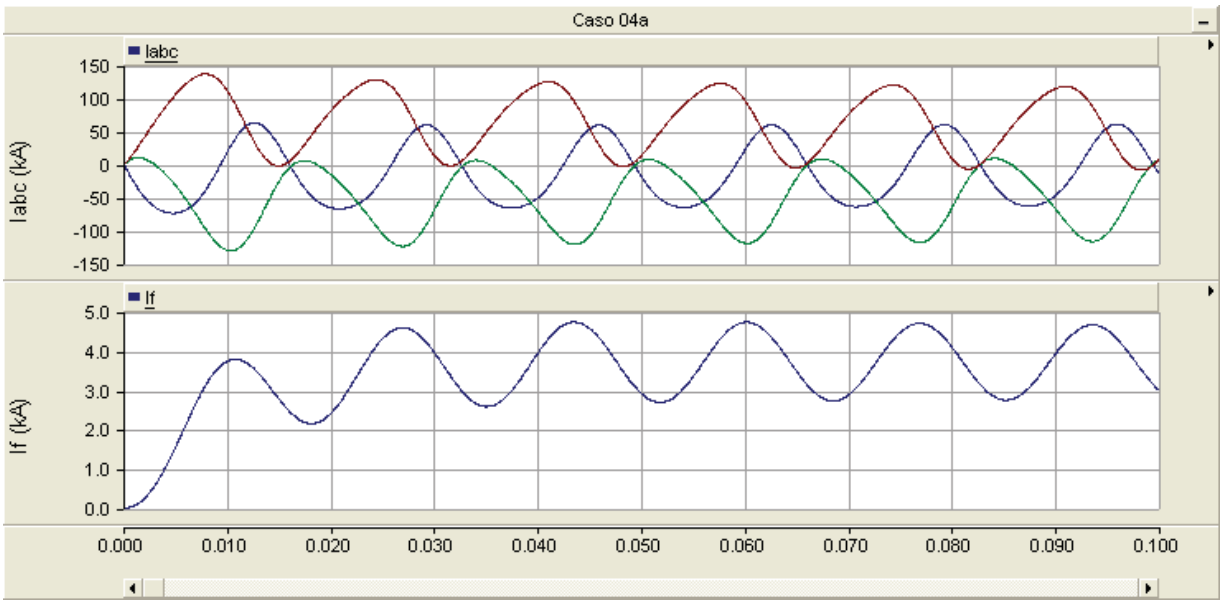


Figura 2.21. Respuesta transitoria del caso 2.4. a) Corrientes de armadura, b) corriente del devanado de campo.

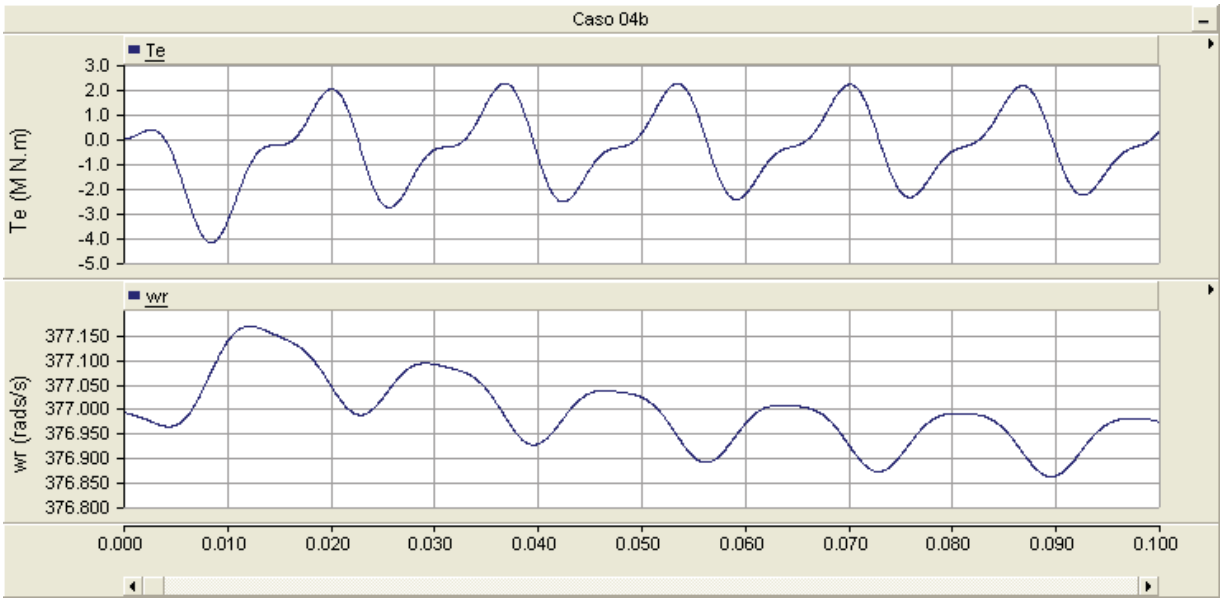


Figura 2.22. Respuesta transitoria del caso 2.4. a) Par eléctrico, b) velocidad mecánica (rotor).

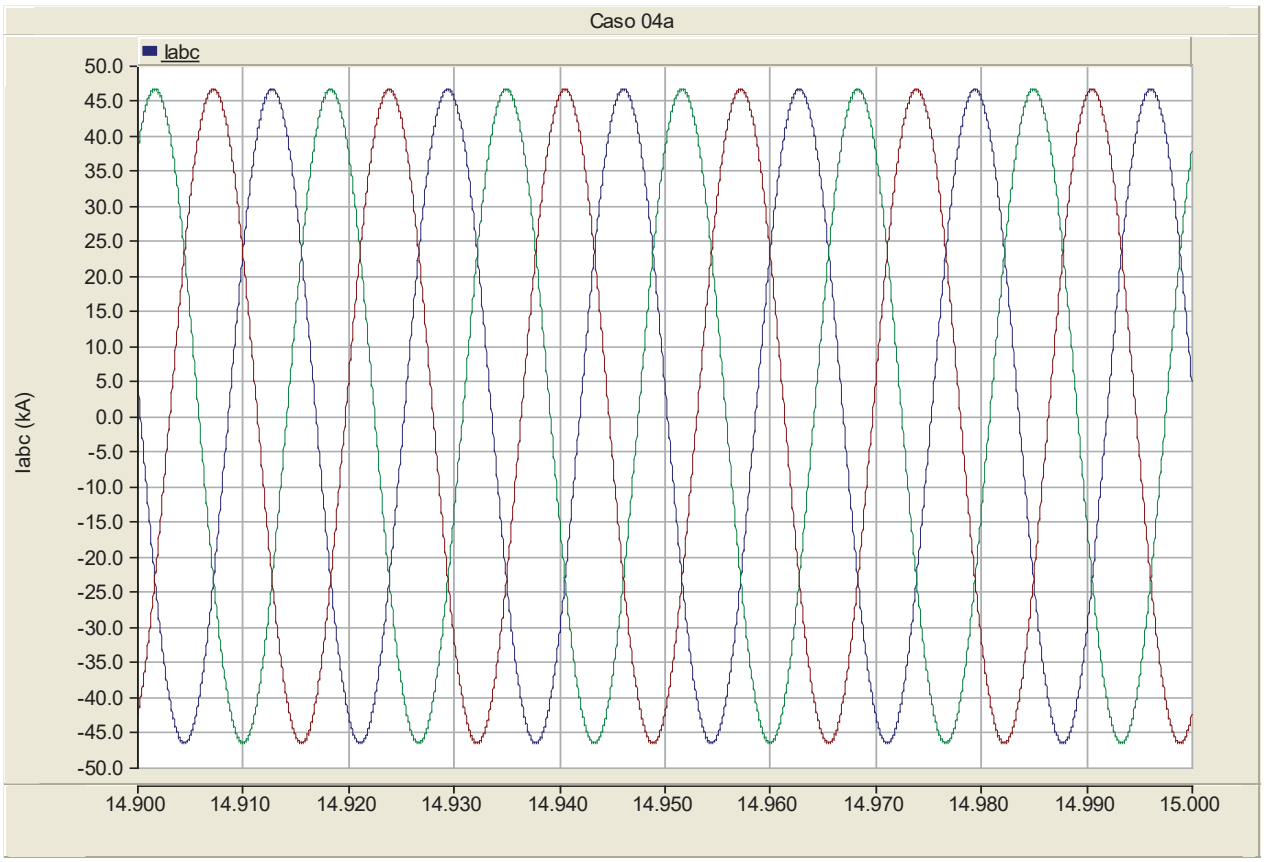


Figura 2.23. Respuesta de estado estacionario de las corrientes de armadura del caso 2.4.

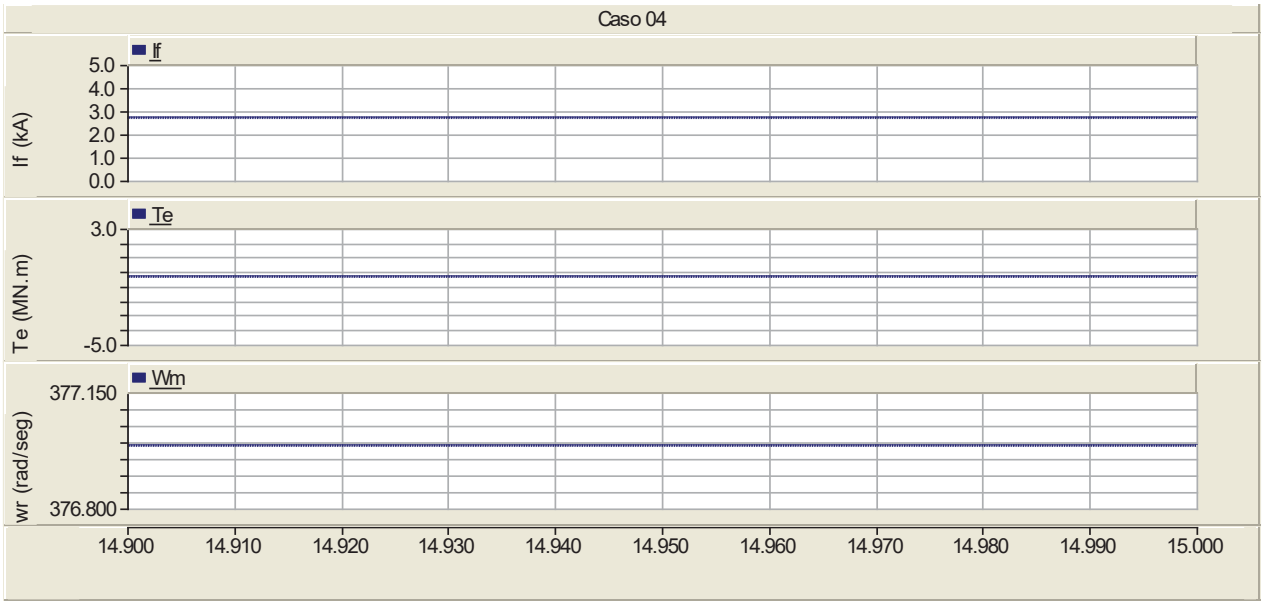


Figura 2.24. Respuesta de estado estacionario del caso 2.4. a) Corriente del devanado de campo, b) Par eléctrico, c) velocidad mecánica (rotor).

2.5.4.1 Datos y Ecuaciones de la Máquina Síncrona en Coordenadas de Fase

Las ecuaciones matemáticas que modelan a la máquina síncrona en coordenadas de fase o en el dominio *abc* son bien conocidas y se han documentado en diferentes artículos y libros [PSCAD 2005] [Muthumuni 2001] [Subramanian y Malik 1971] [Martí y Louie 1997] [Rodríguez y Medina 2003] [Kundur 1994] [Anderson y Fouad 1994] [Krause *et al*. 2002] desde hace muchos años, sin embargo, debido a que sus parámetros son variantes en el tiempo y requieren de un tiempo de solución más grande que el modelo convencional en coordenadas *dq0*, el modelo de la máquina síncrona en coordenadas de fase es menos utilizado para la simulación de redes que requieren la incorporación del comportamiento de este tipo de máquinas.

A pesar de que el modelo de la máquina síncrona en el dominio *abc* requiere mas tiempo de cómputo que el modelo en el dominio *dq0*, resulta muy importante su implementación ya que solo en el dominio *abc* se puede llevar a cabo la simulación de fallas internas en los devanados de armadura de la máquina, cosa que no se puede hacer con el modelo en el dominio *dq0* por encontrarse en un dominio de referencia ficticio.

Ecuaciones eléctricas

El comportamiento eléctrico básico de la máquina síncrona en coordenadas de fase se representa mediante la Ecuación (2.1). La variable de tiempo que se muestra entre paréntesis representa que los términos de la matriz son variantes en el tiempo. Únicamente la matriz de resistencias no es variante en el tiempo en este modelo.

$$[V(t)] = -[R_{syn}][I(t)] - \frac{d}{dt}[[L_{syn}(t)][I(t)]] \tag{2.1}$$

donde:

$[V(t)]$ es el vector de voltajes aplicados a los devanados de la máquina

$[R_{syn}]$ es la matriz de resistencias de los devanados de la máquina

$[I(t)]$ es el vector de corrientes fluyendo en cada devanado

$[L_{syn}(t)]$ es la matriz de inductancias de los devanados de la máquina

La expresión matemática de la Ecuación (2.1) se puede reordenar y mediante la aplicación del método de integración de la regla trapezoidal se puede reestablecer para que permita calcular el vector de corrientes de una forma explícita usando valores del paso de integración actual (t) así como valores del paso de integración anterior ($t - \Delta t$) [Muthumuni 2001]. La ecuación que resulta de aplicar estos pasos es:

$$[I(t)] = [G(t)][I(t-\Delta t)] + [H(t)][V^*(t)] \tag{2.2}$$

donde:

$$[G(t)] = \left[[Id] - \frac{\Delta t}{2}[A(t)]\right]^{-1}\left[[Id] + \frac{\Delta t}{2}[A(t)]\right] \tag{2.3}$$

$$[A(t)] = -[L_{syn}(t)]^{-1}\left[[R_{syn}] + \frac{d}{dt}[L_{syn}(t)]\right] \tag{2.4}$$

$[Id]$ es la matriz identidad

$$[H(t)] = \left[[Id] - \frac{\Delta t}{2}[A(t)]\right]^{-1}[B(t)]\Delta t \tag{2.5}$$

$$[B(t)] = -[L_{syn}(t)]^{-1} \tag{2.6}$$

$$[V^*(t)] = \frac{[V(t)] + [V(t-\Delta t)]}{2} \tag{2.7}$$

Este modelo representa a la máquina síncrona en coordenadas *abc* con un devanado de campo separado y dos devanados amortiguadores, por lo que todos los vectores son de 6x1 y las matrices de 6x6. Los detalles de los elementos de cada matriz se presentan en las siguientes ecuaciones.

Vector de corrientes

$$\left[I(t)\right] = \left[i_a(t) \quad i_b(t) \quad i_c(t) \quad i_f(t) \quad i_{kd}(t) \quad i_{kq}(t)\right]^T \tag{2.8}$$

Nota: los subíndices *a*, *b* y *c* están asociados con los devanados de las fases *a*, *b* y *c* respectivamente. Los subíndices *kd* y *kq* están asociados con los devanados amortiguadores en los ejes directo y en cuadratura respectivamente.

Vector de voltajes

$$\left[V(t)\right] = \left[v_a(t) \quad v_b(t) \quad v_c(t) \quad v_f(t) \quad 0 \quad 0\right]^T \tag{2.9}$$

Matriz de resistencias

$$\left[R_{syn}\right] = \begin{bmatrix} R_a & 0 & 0 & 0 & 0 & 0 \\ 0 & R_b & 0 & 0 & 0 & 0 \\ 0 & 0 & R_c & 0 & 0 & 0 \\ 0 & 0 & 0 & R_f & 0 & 0 \\ 0 & 0 & 0 & 0 & R_{kd} & 0 \\ 0 & 0 & 0 & 0 & 0 & R_{kq} \end{bmatrix} \tag{2.10}$$

-La matriz de resistencias es diagonal y los valores de la diagonal corresponden a la resistencia de cada devanado.

Matriz de Inductancias

$$\left[L_{syn}(t)\right]=\begin{bmatrix} l_a(t) & l_{ab}(t) & l_{ac}(t) & l_{af}(t) & l_{akd}(t) & l_{akq}(t) \\ l_{ba}(t) & l_b(t) & l_{bc}(t) & l_{bf}(t) & l_{bkd}(t) & l_{bkq}(t) \\ l_{ca}(t) & l_{cb}(t) & l_c(t) & l_{cf}(t) & l_{ckd}(t) & l_{ckq}(t) \\ l_{fa}(t) & l_{fb}(t) & l_{fc}(t) & L_f & M_r & 0 \\ l_{kda}(t) & l_{kdb}(t) & l_{kdc}(t) & M_r & L_d & 0 \\ l_{kqa}(t) & l_{kqb}(t) & l_{kqc}(t) & 0 & 0 & L_q \end{bmatrix} \tag{2.11}$$

donde:

$$l_a(t) = L_l + L_1 + L_2\cos(2\theta) \tag{2.12}$$

$$l_b(t) = L_l + L_1 + L_2\cos 2(\theta - \frac{2\pi}{3}) \tag{2.13}$$

$$l_c(t) = L_l + L_1 + L_2\cos 2(\theta + \frac{2\pi}{3}) \tag{2.14}$$

$$l_{ab}(t) = -M_s - L_2\cos 2(\theta + \frac{\pi}{6}) \tag{2.15}$$

$$l_{bc}(t) = -M_s - L_2\cos 2(\theta - \frac{\pi}{2}) \tag{2.16}$$

$$l_{ca}(t) = -M_s - L_2\cos 2(\theta + \frac{5\pi}{6}) \tag{2.17}$$

$$l_{af}(t) = M_f\cos(\theta) \tag{2.18}$$

$$l_{bf}(t) = M_f\cos(\theta - \frac{2\pi}{3}) \tag{2.19}$$

$$l_{cf}(t) = M_f\cos(\theta + \frac{2\pi}{3}) \tag{2.20}$$

$$l_{akd}(t) = M_d\cos(\theta) \tag{2.21}$$

$$l_{bkd}(t) = M_d\cos(\theta - \frac{2\pi}{3}) \tag{2.22}$$

$$l_{ckd}(t) = M_d \cos(\theta + \frac{2\pi}{3}) \tag{2.23}$$

$$l_{akq}(t) = M_q sen(\theta) \tag{2.24}$$

$$l_{bkq}(t) = M_q sen(\theta - \frac{2\pi}{3}) \tag{2.25}$$

$$l_{ckq}(t) = M_q sen(\theta + \frac{2\pi}{3}) \tag{2.26}$$

- La matriz es simétrica, así $l_{ab}(t) = l_{ba}(t)$, $l_{bkq}(t) = l_{kqb}(t)$, etc.
- Los valores de las inductancias L_l, L_1, L_2, M_s, L_f, L_d, L_q, M_r, M_f, M_d, y M_q son datos que se deben proporcionar.
- $\theta = \omega_r t + \delta + \frac{\pi}{2}$ (2.27)
- $\omega_r = 2\pi f$ (2.28)
- f es la frecuencia del sistema (60Hz)
- δ es el ángulo de desplazamiento del rotor en *rads*

Derivada de la matriz de Inductancias

$$\frac{d}{dt}\left[L_{syn}(t)\right] = \left[L_{syn}'(t)\right] = \begin{bmatrix} l_a'(t) & l_{ab}'(t) & l_{ac}'(t) & l_{af}'(t) & l_{akd}'(t) & l_{akq}'(t) \\ l_{ba}'(t) & l_b'(t) & l_{bc}'(t) & l_{bf}'(t) & l_{bkd}'(t) & l_{bkq}'(t) \\ l_{ca}'(t) & l_{cb}'(t) & l_c'(t) & l_{cf}'(t) & l_{ckd}'(t) & l_{ckq}'(t) \\ l_{fa}'(t) & l_{fb}'(t) & l_{fc}'(t) & 0 & 0 & 0 \\ l_{kda}'(t) & l_{kdb}'(t) & l_{kdc}'(t) & 0 & 0 & 0 \\ l_{kqa}'(t) & l_{kqb}'(t) & l_{kqc}'(t) & 0 & 0 & 0 \end{bmatrix} \tag{2.29}$$

donde:

$$l_a'(t) = -2\omega_r L_2 sen(2\theta) \tag{2.30}$$

$$l_b'(t) = -2\omega_r L_2 sen2(\theta - \frac{2\pi}{3}) \tag{2.31}$$

$$l_c'(t) = -2\omega_r L_2 sen2(\theta + \frac{2\pi}{3}) \tag{2.32}$$

$$l_{ab}'(t) = 2\omega_r L_2 sen2(\theta + \frac{\pi}{6}) \tag{2.33}$$

$$l_{bc}'(t) = 2\omega_r L_2 sen2(\theta - \frac{\pi}{2}) \tag{2.34}$$

$$l_{ca}'(t) = 2\omega_r L_2 sen2(\theta + \frac{5\pi}{6}) \tag{2.35}$$

$$l_{af}'(t) = -\omega_r M_f sen(\theta) \tag{2.36}$$

$$l_{bf}'(t) = -\omega_r M_f sen(\theta - \frac{2\pi}{3}) \tag{2.37}$$

$$l_{cf}'(t) = -\omega_r M_f sen(\theta + \frac{2\pi}{3}) \tag{2.38}$$

$$l_{akd}'(t) = -\omega_r M_d sen(\theta) \tag{2.39}$$

$$l_{bkd}'(t) = -\omega_r M_d sen(\theta - \frac{2\pi}{3}) \tag{2.40}$$

$$l_{ckd}'(t) = -\omega_r M_d sen(\theta + \frac{2\pi}{3}) \tag{2.41}$$

$$l_{akq}'(t) = \omega_r M_q \cos(\theta) \tag{2.42}$$

$$l_{bkq}'(t) = \omega_r M_q \cos(\theta - \frac{2\pi}{3}) \tag{2.43}$$

$$l_{ckq}'(t) = \omega_r M_q \cos(\theta + \frac{2\pi}{3}) \tag{2.44}$$

- La matriz $\frac{d}{dt}\left[L_{syn}(t)\right]$ es simétrica

Una vez determinadas las corrientes mediante la evaluación de la Ecuación (2.2) en cada paso de integración, se calculan los flujos y el par eléctrico mediante el uso de las ecuaciones siguientes:

$$[\Phi(t)] = [L_{syn}(t)] \cdot [I(t)] \tag{2.45}$$

donde:

$$[\Phi(t)] = [\phi_a(t) \quad \phi_b(t) \quad \phi_c(t) \quad \phi_f(t) \quad \phi_{kd}(t) \quad \phi_{kq}(t)]^T \tag{2.46}$$

$$T_e(t) = \frac{2p}{3\sqrt{3}} \{\phi_a[i_b(t) - i_c(t)] + \phi_b[i_c(t) - i_a(t)] + \phi_c[i_a(t) - i_b(t)]\} \tag{2.47}$$

donde:

p es el número de polos de la máquina

Ecuaciones mecánicas

Para representar el comportamiento mecánico de la máquina se utiliza la conocida *ecuación de oscilación*. La ecuación de oscilación es una ecuación diferencial de segundo orden que para fines de simulación usando metodologías de integración numérica, se representa como un conjunto de dos ecuaciones diferenciales de primer orden, que al resolverse entregan los valores de las dos variables mecánicas, tales como la velocidad mecánica (ω_m) y el ángulo de desplazamiento del rotor (δ). Las ecuaciones (2.48) y (2.49) representan la formulación en variables de estado de las ecuaciones mecánicas.

$$\frac{d}{dt}\omega_m(t) = \frac{\omega_B}{2H} \{\overline{T}_m - \overline{T}_e(t) - k_D[\omega_m(t) - \omega_B]\} \tag{2.48}$$

donde:

ω_m es la velocidad mecánica en rad/seg

$\omega_B = \omega_r$ es la velocidad base en rad/seg

H es la constante de energía cinética en $watts \cdot seg$

$\overline{T}_m$ es el par mecánico de entrada en $p.u.$

$\overline{T}_e$ es el par eléctrico de la máquina en $p.u.$

k_D es el factor de amortiguamiento en $p.u.$ y es una constante

$$\frac{d}{dt}\delta(t) = \omega_m(t) - \omega_B \tag{2.49}$$

donde:

δ es el ángulo de desplazamiento del rotor en $rads$

Es importante mencionar que la Ecuación (2.47) entrega los resultados del par eléctrico en valores reales ($Nw \cdot m$) y el valor que necesita la Ecuación (2.48) debe estar en por unidad ($p.u.$) por lo que debemos convertir el par eléctrico a por unidad utilizando las Ecuaciones (2.50) y (2.51).

$$T_{e\,base} = \frac{VA_{3\phi\,base}}{\omega_B} \tag{2.50}$$

$$\overline{T}_e(t) = \frac{T_e(t)}{T_{e\,base}} \tag{2.51}$$

Datos utilizados

En esta sección se presentan los datos utilizados en la simulación de la máquina síncrona en coordenadas de fase para los diferentes casos desarrollados en el presente trabajo de tesis que involucrar la simulación de la máquina síncrona.

Voltaje nominal de la máquina (línea a neutro): 15kV*rms*
Corriente nominal de la máquina (línea): 35kA*rms*
Frecuencia nominal: 60Hz.
$L_l = 0.5595\text{mH}$
$L_1 = 3.78\text{mH}$
$L_2 = 0.076\text{mH}$

$M_s = 1.889\text{mH}$

$L_f = 2.189\text{H}$

$L_d = 5.989\text{mH}$

$L_q = 1.423\text{mH}$

$M_r = 0.1079\text{mH}$

$M_f = 89.006\text{mH}$

$M_d = 4.7209\text{mH}$

$M_q = 2.2690\text{mH}$

$R_a = 0.0015\Omega$

$R_f = 0.371\Omega$

$R_{kd} = 0.018\Omega$

$R_{kq} = 0.019\Omega$

$polos = 2$

$k_D = 0.9\text{p.u.}$

$H = 3.525\text{watts.seg}$

$\overline{T}_m = \text{-}0.1\text{p.u.}$

2.6 Conclusiones.

Mediante el desarrollo del presente capítulo se pudo establecer una base de información general acerca de los simuladores de transitorios electromagnéticos más importantes disponibles actualmente. Lo anterior resultó muy importante ya que al ser el objetivo principal de esta tesis el desarrollo de un simulador de redes eléctricas con capacidad de operar en lazo abierto, lazo cerrado y potencialmente en tiempo real, se hace necesario conocer las características de los diferentes simuladores ya existentes en el mercado, sus características y sus limitaciones, para de manera particular establecer los alcances a corto, mediano y largo plazo del simulador en tiempo real, cuyo desarrollo inicia con la investigación presentada en esta tesis.

Se pudo definir mediante el contenido de esta unidad las dos grandes clasificaciones de simuladores de redes eléctricas que son: modo fuera de línea y modo en tiempo real, que permiten clasificar en cada una de estas dos categorías a los diferentes simuladores existentes en el mercado. Se explicó también que un simulador en modo fuera de línea solo requiere de una plataforma o computadora para funcionar y que un simulador en modo en tiempo real requiere normalmente plataformas que permitan el procesamiento paralelo, para que el simulador logre su respuesta en tiempo real y adicionalmente un hardware que contenga canales de entradas y salidas analógicas y digitales para la interacción con dispositivos del mundo real.

A excepción del simulador ATP/EMTP, el resto de los simuladores son comerciales y tienen costos que pueden oscilar alrededor de los 14 mil dólares, para el caso de versiones profesionales de simuladores en modo fuera de línea y como mínimo 100 mil dólares, para el caso de simuladores en tiempo real, pudiendo elevarse el precio de estos últimos a varios millones de dólares, para el caso de simuladores en tiempo real con capacidad de simular redes grandes y complejas. Es importante mencionar que no existe ningún simulador con capacidad de operar en tiempo real que sea gratuito, que opere en una computadora convencional y que se pueda operar usando tarjetas de entradas analógicas y digitales genéricas que permitan al usuario adquirir por partes y según sus necesidades, la parte de hardware que todo simulador en tiempo real necesita, por lo que esta situación aunada al costo estratosférico de los simuladores en tiempo real existentes en el mercado justifican plenamente el desarrollo de un simulador con capacidad de operar en tiempo real.

En lo que respecta a la sección que se presenta acerca del modelado de componentes eléctricas usando PSCAD/EMTDC se tiene varias conclusiones y aportaciones importantes:

1) Con la familiarización y aprendizaje acerca del uso de esta herramienta de simulación digital comercial PSCAD/EMTDC; con que cuenta la División de Estudios de Posgrado de la Facultad de Ingeniería Eléctrica de la Universidad Michoacana de San Nicolás de Hidalgo, se abren y se apoyan aquellas ramas de estudio e investigación que requieran del uso de este tipo de herramientas de simulación profesionales, que permitan acelerar el avance en las áreas de la ingeniería eléctrica.

2) Con el apoyo por parte de la División de Estudios de Postgrado y Conacyt, a través del proyecto 40112-Y, fue posible la realización de una estancia de investigación por parte del autor de esta tesis con los desarrolladores de PSCAD/EMTDC, el Centro de Investigación en Sistemas de Alto Voltaje de Corriente Directa (HVDC Research Centre). Se pudo recibir por parte de este centro de investigación una capacitación avanzada del uso de dicho simulador, así como de la creación de nuevos modelos, además de haber recibido el apoyo y facilidades por parte del centro de investigación para conocer la operación del simulador en tiempo real RTDS, desarrollado por RTDS Technologies, Inc. Canadá, tener acceso a sus instalaciones, recibir información general de primera mano acerca de su simulador y además tener acceso al aprendizaje y uso de este equipo en las instalaciones de la Universidad de Manitoba, lo cual permitió la consolidación de esta tesis, estableciendo de esta manera una base sólida para el inicio de una nueva línea de investigación en el país, la simulación de sistemas eléctricos en tiempo real.

3) Con la capacitación avanzada acerca del uso del simulador PSCAD/EMTDC, obtenida por parte de sus desarrolladores y en colaboración con ellos, se creó el nuevo modelo de la máquina síncrona en coordenadas de fase, que actualmente no se encuentra como parte de la biblioteca de programas de ningún simulador comercial ni gratuito y que su inclusión en una nueva versión de PSCAD/EMTDC representará una primicia dentro del grupo de los diferentes simuladores disponibles actualmente y por lo tanto representa la principal aportación de esta unidad.

CAPÍTULO 3

IMPLEMENTACIÓN DE ESQUEMAS EN LAZO ABIERTO

3.1 Introducción

Desde los albores del desarrollo de la ingeniería eléctrica se presenta la necesidad de contar con medios para poder efectuar pruebas de operación a los diferentes elementos que conforman los sistemas eléctricos. Dichas pruebas se diseñan para cubrir la necesidad de conocer el estado de funcionamiento, ajuste o calibración del dispositivo o dispositivos eléctricos sometidos a prueba. Como resultado de esta necesidad se desarrollan equipos de prueba con características que permiten de forma directa o indirecta conocer el estado de operación del dispositivo eléctrico bajo prueba.

Los primeros equipos de prueba consistían principalmente en medidores de algunos parámetros eléctricos (voltaje, corriente, resistencia, etc.) y de fuentes de voltaje o corriente de corriente alterna o corriente directa, que permitían suministrar este tipo de formas de onda básicas al equipo sometido a prueba y evaluar su estado de operación mediante la medición de sus diferentes parámetros eléctricos. Este tipo de equipos de prueba básicos representan esquemas de prueba en lazo abierto, que fueron evolucionando con el tiempo, permitiendo generar formas de ondas de prueba mas complejas y capaces de reproducir algunas situaciones de comportamiento del sistema eléctrico real para el cual fueron diseñados los dispositivos eléctricos cuyo funcionamiento está sujeto a prueba.

Previo a la incorporación de la tecnología digital a los equipos de prueba, se desarrollaron mediante el uso de sistemas analógicos los Analizadores de Redes Transitorias (TNA ó Transient Network Analizers) [Zamora *et al.* 2005] que básicamente consistían en redes a escala que permitían conocer el comportamiento de redes específicas, en donde se contaba con modelos analógicos de baja potencia de los diferentes elementos del sistema eléctrico. Este tipo de analizadores tuvo un impacto muy grande en el área de pruebas, ya que los TNA al ser redes analógicas a escala operan inherentemente en tiempo real y permiten efectuar pruebas en lazo cerrado.

Con la evolución de la tecnología digital se pudieron desarrollar equipos de prueba en lazo abierto capaces de generar señales de prueba muy complejas o incluso reproducir casi cualquier tipo de señal obtenida mediante la simulación por computadora de redes eléctricas, lo cual también fue el resultado de la evolución de la tecnología digital. Este tipo de equipos de prueba en lazo abierto pueden contar con la capacidad de medir algunos de los parámetros de operación del dispositivo sometido a prueba. Actualmente existen varios equipos de pruebas en lazo abierto comerciales basados en tecnología digital; la descripción de las características de algunos de los más importantes de estos equipos se presentan en este capítulo, en conjunto con algunos casos de estudio que presentan resultados en los que se involucra su uso.

La tecnología digital actualmente ha evolucionado de manera tan importante que también existen equipos de pruebas que operan en tiempo real y que permiten realizar pruebas en lazo cerrado. Las características de algunos sistemas o simuladores que operan en tiempo real se describen en el Capítulo 2, mientras que los Capítulos 4 y 5 detallan las características con las que este tipo de sistemas que operan en tiempo real deben contar y describen también las características de los casos de simulación en tiempo real desarrollados como la parte medular de esta tesis.

Este capítulo está orientado a describir la forma en que se implementan los esquemas de prueba en lazo abierto mediante el uso de algunos equipos comerciales, y se describe también el desarrollo de un equipo propio de pruebas en lazo abierto, que es parte de los resultados obtenidos de la investigación reportada en esta tesis.

Antes de detallar la importancia que tienen los esquemas o equipos de prueba en lazo abierto, es conveniente definir el concepto de esquemas de pruebas en lazo abierto. La definición de los esquemas de pruebas en lazo cerrado se presenta en el Capítulo 4.

Esquemas de prueba en lazo abierto. Los esquemas de pruebas en lazo abierto son aquellos que incluyen un equipo de prueba capáz de generar diferentes formas de onda, que al aplicarse al equipo sometido a prueba, permitan conocer algunos o varios de sus parámetros de funcionamiento. Este equipo de prueba puede contar con opciones para generar formas de onda de prueba predefinidas o bien a partir de la lectura de un archivo de datos de entrada (para el caso de equipos que incorporan

tecnología digital). Un equipo de prueba en lazo abierto puede ser capaz de recibir algunos parámetros de operación del equipo bajo prueba y efectuar mediciones de los mismos, sin embargo, la característica de un equipo o sistema que opera en lazo abierto lo limita a pruebas en modo fuera de línea.

El hecho de que un sistema de prueba en lazo abierto solo permita conducir pruebas que se realizan en modo fuera de línea no significa que sea poca la importancia que este tipo de sistemas tiene dentro del área de la Ingeniería Eléctrica, por el contrario, los equipos de prueba en lazo abierto tienen una gran importancia, ya que permiten efectuar pruebas de operación de equipos de protección, medición y control de forma sencilla y económica mediante la generación de señales predefinidas, o bien señales obtenidas a partir de registros de eventos reales, o bien generadas a partir de simulaciones fuera de línea. Este tipo de pruebas conducidas fuera de línea permiten, en la mayoría de los casos, resolver problemas referentes a su operación, medición de parámetros, caracterización o calibración de una forma sencilla y económica, dejando solo aquellos casos complejos que requieren ser probados en un esquema en lazo cerrado a los costosos simuladores en tiempo real, siempre y cuando se justifique su uso.

3.2 Implementación de los Esquemas en Lazo Abierto

Para efectuar pruebas en lazo abierto se requiere hacer uso de un equipo que sea capaz de generar principalmente señales de prueba; en algunos casos es deseable que sea capaz de monitorear algunas de las variables de operación del equipo sometido a prueba, tales como tiempos de operación de relevadores de protección bajo prueba u otros eventos generados por cualquier otro equipo sometido a prueba; también es deseable que un equipo de pruebas en lazo abierto cuente con salidas lógicas que permitan sincronizar o habilitar determinadas funciones del equipo o dispositivo sometido a prueba.

A pesar de que existen muchos equipos que permiten efectuar pruebas en lazo abierto, el presente capítulo está enfocado a equipos de prueba modernos que basan su funcionamiento en la generación de señales utilizando medios digitales y que cuentan con funciones de las que muchos equipos de prueba en lazo abierto analógicos carecen. En las Secciones 3.2.1 y 3.2.2 se describe el uso de los

equipos F6150 y RTP, respectivamente por ser dos de los equipos comerciales más utilizados en la realización de pruebas en lazo abierto. En la Sección 3.2.3 se detallan las características de un equipo de prueba en lazo abierto denominado VOLTS, que fue desarrollado como parte de los resultados de esta tesis.

3.2.1 Esquemas en Lazo Abierto Usando el Equipo de Pruebas DOBLE F6150 [F6000 2001]

El equipo de prueba DOBLE F6150 pertenece a la familia F6000 de simuladores de sistemas de potencia, que consiste en un grupo integrado de instrumentos de prueba de precisión, opciones de pruebas de diferentes equipos, así como el software de control asociado. El equipo de prueba DOBLE F6150 es desarrollado y comercializado por la compañía Doble Engineering Company, la cual se encuentra en Watertown, Massachusetts, E.U.A [DOBLE 2006]. El simulador de sistemas de potencia F6150 está diseñado para probar sistemas y relevadores de protección en lazo abierto ya que se trata de un equipo que opera en modo fuera de línea.

3.2.1.1 Características del Equipo de Prueba DOBLE F6150

El simulador de sistemas de potencia F6150 es un equipo que fue diseñado para probar sistemas y relevadores de protección a través de un conjunto de pruebas predefinidas generadas por el software que controla al equipo de prueba o bien a través de la carga y reproducción de archivos de transitorios en formato COMTRADE [IEEE C37.111-1999], generados por algún simulador de transitorios electromagnéticos o bien provenientes del registro de eventos reales.

El equipo de prueba F6150 consta de un software para la generación y control conocido como ProTesT [ProTesT 2000] y una interfase de hardware, conocida como F6150; fue diseñado como un equipo portátil con la finalidad de realizar pruebas directamente en el campo de operación de los sistemas y relevadores de protección.

ProTesT es un sistema de software para la prueba de relevadores de protección y mantenimiento de equipo que incluye el panel de control del equipo de prueba de la familia F6000 para efectuar

control manual del instrumento; también combina el control automático del instrumento F6000 con las funciones de una base de datos del servidor cliente.

ProTesT utiliza plantillas de prueba llamadas macros para automatizar las pruebas de esquemas de relevadores de protección. La base de datos de ProTesT documenta también los ajustes de los relevadores, condiciones de prueba e historial de prueba. En la Sección 3.2.1.2 se describe e ilustra la forma en que interactúa ProTesT instalado en una computadora con el hardware del equipo de pruebas. La Figura 3.1 muestra el aspecto de la interfase principal del software ProTesT.

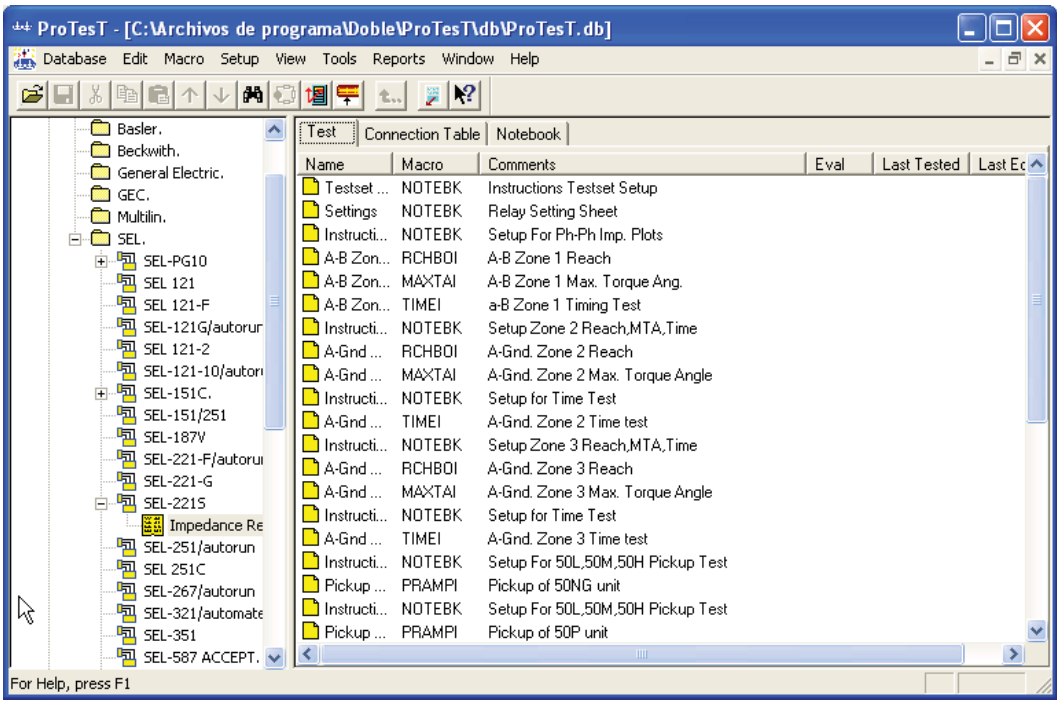


Figura 3.1. Interfase principal del software ProTesT.

ProTesT permite el uso de tres métodos de prueba: 1) calibración de relevadores en estado estacionario, 2) pruebas en estado dinámico, y 3) pruebas transitorias.

La calibración de relevadores en estado estacionario utiliza diferentes macros para automatizar las pruebas de los diferentes esquemas de protección. Estos macros prueban funciones individuales del relevador tales como disparo, sobrecorriente instantánea, respuesta a la inversión de corriente,

activación y desactivación de las funciones de protección (pickup y dropout), así como tiempos de operación y restablecimiento.

Las pruebas en estado dinámico emplean una macro especial de simulación de estados. Este macro de simulación de estados aplica simultáneamente componentes de frecuencia fundamental de voltaje y corriente que representan diferentes estados del sistema de potencia. Estos estados son típicamente pre-falla, falla y post-falla.

El uso de pruebas transitorias requieren el plan TPlan opcional para ProTesT. Las pruebas de simulación transitoria aplican de forma simultánea componentes de frecuencia fundamental y no fundamental de voltaje y de corriente, que representan las condiciones del estado de potencia obtenidas a través de registradoras de fallas DFR (Disturbance Fault Recorder) o herramientas de modelado de sistemas tales como EMTP, ATP o PSCAD/EMTDC. Los datos disponibles a partir de los equipos DFR o de las herramientas de modelado del sistema se almacenan típicamente en el formato COMTRADE, el cual es reconocido por el plan Tplan de ProTesT [ProTesT 2000].

En cuanto al hardware del equipo de pruebas F6150, la Figura 3.2 muestra una imagen del aspecto físico del equipo. Este equipo de pruebas cuenta con salidas de señales de prueba amplificadas. Las salidas amplificadas están conformadas por tres fuentes de voltaje y tres fuentes de corriente, capaces de entregar de forma continua una potencia de 150VA cada una. Cada una de estas seis fuentes se puede configurar como dos fuentes de 75VA para proveer un máximo de seis fuentes de voltaje, de seis fuentes de corriente, o de cuatro fuentes de voltaje y cuatro fuentes de corriente, respectivamente. La configuración de las fuentes de salida se puede controlar desde software de acuerdo a las necesidades particulares de cada prueba. Si se configuran las fuentes de corriente en serie o en paralelo, el F6150 puede entregar mas potencia para probar relevadores o esquemas de protección con carga elevada.

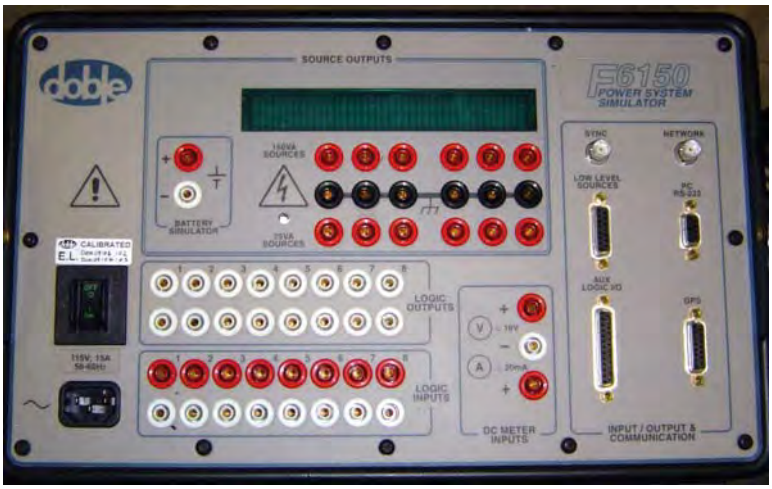


Figura 3.2. Interfase de hardware del F6150.

El F6150 cuenta con ocho canales lógicos de entrada y ocho de salida que proveen al equipo con la posibilidad de evaluar el desempeño del esquema de protección. También cuenta con un simulador de batería de C.D. para alimentar a los relevadores digitales y estáticos.

La comunicación del equipo con la computadora en la que reside el software de control ProTesT se efectúa mediante un puerto de comunicaciones serie RS-232 con el que cuenta el equipo y que se conecta mediante un cable de comunicaciones serie con conectores DB-9 con el puerto serie de la computadora. También existe la posibilidad de comunicar al equipo de prueba con la computadora a través de un puerto de comunicaciones de red Ethernet, para lo cual se dispone de un conector BNC en el panel frontal del F6150.

El F6150 genera las señales basado en una frecuencia de muestreo de 10kHz, es decir, puede generar señales con un intervalo de muestreo mínimo de 100µS o 0.1mS y cuenta con un ancho de banda a potencia máxima en el rango de C.D. a 3kHz. Adicionalmente, el F6150 cuenta con un conector DB-15 hembra etiquetado como “GPS”, que tiene la finalidad de recibir señales de sincronía para pruebas punto a punto mediante la señal satelital de posicionamiento global GPS (Global Positioning System) para lo que se requiere que el equipo cuente con la opción F6885, que es un receptor satelital, además de la opción F6895, que consiste de una antena GPS que se conecta al conector antes mencionado para sincronización vía GPS.

La sección “Input/Output & Communication” que se encuentra a la derecha del panel frontal cuenta también con otros puertos etiquetados como “SYNCH”, “Low Level Sources” y “Auxiliary Logic I/O” que son para aplicaciones futuras. El panel frontal cuenta también con tres terminales de medición de C.D. que son también para implementaciones futuras [F6000 2001].

3.2.1.2 Esquemas de Conexión del Equipo de Prueba DOBLE F6150

El esquema de conexión del simulador de sistemas de potencia F6150 se presenta en la Figura 3.3. El F6150 es un equipo de prueba de sistemas y relevadores de protección que opera en modo fuera de línea, por lo tanto el esquema que se presenta en la Figura 3.3 es un esquema en lazo abierto.

El software de prueba ProTesT reside en la computadora personal y fue desarrollado para operar bajo ambiente Windows. Este software se encarga de controlar la ejecución de pruebas en el equipo F6150 a través de una conexión de puerto serie RS-232 o bien a través de una conexión de red Ethernet 10Base2.

Debido a que el F6150 cuenta con salidas de voltaje y corriente amplificadas que pueden proporcionar hasta 300VCD y 15A, éstas se conectan directamente a las entradas de voltaje y/o corriente de los sistemas o relevadores de protección, sin la necesidad de hacer uso de amplificadores de potencia externos, a menos que el sistema que se esté probando requiriera niveles mayores de voltaje y/o corriente de la que pueden proporcionar las salidas amplificadas del F6150.

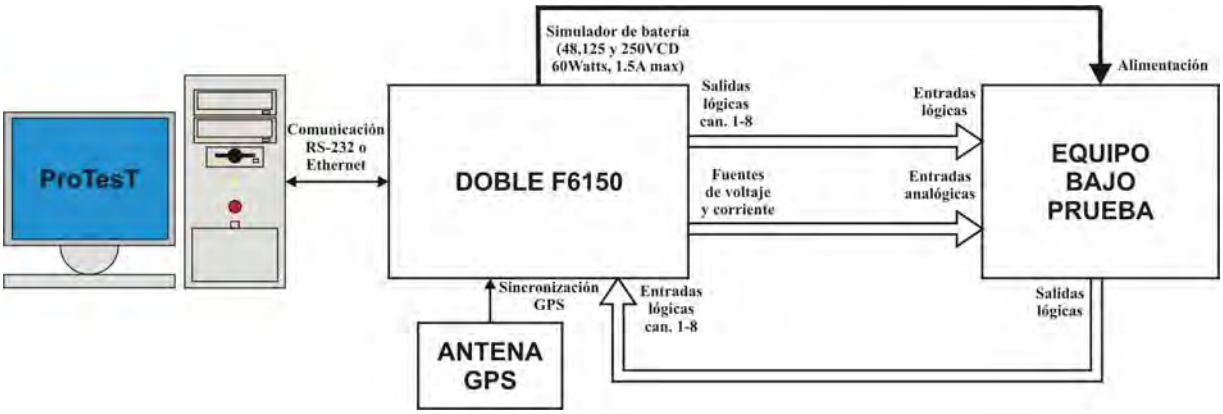


Figura 3.3 Esquema de conexión del equipo F6150.

El F6150 cuenta también con 8 salidas y 8 entradas lógicas que le permiten enviar señales de control o sincronía al dispositivo bajo prueba y recibir también respuesta del mismo, tal como la apertura o cierre de los contactos de operación del relevador, para de esta manera determinar sus tiempos de operación.

El hecho de que el F6150 cuente con un simulador de batería está relacionado directamente con el hecho de que este equipo fue diseñado como un equipo portátil para poder realizar pruebas directamente en el campo de trabajo en donde pudiera no haber disponibilidad de un banco de baterías para alimentar el relevador bajo prueba, por lo que esta característica del F6150 resulta muy importante.

Finalmente, este equipo permite hacer pruebas punto a punto, en donde se sincroniza la ejecución de pruebas en dos puntos remotos mediante la señal satelital de posicionamiento global conocida como GPS. Para poder efectuar pruebas punto a punto con sincronía vía GPS, el F6150 debe contar con la opción F6885 (Interfase receptora de satélite para el sistema GPS) y la F6895 (antena GPS).

3.2.2 Esquemas en Lazo Abierto Usando el Equipo de Prueba RTP (Real Time PlayBack)

El equipo de pruebas RTP (Real Time Playback) es un generador de formas de onda arbitrarias para el sistema eléctrico de potencia desarrollado y comercializado por el Centro de Investigación en Sistemas de Alto Voltaje en Corriente Directa (HVDC Research Centre), Winnipeg, Manitoba, Canadá [HVDC 2006], desarrolladores también del simulador PSCAD/EMTDC [PSCAD 2006] del cual se describieron sus características a detalle en la Sección 2.2.2. Debido a que RTP opera en modo fuera de línea solo se pueden efectuar con él pruebas en lazo abierto

3.2.2.1 Características del Equipo de Prueba RTP

El RTP es un conjunto de herramientas de pruebas basado en computadora que permite probar los sistemas de protección, control y monitoreo del sistema de potencia. También se puede describir como un generador de formas de onda arbitrarias de 12 canales, que fue diseñado específicamente para complementar el poder del software de simulación PSCAD/EMTDC. Cualquier forma de onda

generada por PSCAD/EMTDC se puede utilizar para probar los sistemas de protección, control o medición mediante el uso del RTP [RTP 2002]. Adicionalmente, el RTP puede generar formas de onda a partir de archivos de datos de transitorios en el formato COMTRADE [IEEE C37.111-1999], o bien, a partir del programa RTP STATE. El RTP cuenta con una interfase gráfica avanzada para desplegar y controlar las formas de onda, sincronización mediante GPS (Global Positioning System) para pruebas punto a punto, y pruebas de reproducción de señales por lotes (Batch Playback) para pruebas automatizadas. La Figura 3.4. muestra una imagen de una ventana del software de reproducción de señales llamado RTP PLAYBACK.

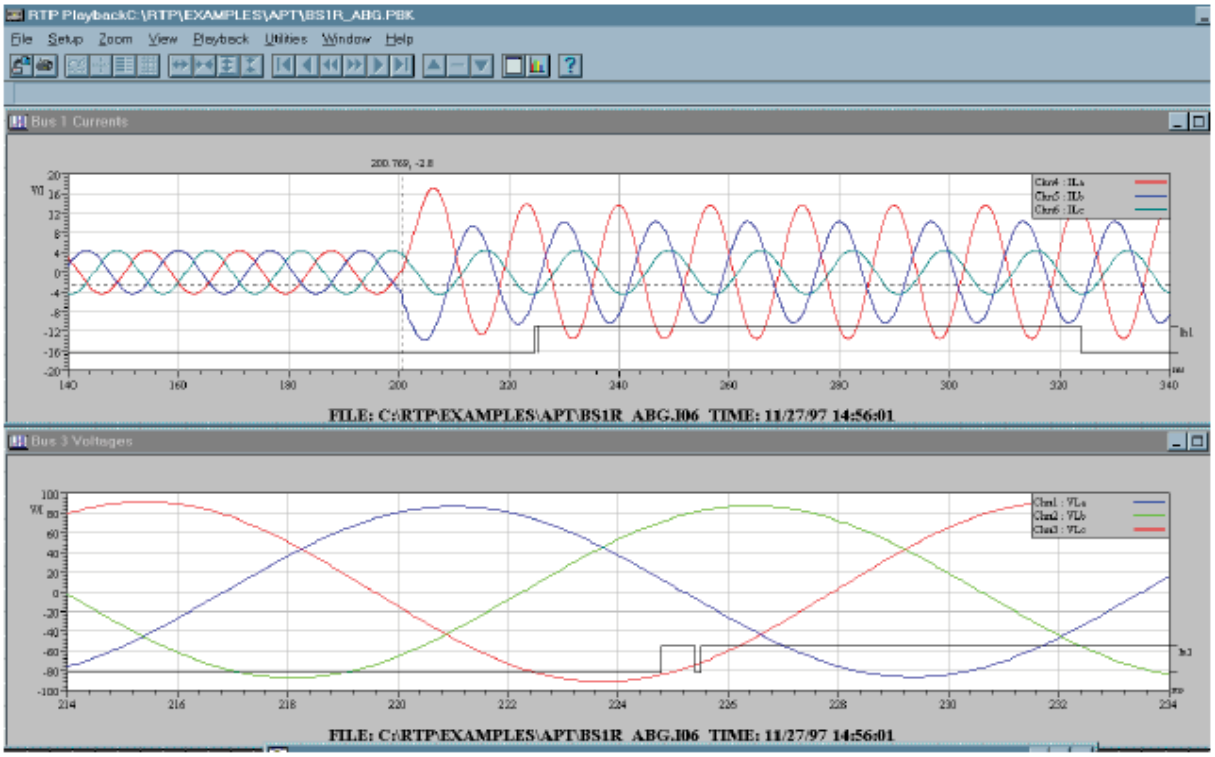


Figura 3.4 Software PLAYBACK de RTP.

El sistema RTP V3 se diseñó como un servidor de red. Este servidor RTP soporta 12 salidas analógicas, 8 entradas lógicas, 8 salidas lógicas y una entrada de sincronización mediante GPS. Se puede agregar una unidad de expansión lógica que agrega al sistema 8 entradas y 8 salidas lógicas. La interfase de hardware provee al usuario 12 conectores BNC, uno por cada canal analógico de salida, conectores de prueba aislados de 4mm para aceptar entradas lógicas de hasta 130 VCD, y contactos de relevadores secos tipo “C”, disponibles en conectores de 4mm para las salidas lógicas.

Cada señal de salida cuenta con un LED para indicar su estado; el RTP provee una interfase flexible con el mundo real para conectar tanto al sistema de control bajo prueba como a los amplificadores que se requieren para entregar los niveles adecuados al equipo bajo prueba. La Figura 3.5. muestra una imagen de la interfase de hardware del RTP.



Figura 3.5 Aspecto físico de la interfase de Hardware del RTP

Debido a que la comunicación de la computadora con el hardware del RTP para la versión actual V3 está basada en una conexión de red, RTP puede funcionar en dos modos: modo servidor y modo cliente. En el modo servidor, el RTP se puede configurar para que responda directamente a una dirección IP o nombre de la computadora vía el servidor DNS. En el modo cliente, cualquier usuario puede usar y controlar al servidor RTP dentro de la misma red local. Si se conecta RTP a través de una red, se requiere un cable de red estándar (RJ-45) categoría 5 (con ambos extremos 568A o 568B). También se puede usar RTP de forma autónoma sin usar la red, conectándolo directamente a la computadora a través de un cable cruzado de red (RJ-45 con un extremo 568A y el otro 568B).

El intervalo de tiempo que usa RTP para reproducir las señales es el que contenga el archivo de entrada o el que se defina en RTP STATE, sin que este pueda ser menor de 30μS, que es el paso mínimo que puede reproducir RTP. La reproducción de las señales se pueden iniciar manualmente con una señal externa o vía GPS (contando con un equipo GPS externo). Las salidas analógicas de RTP son de baja señal y entregan las salidas en un rango de ±5V, por lo que si se requiere contar con salidas de alta corriente o voltaje se deben conectar amplificadores externos.

3.2.2.2 Esquemas de Conexión del Equipo de Prueba RTP

En la sección anterior se describieron las características generales del equipo de prueba en lazo abierto RTP, dentro de las cuales se cuenta con 12 canales analógicos de salida en los que se puede generar cualquier señal mediante la entrada de un archivo al software del RTP, conocido como PLAYBACK, o bien, construyendo las señales de prueba con la ayuda del módulo de software de RTP conocido como STATE. Estás formas de onda analógicas de salida se pueden aplicar al equipo de protección, control o medición bajo prueba ya sea de forma directa, si las entradas del equipo se encuentran en el rango de ±5V con el que cuenta el RTP (ya que RTP no cuenta con amplificadores de voltaje y/o corriente incluidos), o bien, mediante el uso de amplificadores de corriente y/o voltaje externos, para llevar estas señales a los niveles requeridos por el equipo que se esté probando. Adicionalmente RTP cuenta con 8 canales lógicos de salida que pueden usarse también como entradas lógicas al equipo de prueba en caso de que éste las requiera. La Figura 3.6 muestra el esquema general de conexión de RTP.

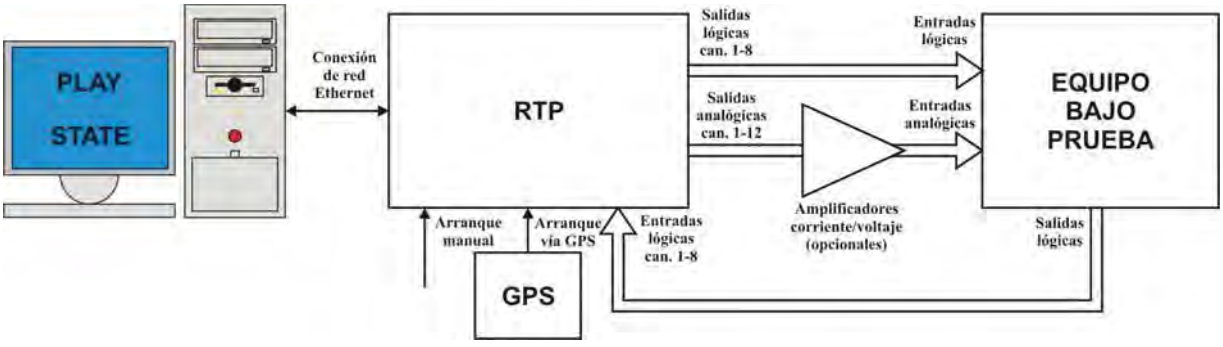


Figura 3.6. Esquema de conexión del equipo RTP.

En algunos casos en los que se efectúan pruebas en lazo abierto, se requiere registrar y medir tiempos de operación o cambio de estado de las señales lógicas que genera el equipo bajo prueba como respuesta a las señales analógicas y/o digitales que se le están aplicando, por lo que RTP cuenta también con 8 entradas lógicas diseñadas para ejercer esta función; RTP no cuenta con canales analógicos de entrada.

El equipo de prueba RTP permite realizar tanto pruebas de un solo punto como pruebas de punto a punto. Para el caso en que se requieran realizar pruebas de un solo punto, se requiere utilizar el esquema que se presenta en la Figura 3.6, y puede llevarse a cabo el arranque de la prueba tanto de forma manual como con una señal de disparo proveniente de un equipo GPS externo. En el caso de que se necesite efectuar una prueba de punto a punto, se requeriría para cada punto de prueba un esquema como el que se muestra en la Figura 3.6; el arranque simultáneo o sincronizado de las pruebas en ambos puntos se lleva a cabo necesariamente mediante el uso de señales provenientes del equipo GPS externo en cada uno de los puntos de prueba.

3.2.3 Desarrollo del Equipo de Pruebas en Lazo Abierto VOLTS (Versatile Open Loop Testing System).

En las Secciones 3.2.1 y 3.2.2 se describieron las características de dos equipos de pruebas en lazo abierto comerciales, el F6150 desarrollado por DOBLE Engineering Company y el RTP desarrollado por el HVDC Research Centre. El primero es de manufactura norteamericana y el segundo de manufactura canadiense. Estos dos equipos son ampliamente conocidos y utilizados a nivel mundial principalmente para la realización de pruebas en lazo abierto de sistemas y relevadores de protección, sin embargo, existen otros equipos que pueden realizar funciones similares como por ejemplo el SEL-4000 de Schweitzer Engineering Laboratories [SEL 2006] o el CMC 156 ó CMC 256 de la marca Omicron [OMICRON 2006], solo por dar algunos ejemplos adicionales.

En la presente sección se describen las características de un equipo para pruebas en lazo abierto desarrollado como parte de esta investigación doctoral. La importancia de este desarrollo se puede ver reflejada y justificada en el hecho de que todos los equipos de pruebas de este tipo ya descritos o

mencionados son de manufactura extranjera y presentan costos muy elevados, que pueden estar en el orden de $25,000 dólares, como es el caso del RTP, hasta precios en el orden de los $50,000 dólares para el caso del F6150. Adicionalmente, estos equipos cuentan con características pre-establecidas desarrolladas por los fabricantes, que en algunos de los casos pueden ser suficientes e incluso pudieran ser más de las que se necesiten para determinadas pruebas, pero en otros casos pueden no adaptarse a las necesidades particulares que se tengan para probar sistemas de protección, control y medición.

Al contar con un desarrollo nacional de un sistema de pruebas en lazo abierto como el que aquí se describe como resultado de una parte de la investigación reportada en esta tesis, se pretende eliminar la dependencia tecnológica con otros países en esta área, desarrollar un equipo que sea más económico pero con las mismas características que los comerciales, e incluso con algunas características y funciones mejores o adicionales, que se pueden ir desarrollando según las necesidades que se tengan en la aplicación de este tipo de equipo de prueba, ya que se cuenta con la ventaja de ser los creadores del sistema y por lo tanto contar con diagramas de diseño de la parte del hardware y el código fuente del software desarrollado.

El nombre del equipo desarrollado es **VOLTS**, el cual es un acrónimo de "**Versatile Open Loop Testing System**" (Sistema de Pruebas en Lazo Abierto Versátil) y se eligió este nombre ya que se tiene el propósito de darlo a conocer a nivel internacional a través de algunas publicaciones y una posible comercialización a futuro. La palabra Versátil se incluye en el nombre del equipo debido a que se pretende conjuntar las características actuales con las que cuenta el equipo con otras que se desarrollen a futuro y que permitan no solo realizar pruebas en lazo abierto de sistemas y relevadores de protección sino también una amplia gama de pruebas y funciones que hagan al equipo más versátil, como las que se describen en la Sección 3.2.3.4.

3.2.3.1 Software desarrollado para el sistema de pruebas en lazo abierto VOLTS

La Figura 3.7 muestra la ventana principal del equipo de pruebas en lazo abierto VOLTS. Como se puede observar el software de VOLTS cuenta con diferentes opciones que se describen a continuación.

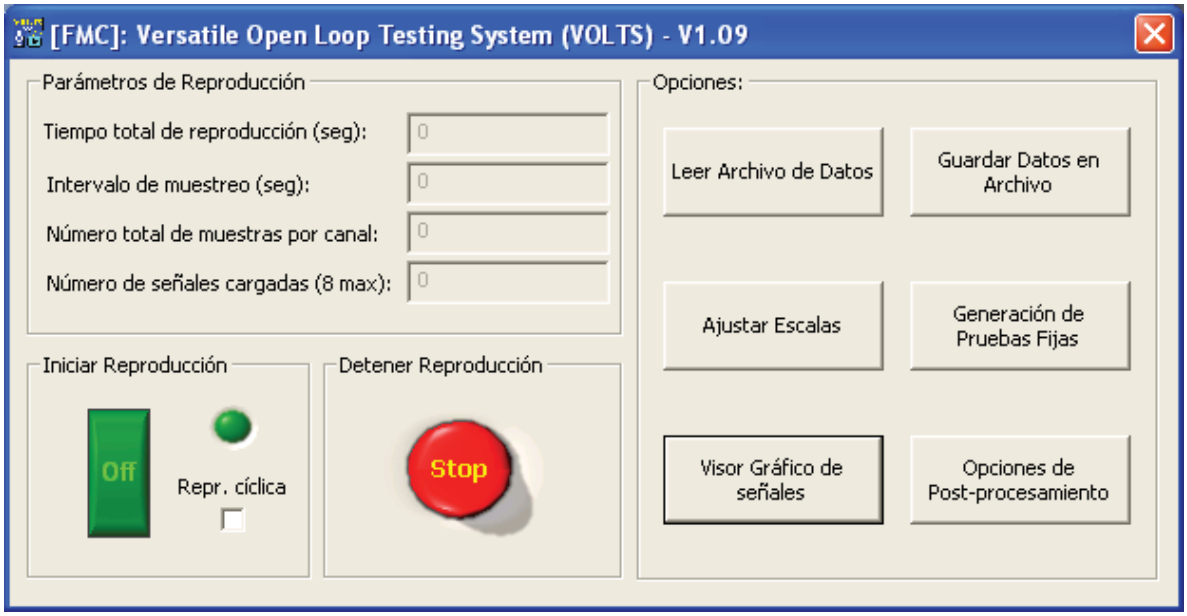


Figura 3.7. Ventana principal de VOLTS.

Archivo de Datos de Entrada a VOLTS

Una de las funciones más importantes con la que debe de contar todo equipo de pruebas en lazo abierto es la de poder leer un archivo que contenga los datos de las señales que se van a reproducir y utilizarlo para efectuar las pruebas en lazo abierto. También debe contar con la opción de visualizar de forma gráfica dichas señales, por lo que se llevó a cabo una labor especial en la implementación de estas dos funciones en el software del sistema de pruebas VOLTS.

La importancia de que todo equipo de prueba en lazo abierto cuente con una opción para reproducir señales de prueba a partir de un archivo de datos de entrada se debe a que existen muchos eventos reales que se pueden recrear o reproducir en modo fuera de línea, a partir de los registros que guardan algunos relevadores digitales o equipos de registro digital y con esto analizar las condiciones en que sucedió el evento, y en muchos casos utilizarlos para mejorar los ajustes o características de los sistemas sometidos a prueba.

El tipo de archivo de datos de señales de entrada que puede leer VOLTS es el formato comúnmente conocido de datos en columnas en un archivo de texto. En este archivo de texto en columnas, la primer columna es el vector de tiempo mientras que cada una de las siguientes columnas contiene

los valores de cada una de las señales que se van a utilizar como señales de prueba, ya sea de voltaje o de corriente. En la Figura 3.8 se muestra un ejemplo de la forma en que deben estar ordenados los datos dentro del archivo de entrada.

```
0.0000000e+000  5.7979503e+001 -1.4142079e+001 -4.9497475e+001
1.0410000e-003  4.9495778e+001  9.8995939e+000 -6.2225397e+001   ...
2.0820000e-003  2.9695515e+001  3.3941267e+001 -6.5053965e+001
   .
   .
   .
1.9674900e-001 -1.4143833e+001  2.8317930e-004 -2.8278049e+000
1.9779000e-001 -1.4143833e+001  2.8317930e-004 -2.8278049e+000   ...
1.9883100e-001 -1.4143833e+001  2.8317930e-004 -2.8278049e+000
```

Figura 3.8. Formato del archivo de entrada a VOLTS.

.

Visor Gráfico de señales a Reproducir con VOLTS

A pesar de que la principal función de un equipo que permita realizar pruebas en lazo abierto es la de reproducir señales de voltaje y/o corriente provenientes del registro de un evento real o de simulaciones realizadas de redes particulares del sistema eléctrico, o incluso provenientes de pruebas fijas generadas por el propio equipo de prueba, resulta también de vital importancia en aplicaciones modernas contar con una herramienta de visualización gráfica que permita observar las señales de entrada, tal y como se visualizarán en los canales analógicos de salida, una vez que estas se reproduzcan y apliquen al equipo bajo prueba. Por lo anterior, al diseñar y desarrollar el equipo de prueba VOLTS se pensó en una función que permita visualizar las señales de entrada, tanto directamente en sus valores primarios de entrada, como también en los valores secundarios o atenuados, tal y como van a salir de los canales analógicos de salida con los que cuenta VOLTS y que se describen en la Sección 3.2.3.2. La Figura 3.9 muestra la ventana del visor gráfico de señales a reproducir.

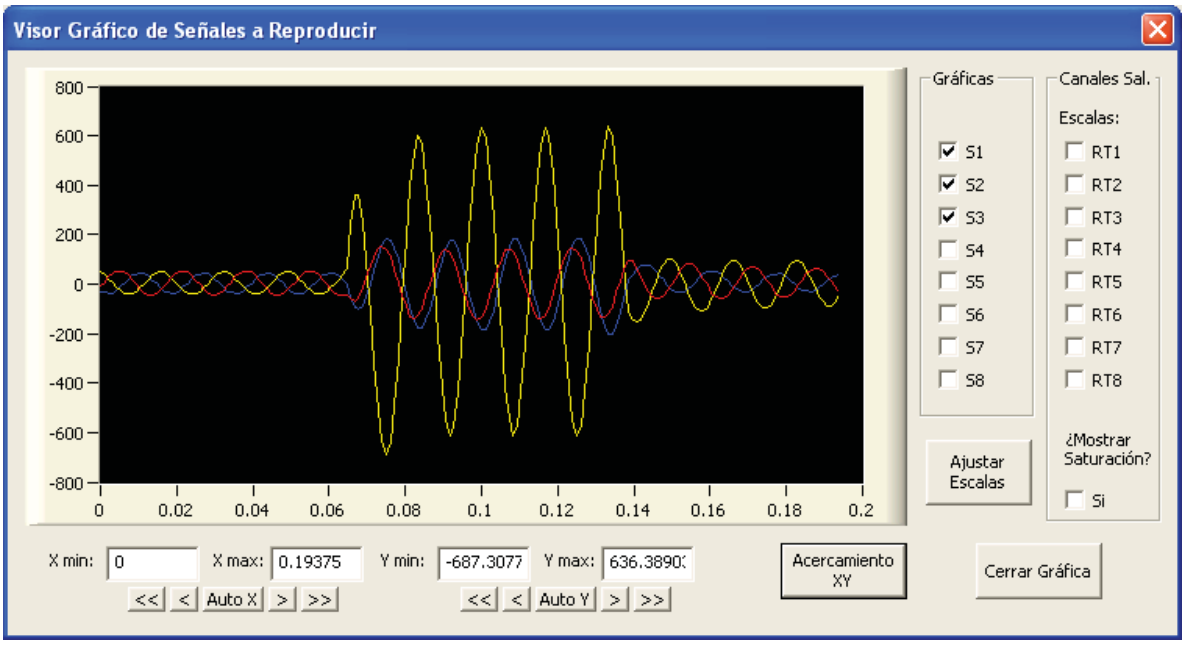


Figura 3.9. Ventana del visor gráfico de señales a reproducir.

El visor gráfico de VOLTS permite realizar acercamientos tanto en el eje del tiempo (eje *x*) como en el eje de voltaje o corriente (eje *y*), realizar corrimientos hacia delante o atrás en el tiempo o hacia arriba y abajo en el eje *y* (el símbolo < o > indica un desplazamiento, que es igual a un décimo del rango seleccionado en los controles de acercamiento, mientras que los símbolos << o >> indican un super-desplazamiento, que es igual a un rango completo seleccionado cada vez que se presiona el control). El visor gráfico de VOLTS permite también volver de forma automática a los rangos máximos en *x* y en *y*, mostrar u ocultar cada uno de los trazos (S1 a S8), ajustar los factores de escala en que se van a reducir cada una de las señales al momento de reproducirse y mostrar cada una de estas señales en valores secundarios o ya escaladas si se selecciona RT1 a RT8.

La opción de mostrar saturación toma en cuenta el rango de salida máximo programado para los canales analógicos de salida (-5 a +5 Volts) y permite al usuario seleccionar el factor de escala adecuado, tal que no haga que se saturen los canales de salida y provoquen que la señal de salida se recorte, sin la necesidad de usar un osciloscopio para ver las señales de salida.

Ajuste de las relaciones de transformación

Los factores de escala en que se van a reducir (o ampliar si se emplean relaciones menores de 1) las señales que se van a reproducir en los canales analógicos de salida de VOLTS se pueden seleccionar, tanto desde la ventana principal de VOLTS que se mostró en la Figura 3.7, como desde el visor gráfico de señales, cuya ventana se muestra en la Figura 3.9.

La Figura 3.10 muestra la ventana de ajustes de los factores de escala; se puede observar que existe un factor de escala por cada señal de entrada leída del archivo de datos o generada a través de las pruebas fijas que se implementaron en VOLTS y que se describen más adelante. Es importante mencionar que si se generan o leen menos señales de las ocho que puede reproducir VOLTS, el resto de factores de escala quedan deshabilitados para que no puedan ser utilizados por el usuario, ya que sería innecesario su uso.

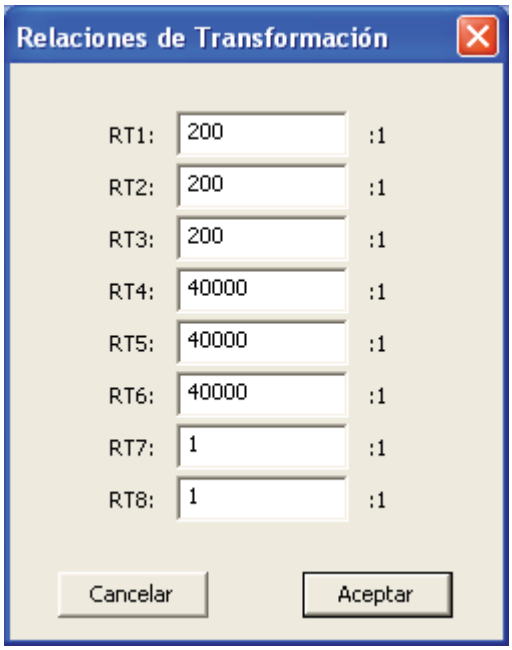


Figura 3.10 Ventana de ajuste de factores de escala para las señales a reproducirse.

La relación seleccionada RTn:1 significa que la señal se va a escalar o multiplicar por un factor igual a 1/RTn; si el valor RTn seleccionado es mayor de la unidad, entonces la relación 1/RTn por la

que se multiplica la señal es reductora (como en la mayoría de los casos se requiere); si el valor de RTn seleccionado es menor que la unidad, entonces la relacion 1/RTn es elevadora.

Generación de señales para pruebas fijas

Existen muchas pruebas que se pueden efectuar con un equipo para prueba en lazo abierto que no requieren del uso de simuladores o registros de eventos reales, sino que se pueden efectuar con formas de onda sencillas predefinidas, tales como señales senoidales de amplitud, frecuencia y fase conocidas, formas de onda no senoidales con un valor RMS conocido o con un contenido armónico predefinido o bien señales dinámicas determinadas por formas de onda senoidales, cuya amplitud cambia durante diferentes rangos de tiempo definidos por el usuario. Este tipo de pruebas fijas permiten calibrar y caracterizar equipos de medición, control y protección así como para determinar niveles de operación, ajuste o disparo. La Figura 3.11 muestra la ventana de generación de pruebas fijas implementadas en VOLTS.

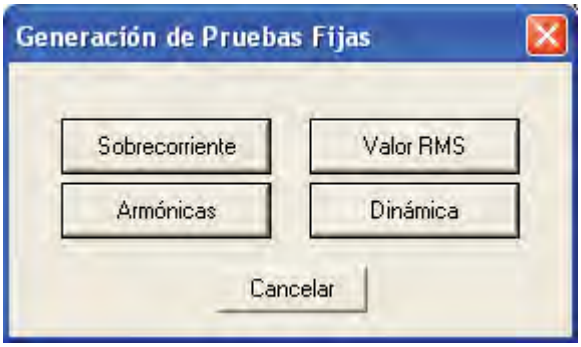


Figura 3.11. Ventana de generación de pruebas fijas.

VOLTS cuenta actualmente con cuatro pruebas fijas (sobrecorriente, valor RMS, Armónicas y Dinámica), sin embargo, existen muchas pruebas más muy útiles que se pueden implementar a futuro, dentro de las que se puede mencionar solo como un ejemplo una prueba de desbalance en la que se generen formas de onda de voltaje o corriente trifásicas desbalanceadas, con un contenido específico de componentes de secuencia cero y negativa.

La Figura 3.12 muestra la ventana que sirve para recibir los datos para las cuatro pruebas fijas. Dependiendo de la prueba seleccionada por el usuario, se activan y desactivan los controles necesarios para cada una de las pruebas.

Opciones de post-procesamiento de señales

Una opción con la que no cuentan los equipos de pruebas en lazo abierto F6150 ni RTP, directamente integradas dentro de su software de control del equipo, y que se implementó dentro del software de VOLTS, es la de realizar post-procesamiento de las señales a reproducirse. La idea de las opciones de post-procesamiento es la de aplicar procesos matemáticos a las señales de entrada provenientes de un archivo, o generadas a través de la opción de pruebas fijas, con el propósito de mejorar sus características (eliminando ruido, incrementando la tasa de muestreo, ajustando su magnitud, etc.) o extraer información útil de ellas aplicándoles diferentes técnicas de procesamiento digital o matemáticas.



Figura 3.12 Ventana de datos para las pruebas fijas.

Por el momento se tiene implementada solo una función dentro de las opciones de post-procesamiento, que es la función de duplicar la frecuencia de muestreo de las señales de salida. Esta función se implementó para demostrar la aplicación de las funciones de post-procesamiento. Se sugiere la implementación de otras funciones, tales como la obtención de derivadas de las funciones de entrada, integrales, análisis de Fourier -para conocer el contenido armónico- funciones de obtención de componentes de secuencia, escalado de magnitudes, corrimiento en el tiempo de las señales, adición de componentes de frecuencia, edición directa de las señales, adición de ruido blanco a las señales, etc.

La función implementada dentro de las opciones de post-procesamiento para duplicar la frecuencia de muestreo tiene una gran importancia, ya que reconstruye una señal de mayor resolución en el tiempo o tasa de muestreo, a partir de una señal con una tasa de muestreo más baja y a través del uso de técnicas de interpolación de la señal de entrada. Una vez incrementada la tasa de muestreo de las señales, éstas se pueden reproducir a esta nueva tasa de muestreo generando una señal más continua o menos escalonada. La frecuencia máxima de muestreo final de la señal reconstruida no debe exceder de 1MS/s ya que esta es la frecuencia de muestreo máxima que puede reproducir VOLTS. La Figura 3.13 muestra la ventana de post-procesamiento de señales, en donde se puede ver la opción de duplicar la frecuencia de muestreo de las señales cargada en VOLTS.

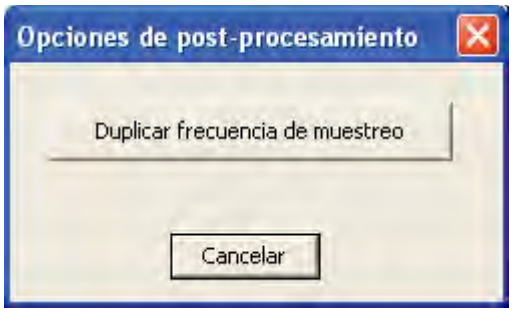


Figura 3.13. Ventana de opciones de post-procesamiento de señales.

Podría pensarse que duplicar la tasa de muestreo de una señal pueda no ser suficiente, sin embargo, debido a que el software del equipo de pruebas VOLTS fue desarrollado totalmente haciendo uso de Programación Orientada a Objetos (POO) la forma en que se implementó esta función de duplicar la frecuencia de muestreo permite aplicarla las veces que se requiera, es decir, si se tienen cargadas en VOLTS señales cuya tasa de muestreo se requiera duplicar, basta con seleccionar la opción de duplicar la frecuencia de muestreo y el proceso que se sigue en esta rutina toma las señales cargadas en VOLTS, las introduce dentro del objeto de post-procesamiento de señales, aplica las técnicas de interpolación y con esto duplica la cantidad de muestras de todas las señales cargadas en VOLTS, y ajusta los valores del intervalo de muestreo a la mitad y el número de muestras totales al doble. Una vez que se ha realizado lo anterior, las señales ya procesadas se regresan al objeto de la aplicación principal de VOLTS, para que estas señales puedan ser reproducidas a la nueva tasa de muestreo, puedan ser grabadas en un archivo o bien pueda aplicárseles de nuevo la opción de duplicar la frecuencia de muestreo, tantas veces como se requiera, con lo que en realidad esta función se convierte en una opción que multiplica la frecuencia de muestreo en potencias de dos (2,4,8,16,...2^n), dependiendo del número de veces *n* que en forma sucesiva se seleccione esta opción para duplicar la frecuencia. Esta misma filosofía se pretende utilizar cuando se implementen otras funciones de post-procesamiento, tal como la función para determinar la derivada de las señales de entrada.

La técnica de interpolación utilizada para implementar la función para duplicar la tasa de muestreo de la señal de entrada fue una interpolación simple hacia adelante de primer orden que está definida de acuerdo a la Ecuación 3.1.

$$x_{k+1/2} = x_k + \frac{1}{2}\left(x_{k+1} - x_k\right) \tag{3.1}$$

donde:

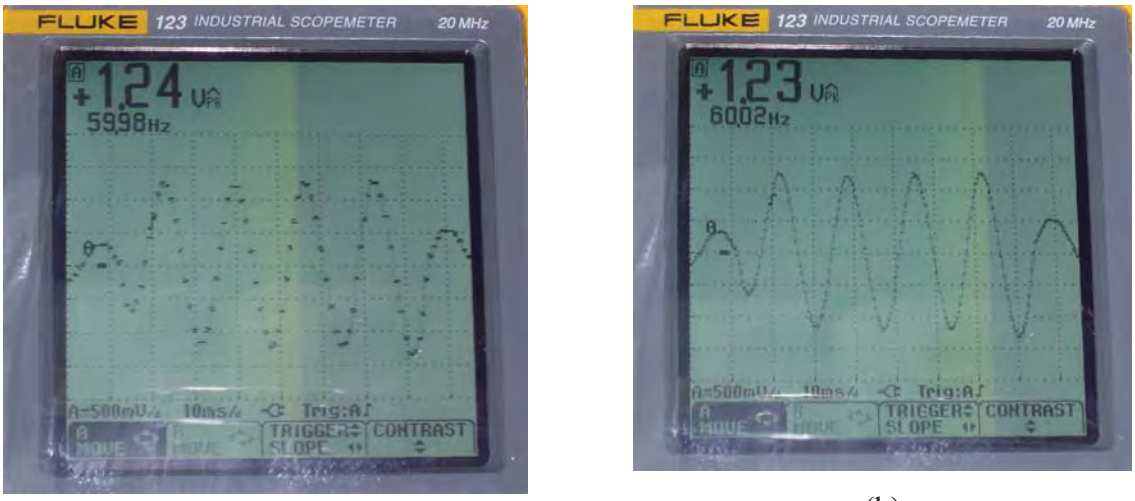
x_k es el valor actual de la señal a interpolar

x_{k+1} es el valor de la señal a interpolar un intervalo de muestreo h después

$x_{k+1/2}$ es el valor interpolado a la mitad del intervalo de muestreo

Un ejemplo para ilustrar la importancia que tiene la función de incrementar la tasa de muestreo de las señales de entrada, se muestra en la Figura 3.14 donde se presentan dos oscilogramas de una

señal registrada a partir de un evento real por medio de un relevador SEL-321, que almacena las señales de eventos de operación muestreados a 16 muestras por ciclo. La Figura 3.14(a) muestra las señales reproducidas a su tasa original de 16 muestras por ciclo mientras que la Figura 3.14(b) muestra la señal después de haber aplicado 6 veces la opción de duplicar la frecuencia de muestreo, es decir, con una nueva tasa de $16*2^6$=1024 muestras por ciclo.



(a) (b)

Figura 3.14. Oscilogramas de una señal reproducida con VOLTS. (a) 16 muestras por ciclo, (b) 1024 muestras por ciclo después de duplicar 6 veces la frecuencia de muestreo.

Generación de archivo de salida

VOLTS cuenta con una opción para generar un archivo de salida de todas o algunas de las señales que estén cargadas en el software de pruebas. Esta opción se diseñó de tal forma que solo almacena las señales que se encuentren seleccionadas en la ventana del visor gráfico de señales; lo cual le confiere un poder adicional, ya que si se cargaron las señales de un archivo generado por un simulador o bien proveniente del registro de un relevador o registradora de eventos, se puede generar un nuevo archivo que contenga solo algunas de las señales que sean de interés. También se puede generar un archivo de salida con señales generadas a partir de la opción de pruebas fijas o bien con señales a las que se les haya aplicado alguna opción de post-procesamiento.

Opción de reproducción de señales

La forma de iniciar la reproducción de las señales cargadas en VOLTS es muy sencilla, basta con oprimir el botón de color verde que se encuentra en la ventana principal de VOLTS que se muestra en la Figura 3.7. Cuando la la reproducción se inicia, se encienden y parpadean tanto el botón como el led de color verde, indicando que inicia y se encuentra en proceso la reproducción de señales; también se enciende el botón de paro de color rojo, indicando que en cualquier momento el usuario puede detener la reproducción de las señales oprimiendo este botón.

Las señales se pueden generar usando dos modos de reproducción: reproducción no cíclica y reproducción cíclica. Para reproducir las señales una sola vez, la opción de reproducción cíclica no debe estar seleccionada y en este caso la duración de las señales generadas es como máximo el tiempo con el que originalmente fueron cargadas o generadas las señales; puede ser menor si se detiene antes la reproducción, presionando el botón de paro. Si se selecciona la opción de reproducción cíclica, entonces la señal se genera de forma indefinida reproduciéndola cíclicamente, es decir, al final del tiempo total de duración de la señal se reinicia nuevamente la reproducción, sin tiempos de interrupción, formando una señal periódica de duración indeterminada, que solo se puede detener presionando el botón de paro.

La opción de reproducción cíclica es particularmente importante, ya que permite generar señales periódicas contando solo con los datos de un ciclo de la señal, lo cual le otorga una gama de aplicaciones muy interesantes adicionales a la prueba de relevadores, que se comentan en la Sección 3.2.3.4.

3.2.3.2 Hardware del sistema de prueba en lazo abierto VOLTS

Como se describió en las Secciones 3.2.1 y 3.2.2 para los equipos de pruebas en lazo abierto F6150 y RTP, respectivamente, un equipo de pruebas en lazo abierto requiere principalmente como parte del hardware que lo constituye, un conjunto de canales analógicos de salida para reproducir las formas de onda que se construyen a partir de los datos residentes en el software del equipo de prueba

y que se generan, ya sea a partir de pruebas fijas o de la lectura de un archivo de datos de entrada; adicionalmente, se debe contar con canales digitales de entrada y salida, tanto para poder leer las señales lógicas de operación del sistema bajo prueba, como para generar salidas lógicas de sincronía o activación de determinadas funciones en el equipo sometido a prueba.

Actualmente existen diferentes fabricantes que comercializan tanto tarjetas de adquisición de datos (DAQ) que están basadas en convertidores de analógico a digital (ADC), como tarjetas de salidas analógicas (AO), que están basadas en convertidores de digital a analógico (DAC). La mayoría de fabricantes de este tipo de tarjetas ofrece sistemas muy completos, de tal forma que tanto las tarjetas DAQ como las tarjetas AO incluyen un conjunto de entradas y salidas digitales, temporizadores (timers) y opciones de acondicionamiento de las señales analógicas de salida o entrada.

Para el diseño de la parte de hardware del sistema de pruebas VOLTS se eligieron tarjetas de la marca National Instruments, debido a que National Instruments es un líder reconocido en el área de la adquisición de datos y generación de señales analógicas. Para la parte de generación de señales analógicas, se eligió una tarjeta NI PCI-6713 que cuenta con 8 canales analógicos de salida de 12 bits, cuya tasa de muestreo máxima es de 1 Ms/s (un millón de muestras por segundo) por canal, es decir, se pueden generar señales en los ocho canales de salida con intervalos de muestreo de hasta 1μS. El paso de muestreo mínimo que es capaz de utilizarse en las reproducciones de señales con el sistema de pruebas VOLTS es mucho mejor al que puede alcanzarse con el RTP (35μS) o al correspondiente a la frecuencia base de reproducción del equipo F6150 (100μS). Esta tarjeta de salidas analógicas (AO) cuenta también con 8 líneas digitales que se pueden configurar como entrada o salidas, y dos contadores/temporizadores de 24 bits de resolución.

La versión actual del sistema de pruebas VOLTS no hace uso por ahora de las entradas y salidas digitales, sin embargo, se cuenta con la capacidad para implementar funciones adicionales en un tiempo relativamente corto.

Dentro del hardware utilizado para desarrollar el tema principal de tesis que se presenta en los Capítulos 4 y 5 se cuenta también con una tarjeta de adquisición de datos (DAQ) NI PCI-MIO-16E-4, la cual cuenta con 16 canales analógicos de entrada aterrizados o bien 8 diferenciales con una

resolución de conversión de 12 bits y una tasa de muestreo máxima de 500kS/s (quinientas mil muestras por segundo). Esta tarjeta cuenta también con 2 canales analógicos de salida de 12 bits, con la capacidad de generar señales de salida con una tasa de muestreo de 1MS/s (un millón de muestras por segundo), ocho líneas digitales que se pueden configurar como entradas o salidas y dos contadores/temporizadores de 24 bits.

Esta tarjeta de adquisición de datos es parte del hardware del sistema de pruebas, por lo que permitirá a futuro la implementación de funciones para generar señales lógicas de salida y leer señales lógicas y analógicas provenientes del equipo bajo prueba.

La Figura 3.15. muestra las fotografías de las dos tarjetas que constituyen el hardware del equipo de pruebas VOLTS.



(a) (b)

Figura 3.15. Tarjetas que conforman el hardware del equipo de pruebas VOLTS. (a) Tarjeta de salidas analógicas NI PCI-6713, (b) Tarjeta de adquisición de datos (DAQ) NI PCI-MIO-16E-4.

3.2.3.3 Esquemas de conexión de VOLTS

En la Figura 3.16 se muestra el esquema de conexión del sistema de pruebas VOLTS. Se puede observar que VOLTS no cuenta con salidas amplificadas, por lo que se deben utilizar amplificadores externos en los casos en que el equipo bajo prueba lo requiera. En muchos casos se pueden realizar pruebas en baja señal, como es el caso de prueba de relevadores digitales de última generación, que

permiten la inyección directa de señales sin la necesidad de usar amplificadores de potencia y con la ventaja de no manejar niveles peligrosos de voltajes y corrientes, pero contando con la importante característica de manejar lecturas primarias en el relevador bajo prueba mediante la selección apropiada de las relaciones de transformación de corriente y voltaje en el relevador, y las escalas de conversión de las señales de salida en el equipo de prueba, VOLTS.

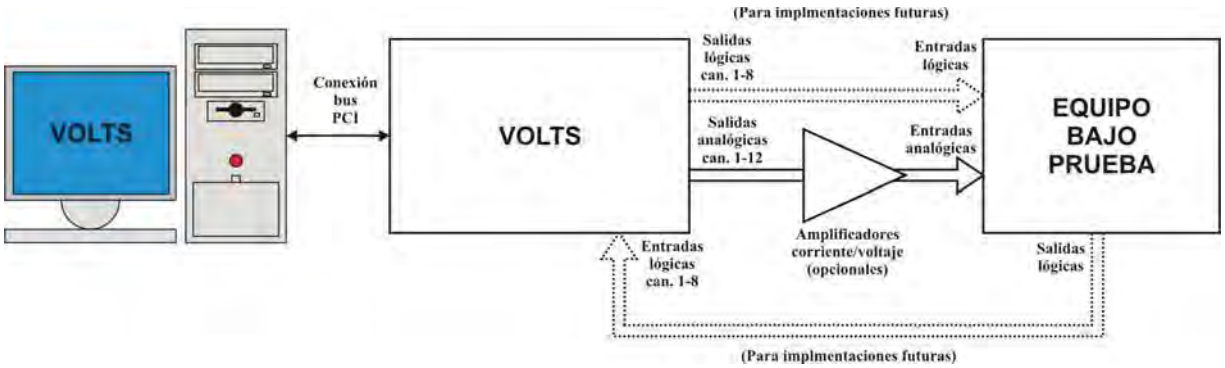


Figura 3.16. Esquema de conexión de VOLTS.

Se puede observar en la Figura 3.16. que la conexión del hardware del sistema de pruebas VOLTS es directa a través de un bus PCI, sin embargo, National Instruments cuenta con una gama muy amplia de tarjetas DAQ y AO que cuentan con conexiones USB o FireWire, que darían más flexibilidad al sistema de pruebas permitiendo que este sea más portátil y flexible, al no tener que instalar las tarjetas dentro de la computadora o poder utilizarse con una computadora portátil.

La selección de otro tipo de tarjetas DAQ y AO de National Instruments permitiría el reemplazo directo sin modificaciones del software, ya que los drivers utilizados para estas tarjetas y la biblioteca de programas Measurement Studio utilizadas dentro de la programación Visual C++ .NET 2003 con la que se creó el software de VOLTS permiten el cambio de tarjetas prácticamente sin modificaciones del código, con solo instalar los drivers para las nuevas tarjetas.

National Instruments no cuenta por el momento con tarjetas DAQ y AO con conexión de red Ethernet, sin embargo, este tipo de tarjetas se encuentran disponibles en el mercado por parte de otros fabricantes. El uso de tarjetas con conexión de red Ethernet flexibiliza aún más el uso de los equipos de prueba, debido a que permite su control de forma remota o con acceso por parte de varios

usuarios a través de una red de computadoras. La mayoría de fabricantes de este tipo de tarjetas cuenta con drivers que pueden utilizarse dentro del entorno de Visual C++, por lo que para adaptar este tipo de tarjetas al sistema de pruebas VOLTS solo se requeriría de algunos cambios en la parte del manejo de datos entre el software de VOLTS y las tarjetas DAQ y AO.

En el esquema de conexiones de VOLTS se presenta con línea punteada el manejo de entradas y salidas lógicas para interactuar con el equipo bajo prueba; se pretende implementar estas funciones en mejoras futuras del equipo de prueba. También se debe trabajar en opciones para permitir pruebas punto a punto con sincronización vía GPS y sincronización y arranque mediante líneas digitales externas.

3.2.3.4 Universo de Aplicaciones del sistema de pruebas VOLTS

Como ya se ha descrito en secciones anteriores, la principal aplicación de los equipos de prueba en lazo abierto es la de efectuar pruebas a sistemas o relevadores de protección, además, algunos de estos equipos documentan también su aplicación en la prueba de sistemas de control y de medición. Sin embargo, la capacidad de todo sistema de pruebas en lazo abierto de reproducir o generar señales reales en conjunto con diversas funciones o capacidades para generar pruebas fijas o post-procesar las señales cargadas en el sistema de prueba como en el caso del sistema VOLTS, le confieren el potencial para utilizarse en un conjunto de aplicaciones adicionales a las de prueba de sistemas de protección, control y medición, por lo que a continuación se describen algunas de las aplicaciones que se le pueden dar al sistema de prueba VOLTS.

- *Pruebas de equipos o sistemas de protección*. En las que se incluyen pruebas de comportamiento transitorio haciendo uso de datos provenientes de registros de señales de eventos reales o de resultados de simulaciones, pruebas de ajustes, calibración, generación de curvas de operación, etc.

- *Pruebas de equipos de medición*. Con las que se pueden evaluar características como mediciones de valor RMS, calibración, respuesta a la distorsión armónica en las señales de entrada, evaluación de la precisión de equipos de medición de distorsión armónica, etc.

- *Pruebas de sistemas de control*. Con las que se pueden generar señales de entrada para evaluar el funcionamiento de sistemas de control, respuesta de controladores P, PI, PID, etc., generación de señales para la evaluación de nuevos esquemas de control, ajuste y calibración de sistemas de control, entre otras.

- *Evaluación de calidad de la energía*. Al cargar datos de mediciones de campo de corrientes y voltajes y utilizar funciones de post-procesamiento implementadas a futuro que tengan la capacidad de análisis de armónicos, cálculo de mediciones bajo condiciones desbalanceadas y con contaminación armónica tales como potencias, valores RMS, factor de potencia, componentes de secuencia, etc. y en general parámetros que evalúen la calidad de la energía en función del nivel de contaminación armónica y del grado de desbalance de las señales de corriente y voltaje de entrada [IEEE 1459-2000].

- *Ayuda en el diseño de funciones de protección.* Al cargar datos provenientes del registro de señales de eventos reales en los que no operaron u operaron de forma inadecuada los sistemas de protección y aplicar diferentes funciones de post-procesamiento futuras, tales como análisis de Fourier, derivadas, integrales, componentes de secuencia, etc. para identificar patrones únicos que aparezcan en el caso particular de estudio y que permitan diseñar una función de protección altamente selectiva basada en dichos parámetros únicos.

- *Ayuda en el diseño electrónico*. Al crear señales de control que operen directamente con diferentes componentes electrónicos, tales como dispositivos semiconductores de potencia en convertidores conmutados, lo cual aceleraría la prueba del funcionamiento de dichos convertidores, al crear las señales de control con la ayuda de un simulador o programa matemático como Matlab® y reproducirlo con el sistema VOLTS, sin necesidad de hacer diseños complejos de circuitos de control que retrasen y hagan mas costosa la prueba de funcionamiento de diferentes técnicas de conmutación.

- *Reconstrucción de señales*. Para el caso de señales muestreadas a tasas muy bajas, VOLTS cuenta con la función de incrementar la tasa de muestreo lo cual permite mejorar la calidad

de la señal al aplicar técnicas de interpolación [Johns y Salman 1995] para calcular muestras adicionales de la señal y crear un archivo o reproducir la señal con una nueva tasa de muestreo más alta. A futuro se podrían implementar también como funciones de post-procesamiento filtros digitales de diferentes tipos como pasabajas, pasa altas, pasa banda, de rechazo de banda, etc. basados en técnicas de Fourier, Filtros FIR, IIR, etc.

- *Generador de funciones*. Para diferentes aplicaciones en las que se requiere generar señales conocidas como senoidales, triangulares, cuadradas, etc. o señales complejas como ondas senoidales rectificadas, señales PWM, señales compuestas, etc. Estas señales se pueden generar con la ayuda de un programa externo que genere el archivo de datos, que sirva como entrada o bien a través de la implementación de una función especial dentro de VOLTS que genere diferentes tipos de señales, en las que se puedan modificar parámetros tales como frecuencia, fase, nivel de corriente directa, etc. En este caso, VOLTS cuenta actualmente con ocho canales de salida, que podrían generar señales simultáneas y sincronizadas para aplicaciones especiales, en lugar de contar con solo un canal de salida como la mayoría de generadores analógicos.

3.3 Casos de Estudio

En esta sección se presentan diversos casos de estudio en los que se realizaron pruebas en lazo abierto a relevadores de protección con el propósito de obtener diferentes características de operación de los mismos y demostrar la utilidad de los esquemas de pruebas en lazo abierto. En cada caso se describe el tipo de prueba realizada, el o los relevadores sometidos a prueba y se presentan los resultados obtenidos con el equipo de prueba en lazo abierto desarrollado (VOLTS) así como una comparación con los resultados obtenidos con un equipo de prueba comercial.

3.3.1 Caso 3.1. Obtención de curvas de tiempo inverso de un relevador digital

La función de protección de sobrecorriente de tiempo inverso (51) es una de las funciones de protección mas comúnmente utilizadas en diferentes esquemas de protección de los elementos del sistema eléctrico de potencia, por lo que la mayoría de equipos de pruebas en lazo abierto incluyen

alguna función para poder generar y aplicar señales senoidales de corriente a frecuencia de línea y con una magnitud conocida, con la cual se pueda probar el tiempo de operación de la función 51 para diferentes magnitudes de las formas de onda de corriente aplicadas para obtener las curvas de operación.

La obtención de las curvas de operación de un relevador de sobrecorriente de tiempo inverso es importante, desde el punto de vista de evaluar su comportamiento, para verificar que dicho comportamiento corresponda al que describe o documenta el fabricante y de esta forma evaluar la condición o estado de calibración o funcionamiento del dispositivo.

Estas pruebas en lazo abierto para la obtención de las curvas de operación de la función de sobrecorriente de tiempo inverso se realizaron con el equipo de prueba VOLTS así como también con el equipo de pruebas en lazo abierto comercial F6150 de la marca DOBLE, con el propósito de verificar los resultados obtenidos con VOLTS. El relevador seleccionado para realizar las pruebas en lazo abierto fue el relevador digital SEL-351 [SEL-351 2002]. Las pruebas realizadas con VOLTS se realizaron mediante la interfase de baja señal del relevador digital bajo prueba, ya que VOLTS no cuenta con salidas amplificadas, mientras que las pruebas efectuadas con el equipo de pruebas comercial F6150 se realizaron inyectando directamente las corrientes *Ia*, *Ib* e *Ic* con magnitudes en un rango de 1.5 a 10 *A rms*, debido a que el F6150 cuenta con salidas amplificadas. Las Figuras 3.17 y 3.18 muestran los esquemas de conexiones de VOLTS y del F6150, respectivamente, para este caso de estudio.

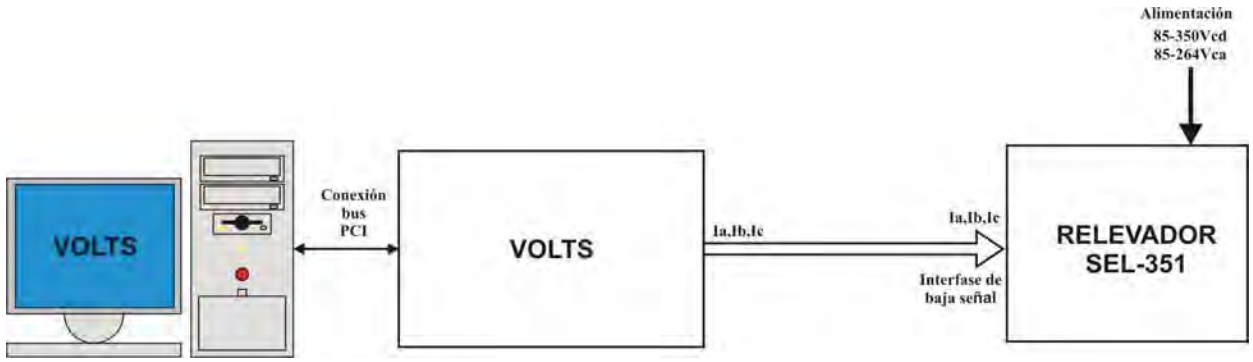


Figura 3.17. Diagrama de conexiones para prueba de obtención de curvas de operación de la función 51 de un relevador SEL-351 mediante el uso del equipo de pruebas VOLTS.

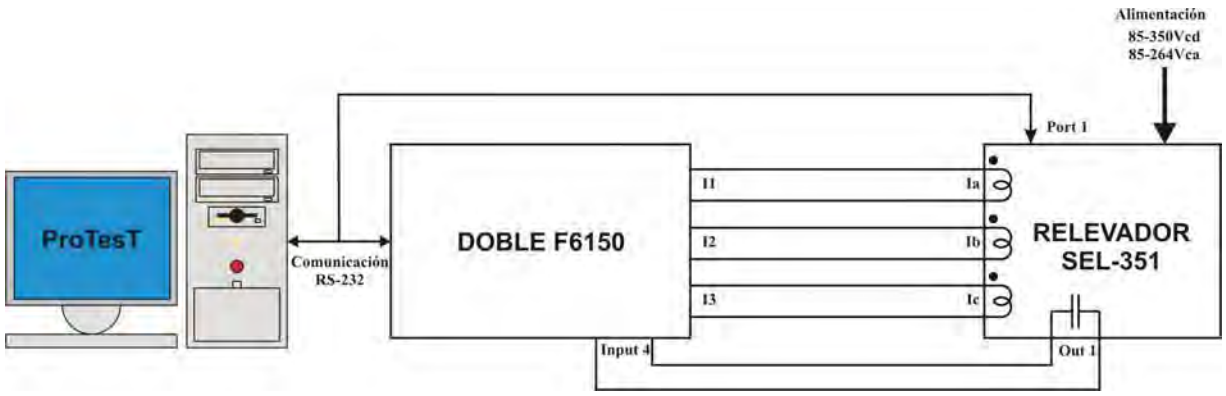


Figura 3.18. Diagrama de conexiones para prueba de obtención de curvas de operación de la función 51 de un relevador SEL-351 mediante el uso del equipo de pruebas F6150.

Para determinar las curvas de operación del relevador se diseñó un conjunto de formas de onda como el que se muestra en la Figura 3.19. Se puede observar que la forma de onda consta de dos secciones. En la primer sección se tiene una forma de onda de corriente senoidal trifásica balanceada, con una magnitud fija de *0.5 A rms*, mientras que la segunda sección consta de una onda de corriente senoidal trifásica balanceada, con magnitudes que varían desde *1.5* a *10 A rms* para cada prueba realizada, con el propósito de construir con los resultados de las pruebas las curvas de operación de tiempo inverso. La Figura 3.19 muestra el caso particular en el que la forma de onda de corriente de la segunda sección tiene una magnitud de *1.5 A rms*.

Para efectuar las pruebas en lazo abierto para construir dichas curvas de operación de la función 51 del relevador digital SEL-351 haciendo uso de los esquemas de conexión de las Figuras 3.17 y 3.18 y las formas de onda de la Figura 3.19, se efectuaron los siguientes ajustes en el relevador: ajuste de sobrecorriente (*pickup*) de 1 *A rms*, familia de curvas muy inversas del estándar americano [IEEE C37.112-1996] (U3 de acuerdo a la nomenclatura del relevador), y la selección del retardo de tiempo se varía dependiendo de la curva que se quiera construir dentro de la familia. En la Tabla 3.1 se presentan los resultados para los tiempos de operación del relevador, obtenidos con VOLTS para construir 6 curvas diferentes dentro de la familia de características muy inversas del estándar americano, seleccionando los valores de retardo de tiempo (Time Delay) para cada una de las curvas de *0.5, 1.0, 2.0, 3.0, 4.0 y 5.0 seg.*, respectivamente; la Tabla 3.2 presenta los resultados obtenidos con el equipo de pruebas en lazo abierto F6150.

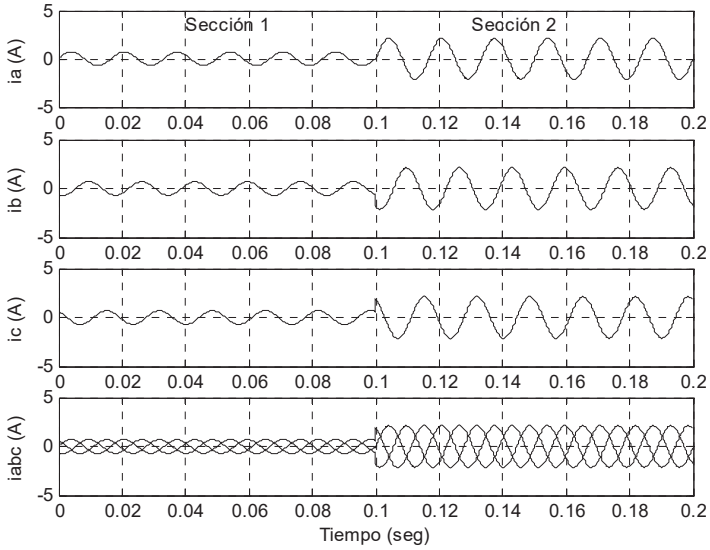


Figura 3.19. Formas de onda para la construcción de las curvas de sobrecorriente del relevador bajo prueba.

Tabla 3.1. Tiempos de operación obtenidos con VOLTS en las pruebas de sobrecorriente para la construcción de las curvas de operación de la función 51 del relevador SEL-351.

Sobrecorriente (A rms)	**Tiempos de operación (seg)**					
	TD=0.5	**TD=1.0**	**TD=2.0**	**TD=3.0**	**TD=4.0**	**TD=5.0**
1.5	1.55	3.15	6.2	9.2	12.5	15.45
2.0	0.680	1.36	2.71	4.1	5.52	6.9
2.5	0.420	0.840	1.69	2.5	3.315	4.05
3.0	0.280	0.570	1.14	1.7	2.3	2.85
3.5	0.215	0.430	0.860	1.32	1.75	2.05
4.0	0.175	0.350	0.700	1.04	1.39	1.72
5.0	0.124	0.250	0.500	0.764	1.0	1.25
6.5	0.088	0.185	0.378	0.560	0.745	0.92
8.5	0.072	0.150	0.290	0.440	0.58	0.715
10.0	0.066	0.124	0.261	0.390	0.515	0.65

Existen varias formas de medir los tiempos de operación del relevador pudiendo ser con el mismo equipo de prueba en el caso del F6150, con un osciloscopio en el caso de las pruebas efectuadas con VOLTS y adicionalmente con el propio relevador si se trata del relevador digital. Los resultados obtenidos tanto con VOLTS como con el equipo de pruebas comercial F6150 se presentan en las gráficas 3.21 y 3.22, respectivamente. Dichos resultados se comparan con las ecuaciones teóricas

que presenta el fabricante del relevador en sus hojas de características. La Ecuación (3.1) representa la respuesta teórica del relevador SEL-351, de acuerdo a la información que proporciona el fabricante [SEL-351 2002].

Tabla 3.2. Tiempos de operación obtenidos con el F6150 en las pruebas de sobrecorriente para la construcción de las curvas de operación de la función 51 del relevador SEL-351.

Sobrecorriente (A rms)	**Tiempos de operación (seg)**					
	TD=0.5	**TD=1.0**	**TD=2.0**	**TD=3.0**	**TD=4.0**	**TD=5.0**
1.5	1.592	3.184	6.38	9.568	12.759	15.952
2.0	0.684	1.379	2.763	4.155	5.538	6.918
2.5	0.413	0.834	1.662	2.492	3.326	4.154
3.0	0.288	0.575	1.154	1.738	2.317	2.896
3.5	0.217	0.441	0.876	1.312	1.755	2.188
4.0	0.179	0.345	0.7	1.062	1.408	1.763
5.0	0.129	0.254	0.504	0.77	1.025	1.279
6.5	0.096	0.183	0.375	0.563	0.75	0.942
8.5	0.075	0.141	0.291	0.437	0.588	0.737
10.0	0.063	0.129	0.258	0.396	0.525	0.663

$$t_p = TD * (0.0963 + 3.88/(M^2 - 1)) \tag{3.1}$$

donde:

t_p es el retardo de tiempo del disparo
TD es el retardo de tiempo de la curva
M es el múltiplo no entero del ajuste de sobrecorriente ó *pick-up*

Se puede observar en las Figuras 3.20 y 3.21 que las curvas prácticas obtenidas a partir de la prueba en lazo abierto tanto con VOLTS y con el F6150, de la función de sobrecorriente del relevador SEL-351, coinciden totalmente con las curvas construidas a partir de la Ecuación 3.1, lo cual indica que la función de sobrecorriente del relevador se encuentra operando correctamente, de acuerdo a la información proporcionada por el fabricante y que el equipo de prueba desarrollado también funciona correctamente.

Este tipo de pruebas para la obtención de curvas de operación de un relevador de corriente son muy útiles para caracterizar un relevador cuyas características se desconozcan, o bien se desee conocer el correcto funcionamiento del mismo, acorde con las especificaciones del fabricante.

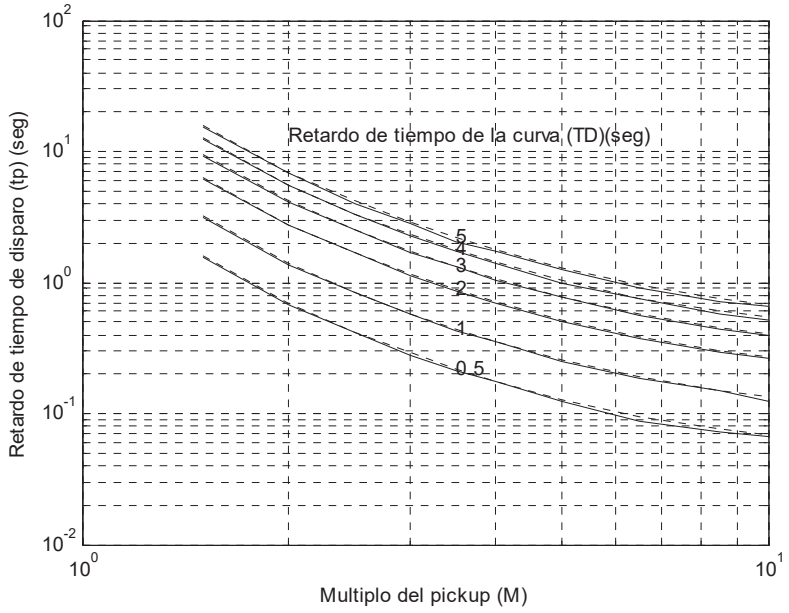


Figura 3.20. Curvas de operación de la función de sobrecorriente del relevador SEL-351. Comparación de curvas obtenidas prácticamente con el equipo de pruebas VOLTS (línea contínua) vs. curvas teóricas (línea discontínua).

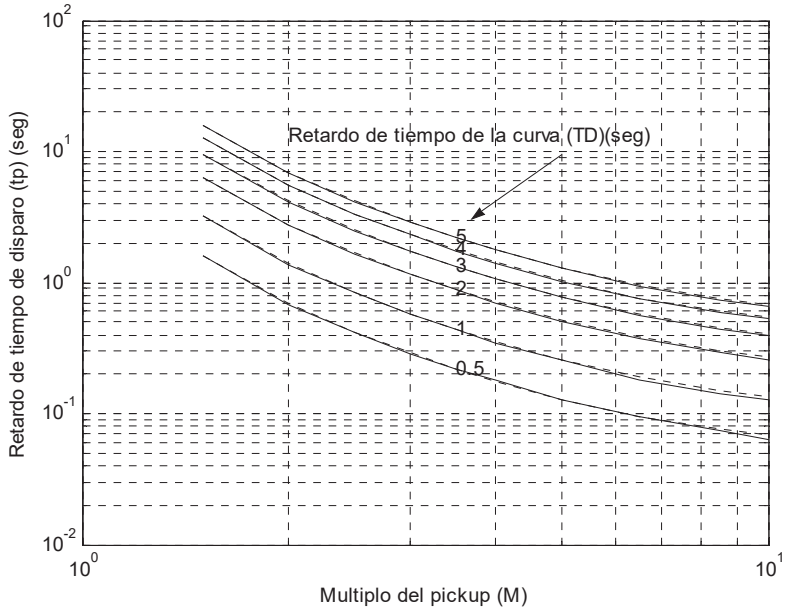


Figura 3.21. Curvas de operación de la función de sobrecorriente del relevador SEL-351. Comparación de curvas obtenidas prácticamente con el F6150 (línea contínua) vs. curvas teóricas (línea discontínua).

3.3.2 Caso 3.2. Pruebas de armónicos a tres generaciones de relevadores de protección

Las pruebas en lazo abierto que se presentan en esta sección se realizaron con el propósito de conocer la respuesta de las tres generaciones de relevadores de sobrecorriente (electromecánicos, estáticos y digitales) a señales de entrada con contaminación armónica.

Para evaluar el impacto de la distorsión armónica en la operación de las diferentes generaciones de relevadores de protección, se diseñó un conjunto de formas de onda de corriente, como el que se muestra en la Figura 3.22. Se puede observar que la segunda sección se ha modificado con respecto a la de las formas de onda de las pruebas sin distorsión armónica utilizadas como referencia y que son iguales a las que se presentan en la Figura 3.19. La modificación de la segunda sección de las formas de onda consiste en la adición del armónico del cual se quiere evaluar su impacto a la forma de onda de corriente senoidal. Lo anterior da como resultado una señal contaminada por un armónico específico. La Figura 3.22 muestra el caso particular de una forma de onda de corriente a la que se ha adicionado en la segunda sección un quinto armónico del 50% con respecto de la fundamental.

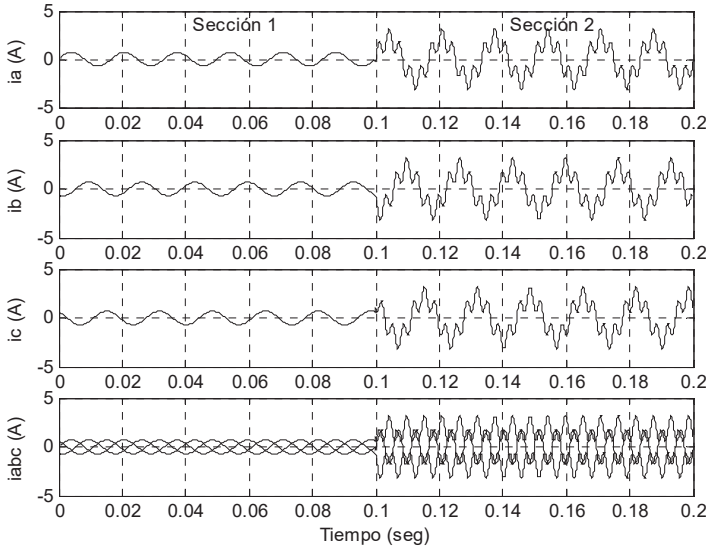


Figura 3.22. Formas de onda para la prueba de distorsión armónica con quinto armónico al 50% bajo condiciones balanceadas.

Para efectuar las pruebas de armónicos a cada relevador se construyeron un conjunto de formas de onda en las que a una forma de onda de corriente senoidal de 60Hz se le adicionó un armónico específico con magnitudes del 25, 50 y 75%, respectivamente, de la magnitud de la componente fundamental. Las pruebas de armónicos se realizaron con cada uno de los armónicos, del segundo al décimo tercero. Debido a que el tercer, quinto y séptimo armónico son los que mas comúnmente aparecen en situaciones reales de contaminación armónica, las pruebas correspondientes a estos armónicos se realizaron de manera más detallada para valores de la componente fundamental de *1.5, 2.0, 2.5, 3.0, 3.5, 4.0, 5.0, 6.5, 8.5 y 10.0 A rms*, respectivamente. Para el resto de los armónicos, la prueba se realizó con una sola magnitud de la componente fundamental y una sola magnitud del armónico seleccionado.

Los relevadores probados fueron el relevador electromecánico GE 12IAC77B805A de la marca General Electric [GE 12IAC77B805A], el relevador estático RSC-02 de la marca Kitron [RSC-02] y el relevador digital SEL-351 de la marca Schweitzer [SEL-351 2002]. Las pruebas realizadas al relevador electromecánico y al relevador estático fueron realizadas únicamente con el equipo de pruebas en lazo abierto comercial F6150, ya que este equipo cuenta con salidas amplificadas del tipo que requieren este tipo de relevadores, mientras que el equipo desarrollado en esta tesis cuenta actualmente solo con salidas de baja señal. Las pruebas efectuadas al relevador digital fueron realizadas tanto con el equipo de pruebas desarrollado en esta tesis (VOLTS) como con el equipo de pruebas comercial F6150, ya que este tipo de relevadores digitales permiten realizar pruebas tanto con valores nominales como en baja señal. Los esquemas de conexiones utilizados son los que se presentan en las Figuras 3.17 y 3.18, para los equipos de pruebas en lazo abierto VOLTS y F6150, respectivamente.

Las Tablas 3.3 a 3.6 muestran los tiempos de operación obtenidos como resultado de las pruebas en lazo abierto efectuadas para conocer la respuesta de contaminación armónica de los tres relevadores bajo prueba, agregando a las señales de corriente el tercer, quinto y séptimo armónico. La Tabla 3.3 y 3.4 presentan los resultados de las pruebas efectuadas con el equipo de prueba comercial F6150 al relevador electromecánico y estático, respectivamente. Las Tablas 3.5 y 3.6 muestran los resultados

obtenidos de las pruebas efectuadas al relevador digital con los equipos de prueba VOLTS y F6150, respectivamente.

Tabla 3.3. Tiempos de operación de las pruebas de armónicos efectuadas al relevador electromecánico GE 12IAC77B805A.

	Tiempos de operación (mseg)									
***Arms* (fund)**	**Sin armónicos**	**Tercer armónico**			**Quinto armónico**			**Séptimo armónico**		
		25%	**50%**	**75%**	**25%**	**50%**	**75%**	**25%**	**50%**	**75%**
1.5	2339	2084	1618	1221	2107	1744	1371	2144	1853	1529
2.0	1030	955	821	667	975	862	732	977	894	787
2.5	661	623	554	474	632	577	509	637	592	537
3.0	497	472	429	377	479	444	402	483	455	420
3.5	407	390	359	325	395	371	341	398	378	354
4.0	353	340	320	291	343	325	304	346	331	313
5.0	291	284	268	252	286	274	259	287	278	265
6.5	247	243	234	223	244	237	228	244	239	232
8.5	221	216	211	205	219	214	206	218	215	210
10	208	206	203	196	207	204	200	207	205	203

Tabla 3.4. Tiempos de operación de las pruebas de armónicos efectuadas al relevador estático RSC-02.

	Tiempos de operación (mseg)									
***Arms* (fund)**	**Sin armónicos**	**Tercer armónico**			**Quinto armónico**			**Séptimo armónico**		
		25%	**50%**	**75%**	**25%**	**50%**	**75%**	**25%**	**50%**	**75%**
1.5	11786	9940	8447	7300	11196	9219	8636	11069	9920	9500
2.0	6570	5455	4884	4384	6164	5368	5172	6188	5842	5383
2.5	4472	3923	3536	3315	4088	3929	3624	4220	4038	3898
3.0	3421	3001	2827	2574	3278	3025	2888	3279	3070	3005
3.5	2777	2527	2299	2122	2647	2488	2370	2690	2580	2469
4.0	2367	2162	1923	1784	2235	2122	2054	2280	2191	2120
5.0	1778	1675	1539	1431	1719	1623	1583	1738	1690	1629
6.5	1369	1280	1164	1092	1326	1275	1221	1345	1300	1279
8.5	1049	984	898	858	1006	965	948	1033	982	965
10	901	852	786	736	877	853	811	875	858	835

Tabla 3.5. Tiempos de operación de las pruebas de armónicos efectuadas al relevador digital SEL-351 con el equipo de pruebas VOLTS.

	Tiempos de operación (mseg)									
***Arms* (fund)**	**Sin armónicos**	**Tercer armónico**			**Quinto armónico**			**Séptimo armónico**		
		25%	**50%**	**75%**	**25%**	**50%**	**75%**	**25%**	**50%**	**75%**
1.5	1550	1555	1560	1568	1514	1460	1390	1576	1443	1550
2.0	680	681	677	677	660	639	636	667	630	629
2.5	420	416	417	416	413	400	391	416	404	378
3.0	280	281	285	285	285	274	272	289	290	264
3.5	215	215	211	219	219	209	206	212	219	206
4.0	175	177	173	173	173	165	165	175	174	161
5.0	125	127	124	124	127	124	124	128	124	116
6.5	92	90	87	93	97	90	90	95	93	90
8.5	72	70	66	70	74	71	71	74	68	68
10	66	61	57	62	66	61	60	65	58	61

Tabla 3.6. Tiempos de operación de las pruebas de armónicos efectuadas al relevador digital SEL-351 con el equipo de pruebas F6150.

	Tiempos de operación (mseg)									
***Arms* (fund)**	**Sin armónicos**	**Tercer armónico**			**Quinto armónico**			**Séptimo armónico**		
		25%	**50%**	**75%**	**25%**	**50%**	**75%**	**25%**	**50%**	**75%**
1.5	1592	1591	1592	1584	1529	1475	1404	1592	1458	1567
2.0	684	687	683	684	667	646	642	675	605	633
2.5	413	412	413	412	409	396	387	413	400	375
3.0	288	283	288	288	288	271	275	292	292	267
3.5	217	217	213	221	221	212	208	208	221	212
4.0	179	179	175	175	175	167	167	175	167	163
5.0	129	129	125	125	121	125	125	125	125	117
6.5	96	91	88	96	96	91	87	96	96	91
8.5	75	75	71	71	71	71	71	75	67	67
10	63	62	58	63	67	62	62	66	58	62

La Tabla 3.7 presenta los tiempos de operación de los tres relevadores para un valor específico de 5 *A rms* de componente fundamental de corriente, a la que se le agregó en cada prueba, uno a la vez, el segundo, cuarto, sexto, octavo, noveno, décimo, undécimo, duodécimo y décimo tercer armónicos, respectivamente, al 50% de la componente fundamental. Los resultados muestran que para el caso de los relevadores electromecánico y estático al agregar un armónico a la componente

fundamental, los tiempos de operación del relevador disminuyen en comparación con los tiempos obtenidos sin agregar el armónico bajo estudio; a medida que la frecuencia del armónico bajo estudio aumenta, el impacto sobre el tiempo de operación del relevador es menor, lo cual significa que el relevador es más sensible a los armónicos de bajo orden. En el caso del relevador digital, el impacto que tienen los armónicos en el tiempo de operación es mínimo lo cual significa que los relevadores digitales presentan una alta inmunidad a los armónicos.

Tabla 3.7. Tiempos de operación de los tres relevadores para diferentes armónicos

Armónico (50%)	Tiempo de operación (mseg)			
	Electromecánico	Estático	Digital	
	F6150		VOLTS	F6150
Ninguno	291	1778	125	129
2	267	1386	124	125
4	273	1561	124	125
6	276	1582	127	129
8	280	1628	127	129
9	281	1701	116	117
10	282	1736	131	133
11	283	1740	128	129
12	284	1717	128	129
13	284	1737	124	125

3.3.2.1 Interpretación de Resultados para el Relevador Electromecánico

Las Figuras 3.23 a 3.25 muestran los resultados de las pruebas de distorsión armónica realizadas al relevador electromecánico bajo prueba [GE 12IAC77B805A]. Se puede observar que en cada figura se presentan 4 curvas de tiempo-sobrecorriente, que corresponden a los resultados de las pruebas de distorsión armónica con 0, 25, 50 y 75% del armónico con el que se contamina la señal en cada caso. El porcentaje de contaminación de cada armónico está referido a la magnitud de la componente fundamental en cada prueba. Es importante mencionar que para construir cada una de estas curvas se generaron un conjunto de pruebas en las que la componente fundamental de corriente varía desde *0.5* a *10 A rms,* y en cada valor de la componente fundamental se agregó el porcentaje correspondiente del armónico en evaluación.

Los resultados del impacto de la distorsión armónica en el relevador de protección electromecánico presentados en las Figuras 3.23 a 3.25 muestran que a medida que se incrementa la magnitud del armónico que se está evaluando, los tiempos de operación del relevador son menores, lo cual se

manifiesta gráficamente como un desplazamiento de la curva de operación hacia debajo de la gráfica. El desplazamiento de la curva hacia tiempos menores de operación para un mismo porcentaje de contaminación por un armónico de orden mayor es menor, a medida que la frecuencia del armónico se incrementa, lo que significa que los armónicos de orden bajo tienen un mayor impacto en la operación del relevador electromecánico que los armónicos de orden alto. Los resultados para el resto de los armónicos del segundo al décimo tercero que se presentan en la Tabla 3.7. confirman los resultados mencionados con anterioridad.

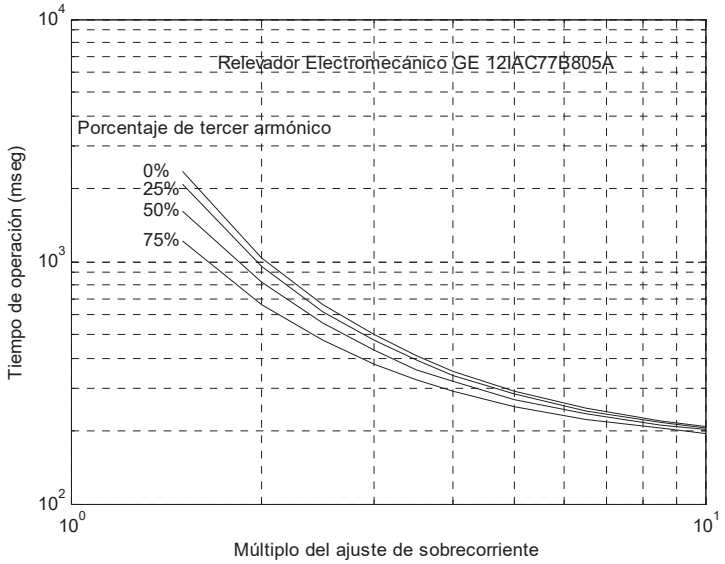


Figura 3.23. Respuesta del relevador electromecánico de sobrecorriente de tiempo inverso en presencia del tercer armónico en las formas de onda de corriente.

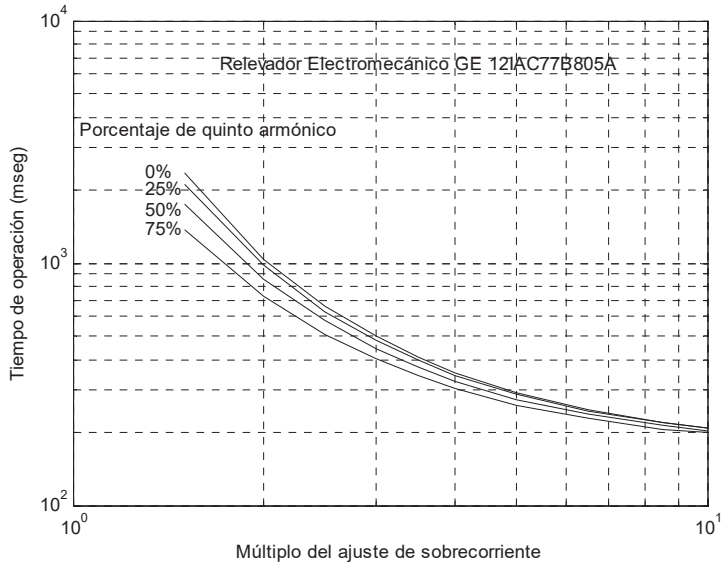


Figura 3.24. Respuesta del relevador electromecánico de sobrecorriente de tiempo inverso en presencia del quinto armónico en las formas de onda de corriente.

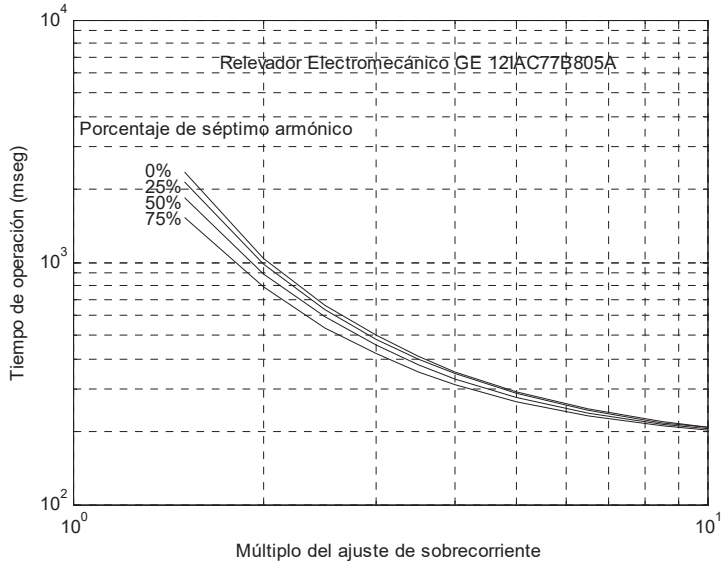


Figura 3.25. Respuesta del relevador electromecánico de sobrecorriente de tiempo inverso bajo presencia del séptimo armónico en las formas de onda de corriente.

También se puede observar de los resultados que se presentan en las Figuras 3.23 a 3.25, que a medida que se incrementa la magnitud del armónico que se esta evaluando, no solo se genera un

desplazamiento de la curva hacia tiempos de operación menores, sino que también se genera un cambio en la pendiente de la curva haciéndose ésta ligeramente menos inversa.

3.3.2.2 Interpretación de Resultados para el Relevador Estático

Los resultados de las pruebas de distorsión armónica aplicadas al relevador estático se presentan en las Figuras 3.26 a 3.28. Se puede observar que de manera similar al relevador electromecánico, el efecto de la presencia de distorsión armónica en las señales de corriente aplicadas al relevador estático generan un desplazamiento de las curvas de operación de la función de sobrecorriente hacia tiempos de operación menores, es decir, a medida que se incrementa la magnitud del armónico presente en las señales de corriente, el relevador opera más rápidamente.

También los resultados de las Figuras 3.26 a 3.28 muestran que el efecto de corrimiento de las curvas de operación hacia tiempos menores es más pequeño a medida que el orden del armónico se incrementa, por lo que se puede decir que el relevador se ve afectado de una manera más importante cuando están presentes componentes armónicas de bajo orden y muestra mayor atenuación o rechazo a las componentes armónicas de alto orden.

La Tabla 3.7 nos permite ver que el tiempo de operación para una señal de corriente de *5 A rms* con una componente al 50% disminuye con respecto al tiempo de operación sin contaminación armónica (segunda columna) para los armónicos de orden bajo, pero a medida que se incrementa el orden del armónico, el tiempo de operación comienza a incrementarse y tiende a regresar al valor de operación sin contaminación armónica, lo cual indica que dichos armónicos de orden alto tienen un impacto cada vez menor a medida que se incrementa su frecuencia.

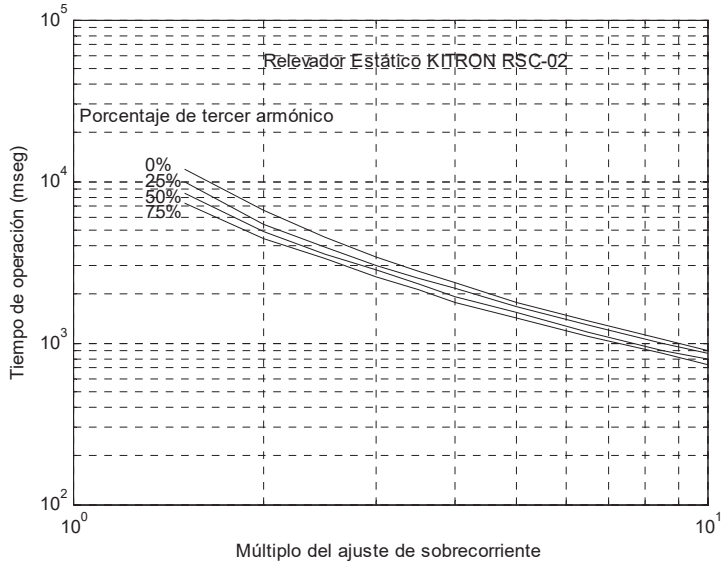


Figura 3.26. Respuesta del relevador estático de sobrecorriente de tiempo inverso en presencia del tercer armónico en las formas de onda de corriente.

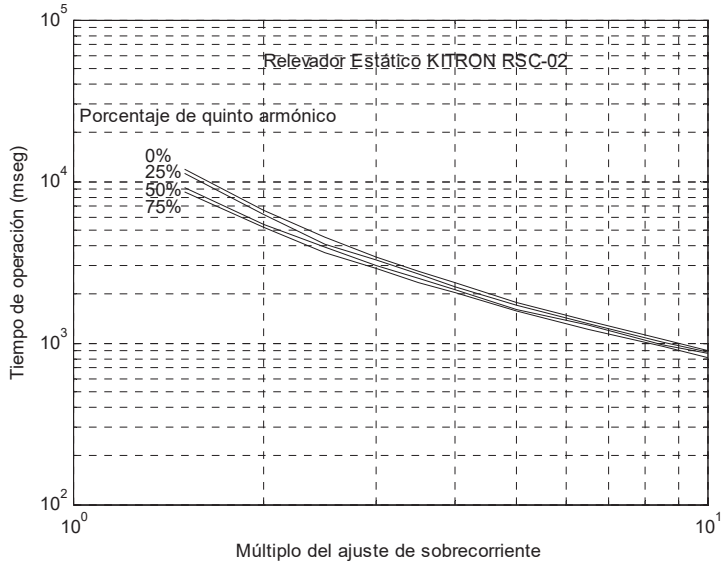


Figura 3.27. Respuesta del relevador estático de sobrecorriente de tiempo inverso en presencia del quinto armónico en las formas de onda de corriente.

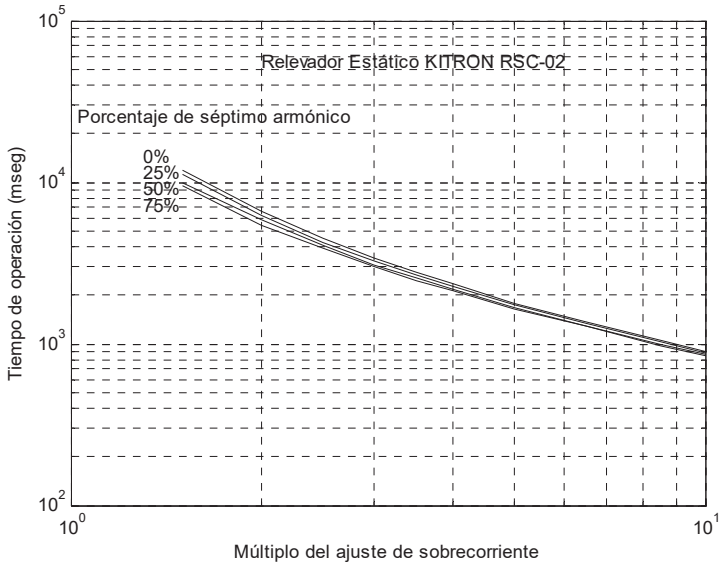


Figura 3.28. Respuesta del relevador estático de sobrecorriente de tiempo inverso en presencia del séptimo armónico en las formas de onda de corriente.

En el caso del relevador estático y a diferencia del relevador electromecánico, no se nota un cambio importante en la pendiente de las curvas de tiempo inverso cuando se incrementa la magnitud del armónico presente en las señales de corriente aplicadas a este relevador, por lo que el único efecto de los armónicos consiste en el corrimiento de las curvas hacia tiempos menores de operación.

3.3.2.3 Interpretación de Resultados para el Relevador Digital

Los resultados presentados en las secciones 3.3.2.1 y 3.3.2.2 para los relevadores electromecánico y estático, respectivamente, demuestran de manera experimental lo que establece la literatura acerca de sistemas de protección, armónicos y calidad de la energía [Ravindranath y Chander 1989][Blackburn 1997][Horowitz y Padke 1996][Arrillaga *et al.* 1997][Kennedy 2000][Sankaran 2002] acerca de la mala operación o falta de operación de estos sistemas ante la presencia de distorsión armónica en las señales de operación de los relevadores de protección, sin embargo, los resultados que se presentan en las Figuras 3.29 a 3.31 para el relevador digital demuestran que lo

que establece la literatura especializada en este sentido, ya no es válido para los sistemas digitales modernos de protección basados en tecnologías que permiten el procesamiento digital de señales.

Se puede observar en los resultados que se presentan en las Figuras 3.29 a 3.31, que las curvas de operación obtenidas para las pruebas de tercer, quinto y séptimo armónico para el relevador digital, prácticamente son idénticas, a pesar de haber seleccionado niveles de contaminación del 25, 50 y 75% para cada uno de estos armónicos, de la misma manera que se hizo con las pruebas realizadas a los relevadores electromecánico y estático, respectivamente. El hecho de que las curvas de operación prácticamente sean idénticas o muestren una diferencia mínima y por lo tanto despreciable, a pesar de que se tengan niveles de contaminación tan altos como del 75%, indica la gran inmunidad que presentan este tipo de relevadores a la presencia de contaminación armónica en las señales de operación.

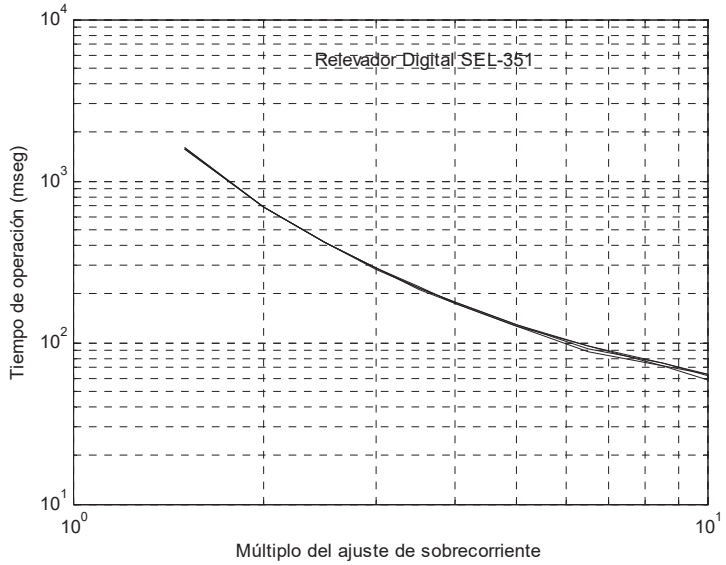


Figura 3.29. Respuesta del relevador digital de sobrecorriente de tiempo inverso en presencia del tercer armónico en las formas de onda de corriente.

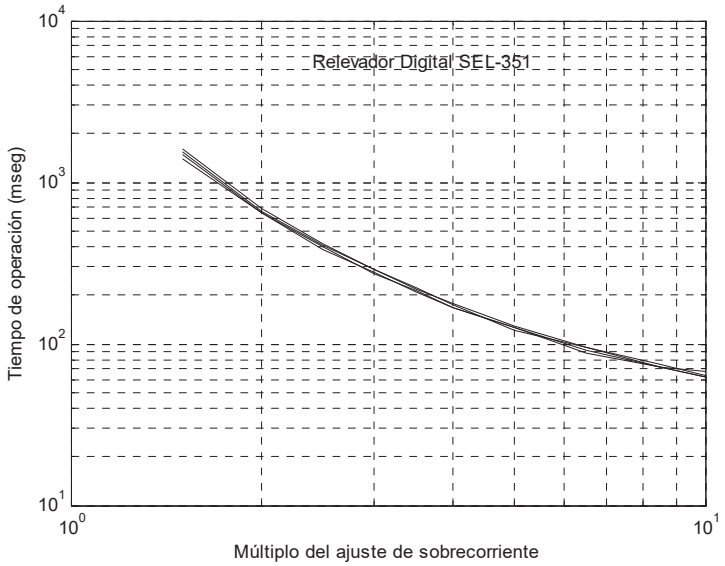


Figura 3.30. Respuesta del relevador digital de sobrecorriente de tiempo inverso en presencia del quinto armónico en las formas de onda de corriente.

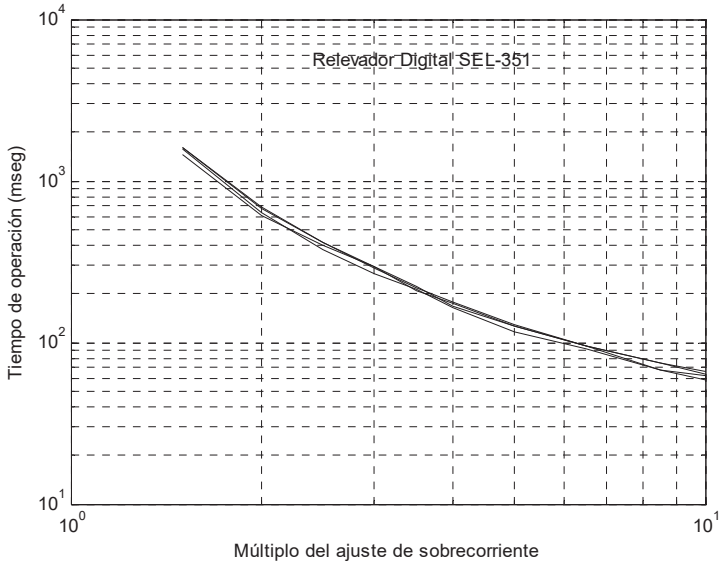


Figura 3.31. Respuesta del relevador digital de sobrecorriente de tiempo inverso en presencia del séptimo armónico en las formas de onda de corriente.

La Tabla 3.7 presenta resultados adicionales para las pruebas realizadas con el resto de los armónicos, del segundo al décimo tercero, en las que se agrega el 50% del armónico a una componente fundamental de corriente de *5 A rms*. Se puede observar que los tiempos de operación

varían en un porcentaje mínimo con respecto del tiempo de operación sin contaminación armónica. Estos resultados demuestran que el relevador digital es completamente inmune a la presencia de contaminación armónica y que lo establecido en la literatura con respecto a la mala operación de los relevadores de protección ante la presencia de armónicos en las señales de corriente o voltaje ya no aplica a los relevadores digitales, que llevan a cabo un procesamiento digital de las señales de entrada.

Las pruebas de contaminación armónica efectuadas al relevador digital bajo estudio, fueron realizadas tanto con el equipo de pruebas comercial F6150 como con el equipo de pruebas desarrollado en esta tesis VOLTS. Las Tablas 3.5, 3.6 y 3.7 permiten efectuar una comparación de los resultados numéricos obtenidos con ambos equipos de pruebas y demuestran el correcto funcionamiento del equipo de pruebas VOLTS, al presentar diferencias mínimas en los resultados en comparación con los obtenidos con el equipo comercial F6150. La diferencia en ningún caso es mayor al 3.1%.

Las Figuras 3.32 a 3.34 muestran dicha comparación de resultados de forma gráfica para las pruebas realizadas con contaminación de las señales de corriente por tercer, quinto y séptimo armónico respectivamente. En cada una de estas Figuras se presentan cuatro gráficas en las que se puede observar la comparación de los resultados de ambos equipos de pruebas sin contaminación armónica, con una contaminación al 25%, al 50% y al 75%.

Obsérvese que los resultados obtenidos con ambos equipos de pruebas presentan un alto grado de coincidencia al observarse la respuesta obtenida con el equipo de pruebas VOLTS (línea continua) prácticamente idéntica con la respuesta obtenida con el equipo de pruebas comercial F6150 (línea punteada).

Las comparaciones de resultados presentadas en las Figuras 3.32 a 3.34 demuestran y permiten concluir que el equipo de pruebas en lazo abierto VOLTS desarrollado en este trabajo de tesis, es capaz de generar señales de prueba de muy alta calidad y precisión, que permiten efectuar pruebas a equipos de protección, de la misma manera que se hace con equipos comerciales como el F6150 de la marca DOBLE.

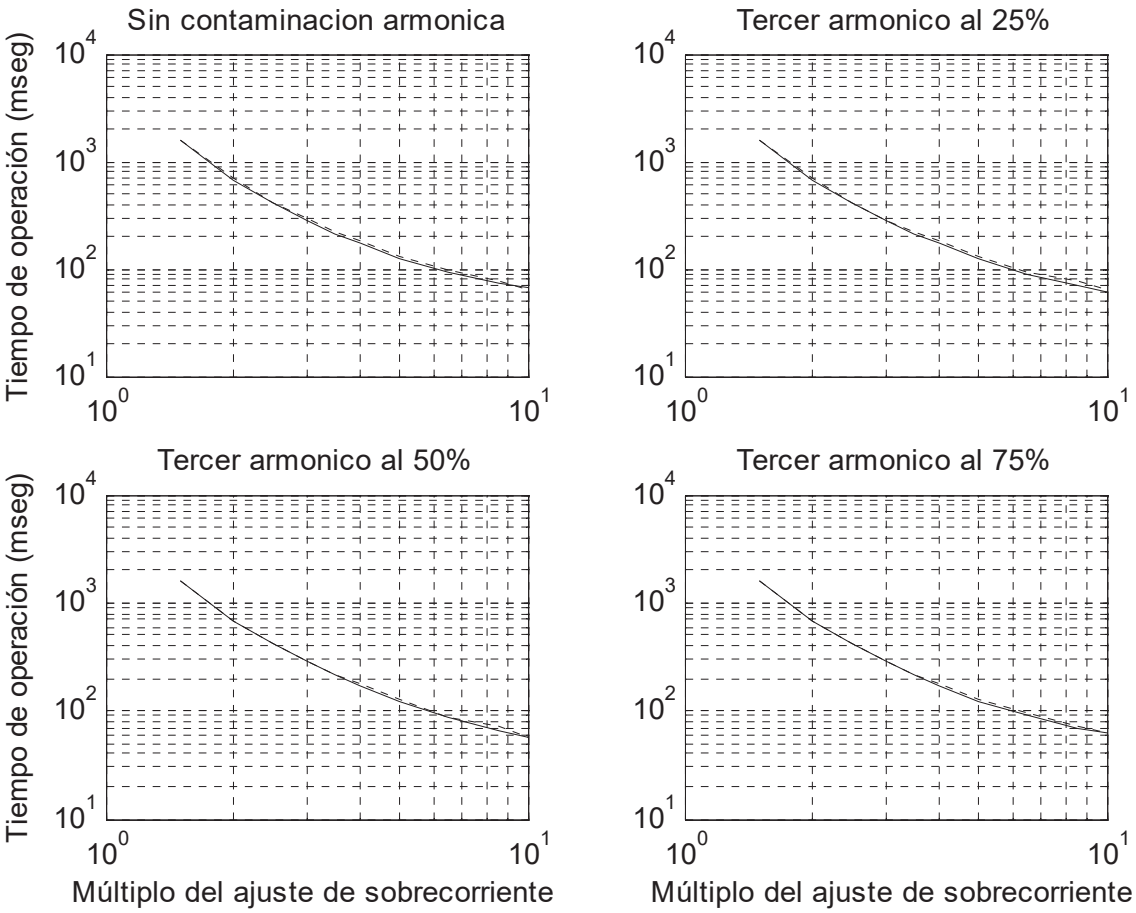


Figura 3.32. Comparación de respuestas del relevador digital de sobrecorriente de tiempo inverso obtenidas con VOLTS (línea contínua) y con el F6150 (línea punteada) en presencia del tercer armónico en las formas de onda de corriente.

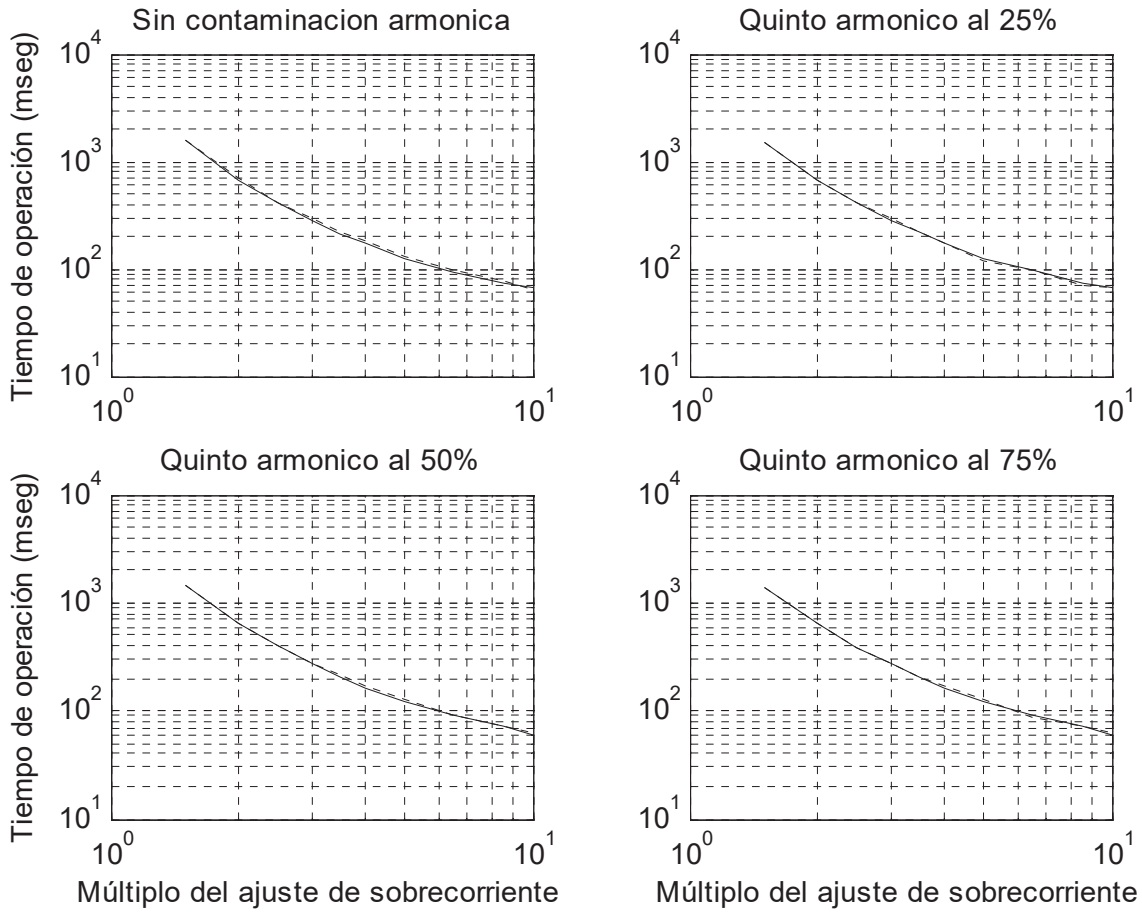


Figura 3.33. Comparación de respuestas del relevador digital de sobrecorriente de tiempo inverso obtenidas con VOLTS (línea contínua) y con el F6150 (línea punteada) en presencia del quinto armónico en las formas de onda de corriente.

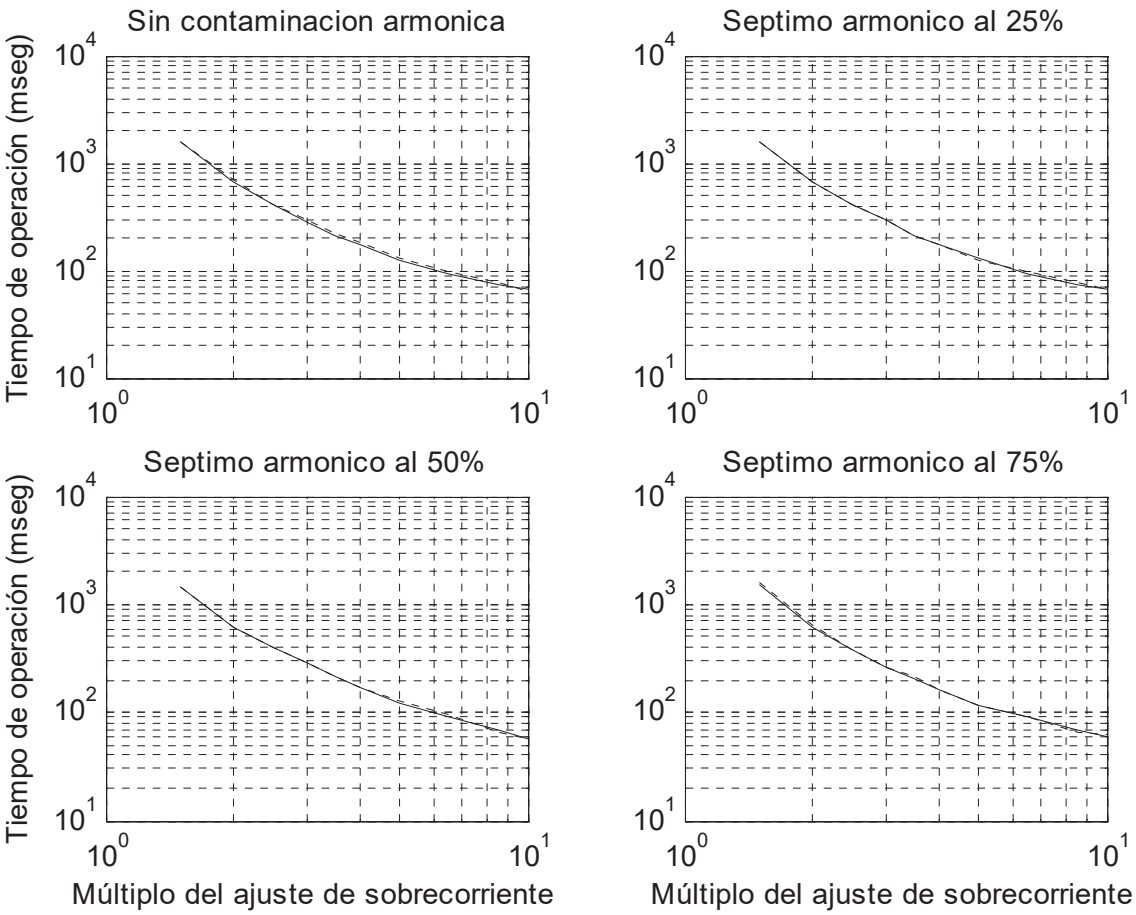


Figura 3.34. Comparación de respuestas del relevador digital de sobrecorriente de tiempo inverso obtenidas con VOLTS (línea contínua) y con el F6150 (línea punteada) en presencia del séptimo armónico en las formas de onda de corriente.

3.3.3 Caso 3.3. Pruebas de respuesta a condiciones de desbalance en presencia de armónicos de un relevador digital

Las pruebas en lazo abierto que se presentan en esta sección se realizaron con el propósito de evaluar la sensibilidad de respuesta de las funciones de protección de tiempo-sobrecorriente de fase en comparación con la respuesta de las funciones de protección de tiempo-sobrecorriente de secuencia negativa y secuencia positiva ante la presencia de desbalance en las señales de corriente alimentadas al relevador. Adicionalmente, se presentan también resultados de las mismas pruebas de desbalance efectuadas en presencia de distorsión armónica en las señales de corriente aplicadas al relevador.

3.3.3.1 Pruebas Realizadas Bajo Condiciones Desbalanceadas Sin Distorsión Armónica

Para poder evaluar de forma experimental la sensibilidad de respuesta de las funciones de protección de fase, en comparación con las funciones de protección de secuencia cero y negativa, se diseñaron un conjunto de pruebas en las que se generan formas de onda como las que se muestran en las Figuras 3.35 y 3.36. De forma similar a las formas de onda diseñadas para realizar las pruebas de contaminación armónica, las formas de onda utilizadas para las pruebas de desbalance sin distorsión armónica constan de dos secciones: la sección 1 está constituida por una forma de onda de corriente trifásica senoidal con una magnitud de *0.5 A rms* mientras que la sección 2 consta de una forma de onda de corriente trifásica desbalanceada, cuyo grado de desbalance se controla mediante la adición de una componente de secuencia cero (Fig. 3.35) o negativa (Fig. 3.36), con una magnitud fija que cambia en cada prueba desde el *0%* hasta el *100%*, con respecto de la componente de secuencia positiva, que tiene un valor fijo de *2 A rms*. Estas pruebas fueron realizadas tanto con el F6150 como con VOLTS y los resultados se presentan en las Secciones 3.3.3.3 y 3.3.3.4.

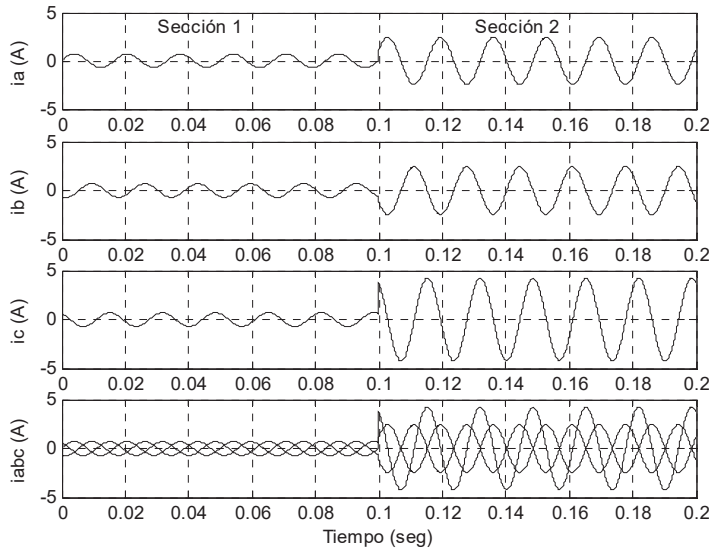


Figura 3.35. Formas de onda para la prueba de desbalance por componente de secuencia cero sin distorsión armónica.

La Figura 3.35 muestra el caso particular de la forma de onda de corriente con una componente de secuencia cero del 50% con respecto a la componente de secuencia positiva. El ángulo de la componente de secuencia cero se seleccionó para todas las pruebas con un valor fijo de 120º.

La Figura 3.36 muestra también el caso particular de una componente de secuencia negativa del 50% con respecto a la componente de secuencia positiva. El ángulo de la componente de secuencia negativa se seleccionó para todas las pruebas con un valor fijo de –120º.

La familia de curvas seleccionada tanto para la función de sobrecorriente de tiempo inverso de fase como para las funciones de sobrecorriente de tiempo inverso de secuencia cero y negativa es la *muy inversa*, en la que se seleccionó para ambos casos la curva con retardo de tiempo de *0.5 s*. Los valores del ajuste de sobrecorriente (pick-up) fueron de *1 A rms* para la función de fase y de *0.5 A rms* para las funciones de secuencia cero y negativa. En la Sección 3.3.3.3 se explica porque los ajustes de las funciones de fase y de secuencia pueden ser diferentes.

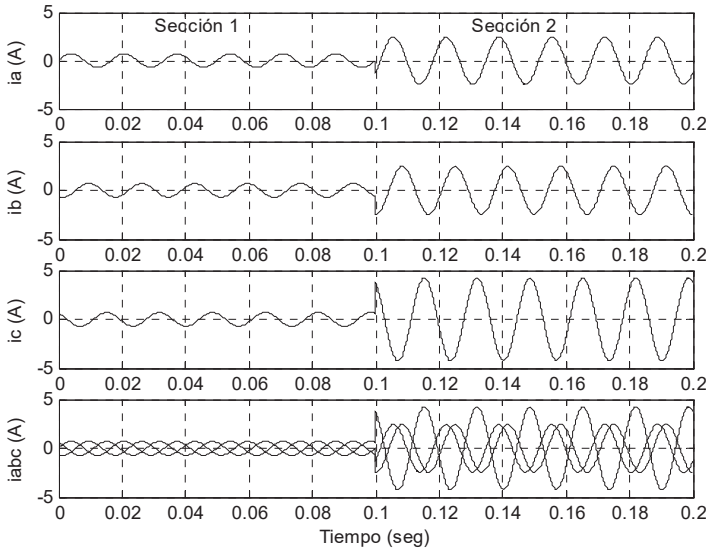


Figura 3.36. Formas de onda para la prueba de desbalance por componente de secuencia negativa sin distorsión armónica.

El tiempo de operación para cada prueba se mide desde el instante en que las funciones de protección superan por primera vez el valor de ajuste de sobrecorriente (inicio de la Sección 2) hasta el punto en que cada una de las funciones dispara**.**

El relevador de protección seleccionado para efectuar las pruebas de desbalance [SEL-351 2002] es un relevador digital de sobrecorriente, que cuenta con funciones de protección de sobrecorriente de tiempo inverso (51 de acuerdo al estándar C37.2 [IEEE 1991]), tanto de fase como de secuencia cero y secuencia negativa.

Las pruebas se realizaron con formas de onda de corriente debido a que la función de protección de sobrecorriente de fase es la más utilizada en un gran número de esquemas de protección de dispositivos del sistema de potencia, y la respuesta del relevador de protección ante estas formas de onda se podía comparar con la respuesta del relevador usando las funciones de protección similares (de sobrecorriente) pero de secuencia negativa y cero disponibles en el relevador digital sometido a prueba. Sin embargo, es de esperarse resultados similares con componentes de fase y de secuencia negativa y cero de voltaje, ya que los relevadores digitales aplican exactamente el mismo proceso de filtraje y detección de componentes de secuencia, tanto a los canales de corriente como a los canales de voltaje de entrada.

3.3.3.2 Pruebas Realizadas Bajo Condiciones Desbalancedas en Presencia De Distorsión Armónica

Las Figuras 3.37 y 3.38 muestran las formas de onda de corriente diseñadas para evaluar el impacto de la distorsión armónica en las funciones de protección de sobrecorriente de fase, de secuencia cero y negativa, respectivamente, ante condiciones de desbalance. Estas formas de onda se obtuvieron adicionando a la Sección 2 de las formas de onda utilizadas en la Sección 3.3.3.1 el armónico del cual se quiere evaluar su impacto. Todas las pruebas se realizaron agregando el tercer armónico, debido a que es uno de los armónicos que se presentan más comúnmente en un sistema que presenta distorsión armónica, sin embargo, los resultados que se presentan en la Sección 3.3.1 para el relevador digital permiten generalizar los resultados para cualquier armónico. Los resultados de estas pruebas se presentan en las Secciones 3.3.3.3 y 3.3.3.4. para el F6150 y VOLTS.

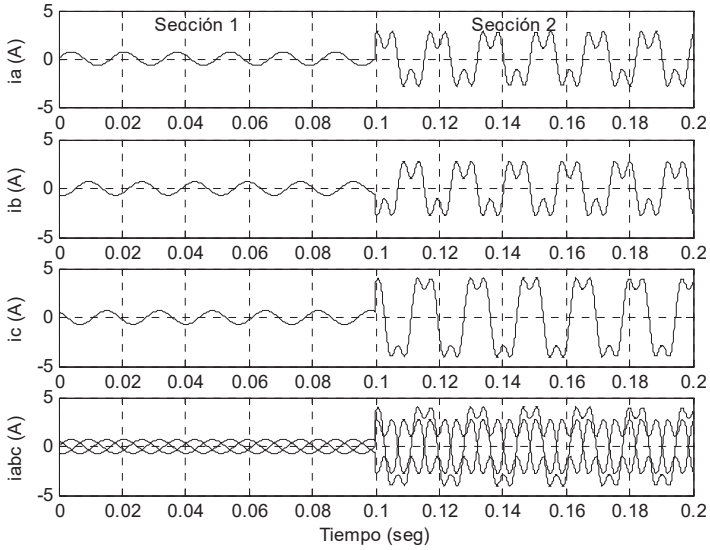


Figura 3.37. Formas de onda para la prueba de desbalance por componente de secuencia cero con distorsión por tercer armónico.

Todos los ajustes para estas pruebas son los mismos que se utilizaron para las pruebas descritas en la Sección 3.3.3.1. El tercer armónico adicionado a la Sección 2 se agregó con una magnitud fija del 50% con respecto de la componente fundamental de secuencia positiva.

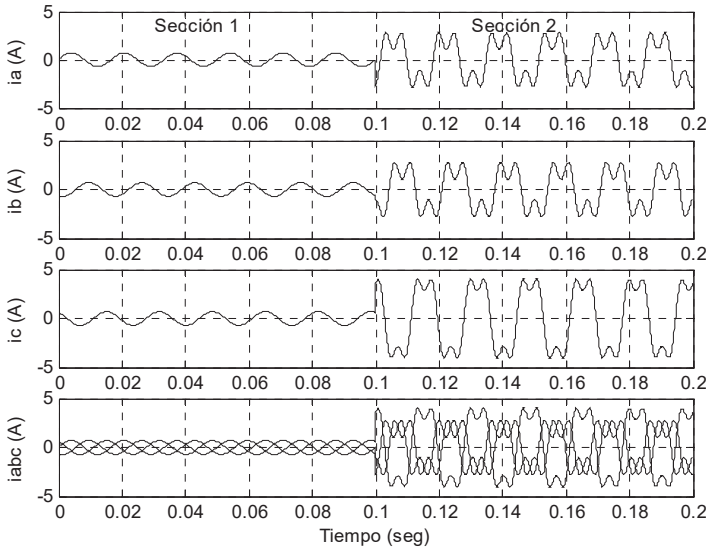


Figura 3.38. Formas de onda para la prueba de desbalance por componente de secuencia negativa con distorsión por tercer armónico.

3.3.3.3 Resultados de Pruebas de Desbalance por Componente de Secuencia Cero

Los resultados de las pruebas de desbalance por componente de secuencia cero se presentan en las Tablas 3.8 y 3.9. Los resultados que se presentan en la Tabla 3.8 corresponden a las pruebas realizadas con el equipo de pruebas comercial F6150 mientras que los resultados que se presentan en la Tabla 3.9 corresponden a las mismas pruebas efectuadas con el equipo de pruebas desarrollado VOLTS. En las Tablas 3.8 y 3.9 las columnas 2 y 4 corresponden a los tiempos de operación de las funciones de tiempo-sobrecorriente de fase y de secuencia cero sin contaminación armónica en las señales de corriente, mientras que las columnas 3 y 5 presentan los tiempos de operación para las funciones de tiempo-sobrecorriente de fase y de secuencia cero, con contaminación armónica por tercer armónico al 50% en las formas de onda de corriente, respectivamente.

La Figura 3.39 presenta de forma gráfica los resultados obtenidos con el equipo de pruebas comercial F6150. La línea continua representa las respuestas de las funciones de sobrecorriente de fase y secuencia cero, respectivamente, sin contaminación armónica en las señales de corriente, mientras que la línea discontinua representa las respuestas de las funciones de sobrecorriente de fase y secuencia cero en presencia del tercer armónico al 50%. En la Figura 3.40 se presenta un acercamiento a las respuestas de la Figura 3.39 alrededor de la zona de intersección de las funciones de fase y de secuencia negativa.

Se puede observar que para valores pequeños de la componente de secuencia cero presente en las señales de corriente aplicadas al relevador bajo prueba [SEL-351 2002] la respuesta de la función de sobrecorriente de secuencia cero es más lenta que la función de sobrecorriente de fase, pero a medida que se incrementa el porcentaje de componente de secuencia cero, la respuesta de la función de sobrecorriente de secuencia cero se hace mas rápida, llegando a un punto (la intersección de ambas respuestas) en el que la función de secuencia cero opera más rápidamente o es más sensible al desbalance por componente de secuencia cero presente en las señales de corriente del sistema eléctrico de potencia.

Tabla 3.8. Tiempos de operación de la prueba de desbalance por componente de secuencia cero obtenidos con el F6150.

Porcentaje de secuencia cero (%)	Tiempo de operación (seg)			
	Función de fase		Secuencia cero	
	51P sin armónicos	51P con 50% del tercer armónico	51G sin armónicos	51G con 50% del tercer armónico
0	0.851	0.853	No. Op.	No. Op.
5	0.774	0.773	No. Op.	No. Op.
10	0.714	0.712	4.940	4.630
15	0.659	0.659	1.097	1.059
20	0.617	0.616	0.617	0.604
25	0.583	0.578	0.454	0.449
30	0.546	0.547	0.375	0.372
35	0.517	0.516	0.326	0.320
40	0.489	0.491	0.293	0.295
45	0.469	0.468	0.273	0.276
50	0.453	0.453	0.266	0.265
55	0.432	0.434	0.257	0.251
60	0.418	0.418	0.243	0.243
65	0.405	0.404	0.240	0.241
70	0.394	0.392	0.236	0.234
75	0.380	0.378	0.228	0.233
80	0.370	0.368	0.226	0.228
85	0.362	0.358	0.225	0.225
90	0.352	0.353	0.219	0.224
95	0.343	0.345	0.216	0.222
100	0.337	0.335	0.214	0.215

Tabla 3.9. Tiempos de operación de la prueba de desbalance por componente de secuencia cero obtenida con VOLTS.

Porcentaje de secuencia cero (%)	Tiempo de operación (seg)			
	Función de fase		Secuencia cero	
	51P sin armónicos	51P con 50% del tercer armónico	51G sin armónicos	51G con 50% del tercer armónico
0	0.842	0.844	No. Op.	No. Op.
5	0.766	0.765	No. Op.	No. Op.
10	0.707	0.705	4.891	4.584
15	0.652	0.652	1.086	1.048
20	0.611	0.610	0.611	0.598
25	0.577	0.572	0.449	0.445
30	0.541	0.542	0.371	0.368
35	0.512	0.511	0.323	0.317
40	0.484	0.486	0.290	0.292
45	0.464	0.463	0.273	0.273
50	0.448	0.448	0.263	0.262
55	0.428	0.430	0.252	0.248
60	0.414	0.414	0.241	0.241
65	0.401	0.400	0.238	0.237
70	0.390	0.388	0.231	0.232
75	0.376	0.374	0.226	0.229
80	0.366	0.364	0.224	0.226
85	0.358	0.354	0.221	0.223
90	0.348	0.349	0.217	0.222
95	0.340	0.342	0.214	0.220
100	0.334	0.332	0.212	0.218

Debido a que las funciones de protección de fase y de secuencia cero operan en dos marcos de referencia diferentes, es posible seleccionar una familia de curvas diferente a la familia de curvas utilizada en las funciones de fase. La selección apropiada de la familia de curvas para la función de protección de secuencia cero en conjunto con los ajustes de sobrecorriente y retardo de tiempo adecuados permiten maximizar la sensibilidad de respuesta de la función de secuencia cero, en comparación con la respuesta de la función de fase, ubicando el área de operación del sistema a la derecha del punto de intersección de ambas respuestas de la Figura 3.39.

La Figura 3.40 es un acercamiento de la Figura 3.39 alrededor del punto de intersección de las respuestas de sobrecorriente de fase y de secuencia cero. En este acercamiento se puede observar que las respuestas para cada función se obtuvieron sin contaminación armónica en las señales de corriente desbalanceadas (línea continua) y agregando 50% de tercer armónico de la componente fundamental de secuencia positiva (línea discontinua). Se puede observar que la presencia del tercer armónico en las formas de onda de corriente no tiene un impacto importante en la respuesta de ambas funciones de protección, pudiéndose generalizar estos resultados a cualquier armónico, si tomamos en cuenta los resultados presentados en la Sección 3.3.2 para el relevador digital utilizado para realizar las pruebas de desbalance por componente de secuencia cero y secuencia negativa.

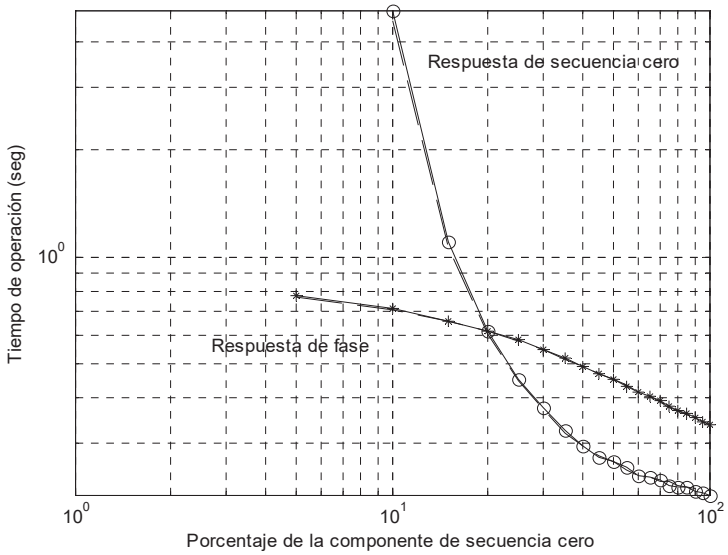


Figura 3.39. Comparación de tiempos de respuesta entre las funciones de fase (*) y de secuencia cero (o) obtenidos con el F6150.

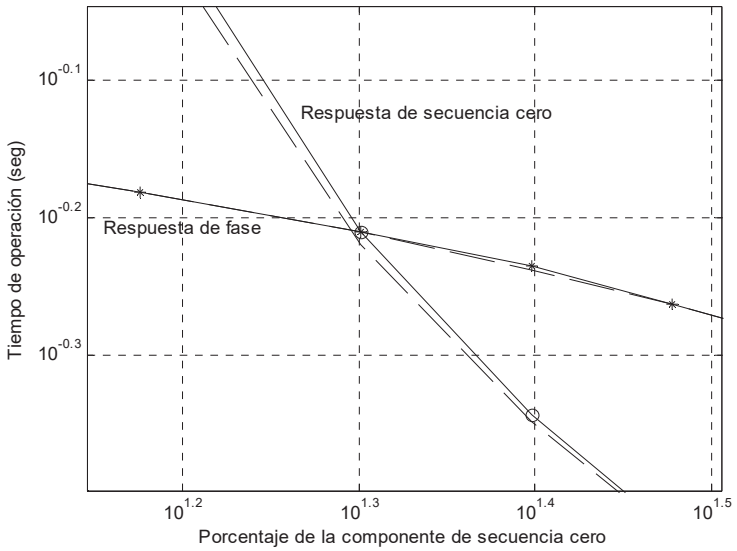


Figura 3.40. Acercamiento de la Figura 3.39 alrededor del punto de intersección. Respuesta sin distorsión armónica (línea continua) y con 50% de tercer armónico (línea discontinua).

Como se mencionó al principio de esta sección se realizaron también estas pruebas de desbalance por componente de secuencia cero con el equipo de pruebas desarrollado como parte de esta tesis (VOLTS) obteniendo resultados con un alto grado de exactitud, según puede observarse en la Tabla 3.9. Los resultados obtenidos con VOLTS (línea continua) se muestran en las Figuras 3.41 y 3.42 junto con los resultados obtenidos con el equipo comercial F6150 (línea punteada), utilizados como medio de validación. La Figura 3.41 presenta la comparación de los resultados para la prueba de desbalance por componente de secuencia cero sin contaminación armónica, mientras que la Figura 3.42 presenta la comparación de resultados para la prueba de desbalance por componente de secuencia cero con contaminación por tercer armónico al 50%. De la comparación de los resultados obtenidos con VOLTS con los del equipo comercial F6150 resulta evidente la exactitud de los resultados obtenidos con VOLTS, validándose con esto su correcto funcionamiento.

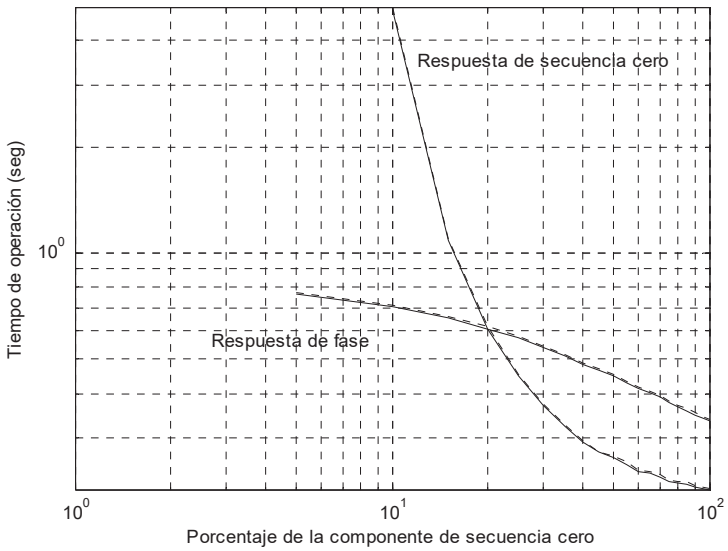


Figura 3.41. Comparación de respuestas al desbalance por componente de secuencia cero sin contaminación armónica, obtenidos con VOLTS (línea contínua) y con el F6150 (línea discontínua).

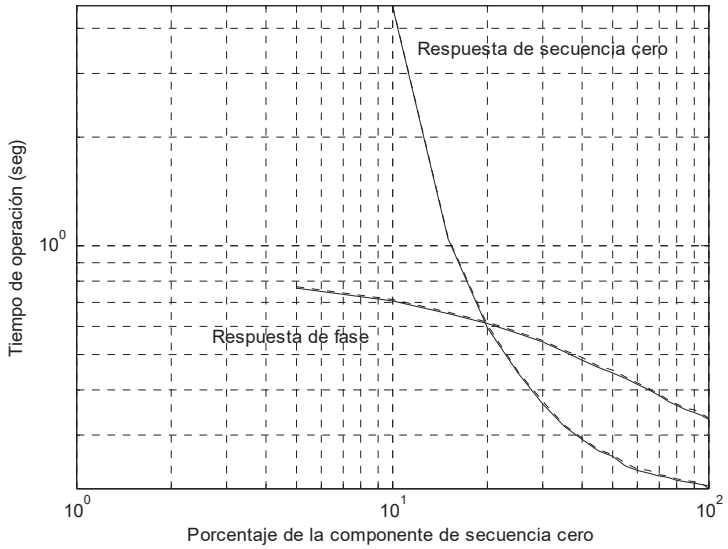


Figura 3.42. Comparación de respuestas al desbalance por componente de secuencia cero con contaminación por tercer armónico al 50%, obtenidos con VOLTS (línea contínua) y con el F6150 (línea discontínua).

3.3.3.4 Resultados de Pruebas de Desbalance por Componente de Secuencia Negativa

Las Tablas 3.10 y 3.11 presenta los tiempos de operación de las funciones de tiempo-sobrecorriente de fase y de secuencia negativa sin contaminación armónica (columnas 2 y 4, respectivamente), y con contaminación armónica por tercer armónico al 50% (columnas 3 y 5, respectivamente) para la prueba de desbalance por componente de secuencia negativa. Los resultados de la Tabla 3.10 fueron obtenidos con el equipo de prueba comercial F6150 y los que se presentan en la Tabla 3.11 se obtuvieron con el equipo de prueba VOLTS.

Las Figuras 3.43 y 3.44 presentan de forma gáfica los resultados de la prueba de sensibilidad de respuesta de las funciones de sobrecorriente de fase y de secuencia negativa. Se observa que estos resultados son muy similares a los de la prueba de secuencia cero, lo cual es de esperarse si se recuerda que las pruebas se realizaron bajo condiciones controladas de desbalance por componente de secuencia cero y negativa, en donde el porcentaje de contaminación de cada componente por separado se varía del 0 al 100% para cada caso.

También en este caso las respuestas de las funciones de fase y de secuencia negativa presentan un punto de intersección, a partir del cual la respuesta de la función de secuencia negativa es mas rápida o más sensible al desbalance presente en las formas de onda de corriente, por lo que una selección adecuada de los parámetros tanto de las funciones de fase como de las de secuencia negativa permitirá maximizar la sensibilidad de respuesta de la función de protección basada en la componente de secuencia negativa, en comparación con la respuesta de la función de protección basada en componentes de fase.

La Figura 3.44 muestra un acercamiento de los resultados de la Figura 3.43 alrededor del punto de intersección de ambas funciones. Se puede observar que también en este caso la presencia del tercer armónico en las formas de onda de corriente no genera un cambio significativo en la respuesta de ambas funciones de protección, pudiéndose generalizar estos resultados a cualquier armónico con los resultados presentados en la Sección 3.3.3.2.

Tabla 3.10. Tiempos de operación de la prueba de desbalance por componente de secuencia negativa obtenidas con el F6150.

Porcentaje de secuencia negativa (%)	Tiempo de operación (seg)			
	Función de Fase		Secuencia Negativa	
	51P sin armónicos	51P con 50% del tercer armónico	51Q sin armónicos	51Q con 50% del tercer armónico
0	0.848	0.848	No Op.	No Op.
5	0.774	0.779	No Op.	No Op.
10	0.712	0.716	4.704	4.625
15	0.662	0.660	1.079	1.081
20	0.614	0.618	0.623	0.618
25	0.579	0.577	0.455	0.456
30	0.549	0.543	0.370	0.373
35	0.521	0.515	0.329	0.331
40	0.490	0.492	0.302	0.300
45	0.468	0.472	0.286	0.276
50	0.451	0.449	0.263	0.266
55	0.437	0.433	0.254	0.259
60	0.420	0.415	0.245	0.244
65	0.407	0.405	0.241	0.238
70	0.392	0.392	0.239	0.236
75	0.377	0.380	0.235	0.234
80	0.370	0.373	0.225	0.228
85	0.360	0.359	0.222	0.226
90	0.357	0.353	0.220	0.224
95	0.349	0.342	0.218	0.222
100	0.337	0.337	0.216	0.217

Tabla 3.11. Tiempos de operación de la prueba de desbalance por componente de secuencia negativa obtenidos con VOLTS.

Porcentaje de secuencia negativa (%)	Tiempo de operación (seg)			
	Función de Fase		Secuencia Negativa	
	51P sin armónicos	51P con 50% del tercer armónico	51Q sin armónicos	51Q con 50% del tercer armónico
0	0.840	0.840	No. Op.	No. Op.
5	0.766	0.771	No. Op.	No. Op.
10	0.705	0.709	4.657	4.579
15	0.655	0.653	1.125	1.070
20	0.608	0.612	0.617	0.612
25	0.573	0.571	0.450	0.451
30	0.544	0.538	0.366	0.369
35	0.516	0.510	0.326	0.328
40	0.485	0.487	0.299	0.297
45	0.467	0.467	0.278	0.273
50	0.446	0.445	0.260	0.263
55	0.433	0.429	0.251	0.253
60	0.416	0.411	0.243	0.242
65	0.403	0.401	0.237	0.236
70	0.388	0.388	0.233	0.234
75	0.376	0.376	0.228	0.230
80	0.366	0.367	0.223	0.226
85	0.359	0.355	0.220	0.224
90	0.351	0.347	0.218	0.222
95	0.344	0.339	0.216	0.218
100	0.334	0.334	0.214	0.215

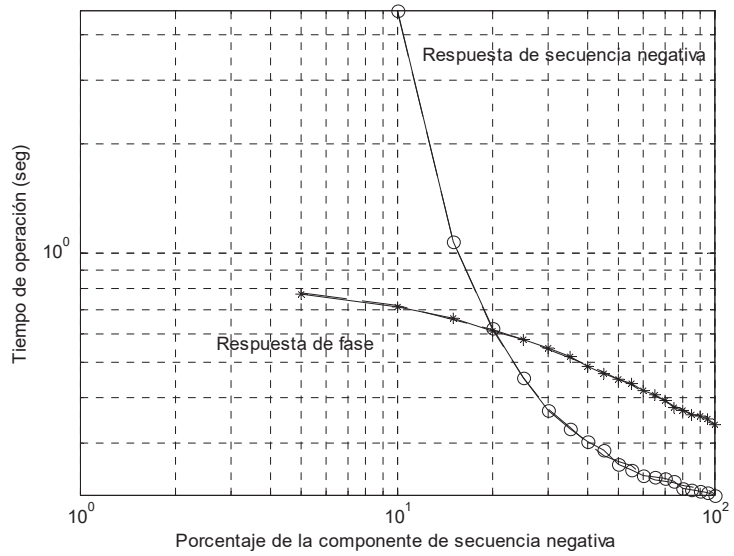


Figura 3.43. Comparación de tiempos de respuesta entre las funciones de fase (*) y de secuencia negativa (o) obtenidos con el F6150.

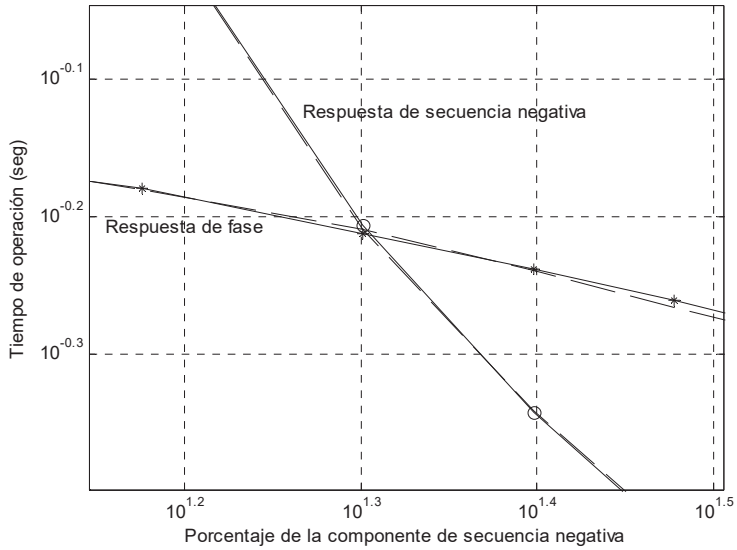


Figura 3.44. Acercamiento de la Figura 3.43 alrededor del punto de intersección. Respuesta sin distorsión armónica (línea continua) y con el tercer armónico al 50% (línea discontinua).

Las funciones de protección de secuencia están basadas en la determinación de las componentes de secuencia a partir de las componentes de fase, usando la definición matemática para la transformación entre componentes de fase y de secuencia [Gross 1986]. Esta transformación está basada en una definición vectorial y solo aplica a condiciones de estado estacionario senoidal, por lo que la operación de las funciones de secuencia durante el comportamiento transitorio del sistema eléctrico puede ser incorrecta si la función de protección contra condiciones de desbalance se basa solo en las funciones de secuencia, por lo que es recomendable su uso en conjunto con las funciones de fase como una condición previa para la operación de la función de protección [Elneweihi *et al.* 1993]. Los resultados presentados en esta sección también se pueden encontrar en [Medina y Martínez 2005a] [Medina y Martínez 2005b] [Medina y Martínez 2005c] [Medina y Martínez 2006a] [Medina y Martínez 2006b].

De manera similar a las comparaciones de resultados presentadas para las pruebas de desbalance por componente de secuencia cero, las Figuras 3.45 y 3.46 presentan las comparaciones de los resultados obtenidos con VOLTS (línea continua) y el equipo comercial F6150 (línea punteada) en las pruebas de desbalance por componente de secuencia negativa.

La Figura 3.45 muestra la comparación de los resultados de las pruebas de desbalance por componente de secuencia negativa sin distorsión armónica mientras que la Figura 3.46 muestra la comparación de los resultados de las pruebas de desbalance por componente de secuencia negativa en presencia de contaminación por tercer armónico al 50%. En ambas gráficas se puede observar que existe un alto grado de exactitud de los resultados obtenidos con VOLTS (línea continua) en comparación con los resultados obtenidos con el equipo comercial F6150 (línea punteada), lo cual valida una vez más el correcto funcionamiento del equipo de prueba en lazo abierto desarrollado.

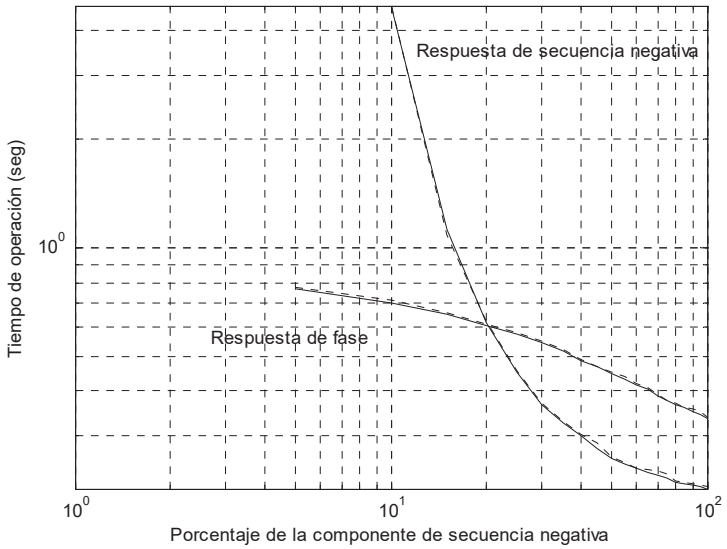


Figura 3.45. Comparación de respuestas al desbalance por componente de secuencia negativa sin contaminación armónica, obtenidos con VOLTS (línea contínua) y con el F6150 (línea discontínua).

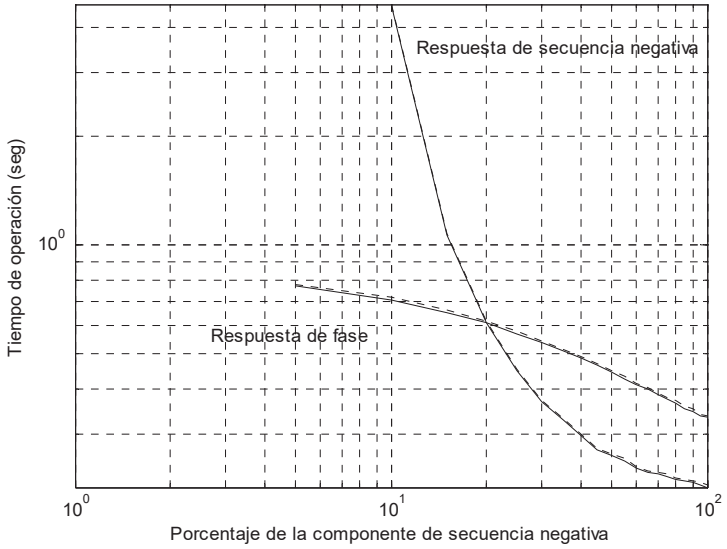


Figura 3.46. Comparación de respuestas al desbalance por componente de secuencia negativa con contaminación por tercer armónico al 50%, obtenidos con VOLTS (línea contínua) y con el F6150 (línea discontínua).

3.4 Conclusiones

En el presente capítulo se explicó la importancia de las pruebas en lazo abierto para efectuar pruebas de equipos de protección, medición y control que incluyen pruebas de funcionamiento, ajuste, calibración y caracterización.

Existen varios equipos comerciales para efectuar pruebas en lazo abierto entre los cuales se encuentran el F6150 de Doble Engineering Laboratories, el RTP del HVDC Research Centre, el SEL-4000 de Schweitzer Engineering Laboratories y el CMC 156 ó CMC 256 de la marca Omicron, entre los más importantes. En este capítulo se describen las características de los dos primeros por ser dos de los equipos para pruebas en lazo abierto más importantes. Se detallan también las características de un equipo de pruebas en lazo abierto desarrollado como parte de esta tesis denominado VOLTS (Versatile Open Loop Testing System), o equipo de pruebas en lazo abierto versátil, que resulta una aportación muy importante de esta tesis, en conjunto con los casos de estudio desarrollados, que presentan una comparación de los resultados de pruebas efectuadas con VOLTS y el equipo comercial F6150, y que a su vez validan el funcionamiento del primero.

VOLTS cuenta con una capacidad superior al RTP y al F6150 en lo que respecta a reproducir señales con frecuencias de muestreo más altas, es decir, con una cantidad mayor de muestras por ciclo o intervalos de muestreo más pequeños, ya que puede reproducir señales con un intervalo de muestreo mínimo de 1μS, mientras que el RTP puede reproducir señales con un intervalo de muestreo mínimo de 35μS y el F6150 de DOBLE reproduce señales basado en una frecuencia de muestreo de 10kHz, es decir, en un intervalo de muestreo de 100μS.

En lo que respecta a la capacidad de sincronizar eventos de pruebas punto a punto mediante el uso de la señal satelital GPS, VOLTS por el momento no cuenta con estas funciones, ni tampoco las de manejo de canales digitales de entradas y salidas. Sin embargo, la experiencia y conocimientos adquiridos durante el desarrollo de este trabajo no limitan la implementación a corto plazo de estas funciones adicionales.

El equipo de pruebas VOLTS cuenta con diferentes funciones para cargar un archivo de datos de entrada, generar señales de prueba a partir de pruebas fijas, post-procesar las señales cargadas en VOLTS, así como la función de generar un archivo de datos de salida. La función de post-procesamiento para duplicar la frecuencia de muestreo de la señal de entrada se basa en técnicas de interpolación y le otorga al equipo de reproducción una característica muy importante, que consiste en reconstruir o aumentar la resolución de una señal de entrada que presente una tasa de muestreo baja, ya que esta función se puede aplicar de forma recurrente, logrando incrementos en la resolución de las señales de entrada en un factor de 2^n, donde *n* representa el número de veces que se aplica la función a una misma señal.

En cuanto a las pruebas de distorsión armónica efectuada a un relevador electromecánico, uno estático y uno digital, se puede concluir que la presencia de armónicos provoca que la operación de los relevadores electromecánicos y estáticos sea mas rápida, sobretodo con los armónico de orden bajo. En el caso particular del relevador electromecánico, la presencia de armónicos provoca adicionalmente que las curvas se hagan menos inversas, principalmente también con los armónicos de orden bajo. Lo anterior no aplica a los relevadores digitales, cuya inmunidad a los armónicos es muy elevada, presentando tiempos de operación muy similares tanto en ausencia de armónicos como en presencia de ellos.

Los resultados de las pruebas de desbalance efectuadas al relevador digital indican que las funciones de protección de secuencia cero y negativa son mas sensibles al grado de desbalance que las funciones de fase, por lo que una combinación de ambas en una función de protección contra desbalance es lo mas recomendable para una operación selectiva y oportuna.

CAPÍTULO 4

ESQUEMAS EN LAZO CERRADO Y SIMULACIÓN EN TIEMPO REAL

4.1 Introducción

En el Capítulo 3 se describieron los sistemas de pruebas en lazo abierto, mencionando sus características y la importancia que este tipo de equipos tienen para efectuar pruebas de funcionamiento de relevadores de protección, calibración de equipos de medición y muchos otros tipos de pruebas que se puedan efectuar con un equipo o sistema que opere en modo fuera de línea. Sin embargo, se mencionó también que existen algunos casos de particular importancia en los que se requiere implementar esquemas de pruebas en lazo cerrado, que solo se pueden realizar con un sistema que opere en tiempo real o en línea, por lo que este capítulo está destinado a describir este tipo de esquemas en lazo cerrado y la forma en que se implementó el simulador en tiempo real reportado en esta tesis.

A continuación se describen las características con las que debe contar un sistema de pruebas con el que se puedan implementar esquemas en lazo cerrado, así como los requisitos que debe cumplir todo simulador o sistema capaz de operar en tiempo real.

4.2 Esquemas en Lazo Cerrado

Esquemas de pruebas en lazo cerrado. Los esquemas de pruebas en lazo cerrado son aquellos que incluyen un equipo de pruebas capaz de simular el comportamiento de un sistema o parte de un sistema físico y generar formas de onda que representen su comportamiento para ser aplicadas en tiempo real a un equipo sometido a prueba, interactuando con él a través del monitoreo de las señales de respuestas del propio equipo sometido a prueba y respondiendo a estas señales, tal y como lo haría el sistema físico simulado. Este tipo de esquemas se conocen también como sistemas con hardware en el lazo (Hardware In the Loop, HIL) [Wu *et al.* 2006].

Debido a que para implementar un esquema en lazo cerrado se requiere contar con un simulador que opere en tiempo real, a continuación se describen las características con las que debe contar todo sistema que opere en tiempo real, se presentan algunas definiciones útiles y se mencionan el conjunto de herramientas necesarias para el desarrollo del simulador en tiempo real, cuya arquitectura y características se describen en la Sección 4.9, y cuyos resultados se presentan en la unidad 5.

4.3 Simulación en Tiempo Real

Para poder realizar simulaciones en tiempo real es fundamental contar con un sistema o aplicación capaz de operar en tiempo real, por lo que a continuación se describen las características con las que debe contar un sistema o aplicación que cumpla con estas características.

Sistemas ó aplicaciones que operan en tiempo real: Para que un sistema o aplicación sea capaz de operar en tiempo real, debe responder de forma determinista y predecible a la llegada de estímulos externos impredecibles. En pocas palabras, un sistema capaz de operar en tiempo real tiene que cumplir bajo carga extrema con las siguientes condiciones:

- *Puntualidad.* Tiene que ver con cumplir con tiempos límites, lo cual significa que se requiere que la aplicación tiene que terminar ciertas tareas dentro de los límites de tiempo que tiene que respetar.
- *Simultaneidad.* Se conoce también como procesamiento simultáneo y significa que puede ocurrir más de un evento de forma simultánea cumpliendo con todos los tiempos límites.
- *Ser predecible*. El sistema de tiempo real debe reaccionar a todos los eventos posibles de una forma predecible.
- *Confiabilidad.* Es necesario que se pueda confiar en el entorno del sistema de tiempo real.

En un sistema o aplicación en tiempo real, se debe tomar en cuenta que para hacer que una aplicación sea *predecible*, el programador debe entender cuales límites de tiempo son significativos. Por ejemplo, el tiempo promedio que toma determinada tarea no garantiza que dicha tarea se complete de manera predecible dentro de los límites de tiempo, por lo que los programadores de aplicaciones en tiempo real deben conocer los requerimientos de tiempo en el peor de los casos, de

tal forma que puedan diseñar una aplicación que siempre cumpla con los límites de tiempo respectivos.

Las aplicaciones en tiempo real se pueden clasificar como tiempo real suave (soft real-time, SRT) y tiempo real duro (hard real-time, HRT)[Conceptos TR 2007].

Tiempo real suave: Las aplicaciones de tiempo real suave no fallan si no se cumple con un tiempo límite. Algunas aplicaciones de tiempo real pueden procesar grandes cantidades de datos o requieren una respuesta muy rápida en el tiempo, pero el problema clave es cuando el cumplir o no con las restricciones de tiempo es una condición de éxito para la aplicación. Un ejemplo de aplicación de tiempo real suave es el sistema de reservaciones por internet de una línea aérea, en donde un retardo ocasional es tolerable aunque no deseado.

Tiempo real duro: Las aplicaciones de tiempo real duro requieren una respuesta a los eventos dentro de una cantidad de tiempo predeterminada para que la aplicación funcione apropiadamente. Si una aplicación de tiempo real duro falla en cumplir con los límites de tiempo especificados, la aplicación falla. Mientras muchas aplicaciones de tiempo real duro requieren respuestas de alta velocidad, otras puede operar con respuestas lentas, si la aplicación de tiempo real duro está relacionada con procesos físicos lentos. Un ejemplo de una aplicación de tiempo real duro lo constituye el sistema de guía de un misil, en donde una respuesta tardía en la corrección necesaria en la dirección puede ocasionar un desastre.

El simulador en tiempo real que se desarrolló como parte principal de esta tesis es un ejemplo de un sistema de tiempo real duro. En las siguientes secciones se describen las características de diferentes herramientas de software que representan opciones para la implementación de un simulador en tiempo real, usando la propuesta del uso de un sistema distribuido basado en una red de computadoras estándar y algunas de estas herramientas de software comerciales. La arquitectura final del simulador desarrollado en conjunto con las herramienta de software seleccionadas se presentan en la Sección 4.9.

4.4 Plataforma de programación para el desarrollo de un simulador en tiempo real (Visual C++)

En esta sección se presenta una breve descripción de las características de esta plataforma de programación, que determinaron que se eligiera como la base para el desarrollo del simulador digital en lazo cerrado en tiempo real *CLODSA-RT* (Closed LOop Digital Simulator and Analyzer in Real Time), cuya arquitectura se describe en la Sección 4.9 y cuyos resultados se presentan en el Capítulo 5.

Microsoft® Visual C++ es un entorno de programación en el que se combinan la programación procedimental estándar de ANSI C, la programación orientada a objetos de C++ y el sistema de desarrollo diseñado especialmente para crear aplicaciones gráficas para Windows®, que es el entorno más popular de interfase gráfica de usuario GUI (Graphical User Interface). Windows provee rutinas que permiten utilizar componentes como menús, cuadros de diálogo y barras de desplazamiento, entre otros. Así mismo, el programador puede manipular el ratón, el teclado, el monitor, la impresora, los puertos de comunicaciones y el reloj del sistema de una manera sencilla a través de funciones incorporadas en las diferentes bibliotecas con las que cuenta Visual C++.

Las aplicaciones visuales para Windows tienen la característica de ser sencillas de utilizar, sin embargo, el desarrollo de este tipo de aplicaciones requiere de un amplio conocimiento de programación visual en C++ y del uso de las diferentes bibliotecas de programas que este entorno proporciona para facilitar el trabajo del programador. Uno de los ejemplos más importantes de estas bibliotecas de programas que vienen incorporadas en el entorno de Visual C++ es la Microsoft Foundation Class (MFC), la cual permite crear de una forma intuitiva las aplicaciones para Windows, según su naturaleza de objetos, es decir, MFC es una biblioteca de clases que encapsula las funciones de la Interfase de Programación de Aplicaciones (Application Programming Interface API) de Windows para crear y manipular objetos de Windows, tales como ventanas, controles, manejadores de puertos de comunicación, etc. [Pappas y Murray 1999][Ceballos 2000] [MS VS .NET 2003].

En general, el lenguaje de programación C cuenta con una gran reputación, al considerarse como un lenguaje de programación del sistema por su utilidad para escribir compiladores y sistemas operativos, ya que el sistema operativo UNIX y la mayoría de aplicaciones que funcionan bajo éste están escritos en C. Sin embargo, esto no significa que C esté vinculado únicamente a UNIX, por el contrario, C es muy utilizado para escribir programas en diferentes plataformas, lo que lo hace muy popular y poderoso en la mayoría de plataformas operativas.

La plataforma de programación de Visual C++ se eligió para desarrollar el simulador en tiempo real *CLODSA-RT*, debido a diferentes características que dicha plataforma de programación debía cumplir. Estas características son:

1. Ser un lenguaje o plataforma de programación con el poder para desarrollar aplicaciones científicas, como lo es la simulación de circuitos y redes eléctricas.
2. Ser una plataforma de programación que permita el desarrollo de una aplicación gráfica fácil de manejar para el usuario a través de ventanas, botones, etc.
3. Ser una plataforma de programación que permita la incorporación de bibliotecas de programas para el manejo de dispositivos de adqusición de datos (DAQ), de salidas analógicas (AO) y entradas y salidas digitales (DIO).
4. Ser una plataforma de programación que permita la incorporación de bibliotecas de programas de procesamiento en paralelo.
5. Ser una plataforma de programación que permita la ejecución de subprocesos en tiempo real, a través de bibliotecas de programas que interactúen con alguna extensión de tiempo real, instalada para el sistema operativo seleccionado.

Visual C++ cumple con las características anteriores ya que:

1. Es bien sabido que el lenguaje C/C++ cuenta con el poder necesario para desarrollar aplicaciones científicas, superando incluso en este campo al lenguaje de programación FORTRAN [Chapman 2003].

2. Visual C++ está diseñado para desarrollar aplicaciones gráficas que corran en Windows, el sistema operativo más popular.
3. La mayoría de los fabricantes de dispositivos DAQ, AO y DIO cuentan con bilbiotecas de programas en C ó C++ para su manejo y en el caso particular de las tarjetas de National Instruments (NI) seleccionadas para desarrollar el simulador en tiempo real *CLODSA-RT*, NI cuenta con las bibliotecas Measurement Studio, que se incorporan directamente a Microsoft Visual Studio, las cuales permiten el manejo de dispositivos de DAQ, AO y DIO, la incorporación de controles avanzados y el uso de rutinas avanzadas de procesamiento digital, manejo de vectores y matrices, y muchas funciones más que se describen en la Sección 4.5.
4. Existen bibliotecas de programas que permiten realizar procesamiento en paralelo, tales como PVM (Parallel Virtual Machine) [Geist *et al.* 1994] para Windows y Multithreading [SUN 1997], que se pueden incluir como en el caso de PVM, o ya vienen incluidas, como es el caso de Multithreading dentro de Visual C++.
5. La mayoría de las extensiones de tiempo real tanto para sistemas operativos UNIX como para Windows cuentan con bibliotecas para C ó C++, que permiten la ejecución de subprocesos en tiempo real, por lo que Visual C++ cuenta con la característica necesaria para ejecutar subprocesos en tiempo real a través de bibliotecas instaladas para el manejo de alguna extensión de tiempo real para Windows, como las que se describen en la Sección 4.7.

4.5 Bibliotecas de manejo de dispositivos de E/S (Measurement Studio®)

Todo simulador que opere en tiempo real requiere contar con dispositivos de entrada y salida (E/S), tales como entradas analógicas (dispositivos DAQ), salidas analógicas (dispositivos AO) y entradas y salidas digitales (dispositivos DIO). Aún cuando existen muchas opciones disponibles de forma comercial, en lo que respecta a este tipo de dispositivos y que la mayoría de estas opciones ofrecen bibliotecas en C para su manejo, una de las opciones líderes en el ramo es National Instruments®, que cuenta con dispositivos de reconocida calidad, además de que ofrece diferentes herramientas de software para su manejo, entre las cuales se encuentra el Measurement Studio®, que ofrece una gran cantidad de bibliotecas no solo de manejo de los dispositivos de E/S sino también bibliotecas matemáticas, de procesamiento digital y de manejo de dispositivos de comunicación, entre otras que se describen más adelante. Por lo anterior, Measurement Studio se eligió como la herramienta de

manejo de los dispositivos de E/S seleccionados de National Instruments, de los cuales se habla más a detalle en la Sección 4.9.

Measurement Studio ofrece herramientas de desarrollo y un amplio conjunto de clases orientadas a objetos para programadores en Visual C#, Visual Basic .NET y Visual C++. La plataforma de programación elegida para desarrollar el simulador en tiempo real *CLODSA-RT* es Visual C++ .NET 2003, seleccionándose las bibliotecas en Visual C++ de Measurement Studio.

Measurement Studio provee una opción de diseño interactivo para el desarrollo de instrumentos virtuales en Visual C++. Measurement Studio incluye clases para Visual C++ para manejo del hardware de E/S, provee opciones de análisis de datos y transferencia de datos a través de internet, así como controles ActiveX para crear la interfase de usuario. El enlace entre las clases de medición y los controles de la interfase son objetos de datos que encapsulan de forma transparente y transfieren los datos desde la adquisición, a través del análisis y hasta su presentación MS Evaluation Guide 2003].

4.6 Herramientas de Procesamiento en Paralelo

El desarrollo de un simulador con la capacidad de operar en tiempo real normalmente requiere que todo el proceso involucrado con la simulación en un paso de integración de toda la red eléctrica, en conjunto con los procesos auxiliares que se requieran para leer datos de los canales analógicos y digitales de entrada, y escribir datos a los canales analógicos y digitales de salida, se realicen en un tiempo menor o igual al paso de integración seleccionado por el usuario. En la mayoría de las redes eléctricas, el paso de integración que se requiere para obtener resultados correctos al aplicar las técnicas de solución de las ecuaciones que representan su comportamiento dinámico debe ser lo suficientemente pequeño para que se logre la convergencia de dichos algoritmos de solución; normalmente se encuentra alrededor de los 50μS, aunque algunas redes pueden entregar resultados correctos con pasos de integración más grandes, y otras redes con características muy especiales, pueden requerir incluso pasos de integración tan pequeños como de 1μS.

Este tiempo, que se debe seleccionar para el paso de integración que se encuentra en el orden de los microsegundos, es el tiempo máximo que se tiene en un simulador en tiempo real para leer datos de entrada, resolver toda la red para obtener los resultados de un paso de integración y enviar los resultados a los canales de salida. Debido a que el número de operaciones involucradas en la solución de una red eléctrica puede ser muy grande, dependiendo del tamaño y la complejidad de la red, resulta muy común que un solo procesador no sea capaz de concluir con todo el proceso de simulación en un tiempo menor a un paso de integración, por lo que resulta necesario el uso de herramientas de procesamiento en paralelo, que permitan dividir las tareas a realizarse como parte del proceso de simulación, para que aquellas tareas que sean paralelizables se realicen de forma simultánea.

Dentro de los diferentes esquemas de procesamiento en paralelo existen los sistemas conocidos como multi-procesador y los conocidos como multi-computador.

Dentro de la clasificación de los sistemas de procesamiento paralelo basados en arquitecturas multiprocesador se encuentran las supercomputadoras, que cuentan con un número grande de procesadores, o los sistemas paralelos, diseñados a la medida en base a un conjunto de Microprocesadores ó Procesadores Digitales de Señales (Digital Signal Processor, DSP), con una arquitectura de hardware con diseño especial para operar en paralelo. A este tipo de arquitecturas multiprocesador también se les conoce como sistemas de *procesamiento en paralelo concentrados* y normalmente tienen asociado un costo muy elevado debido a su diseño especial para su aplicación en tareas específicas de procesamiento en paralelo.

Los sistemas de procesamiento en paralelo conocidos como multi-computador están formados por un conjunto de computadoras conectadas en red que pueden realizar procesos simultáneos a través del uso de alguna herramienta de software que controle la ejecución de las diferentes tareas, que se ejecutarán de forma simultánea en las diferentes computadoras que constituyen la red. A este tipo de sistemas de procesamiento en paralelo basados en redes de computadoras se le conoce también como *sistemas de procesamiento en paralelo distribuidos*, y pueden estar formados tanto por un conjunto de computadoras estándar de bajo costo como también pueden contener computadoras con múltiples procesadores.

Debido a que la idea del desarrollo del simulador en tiempo real que se documenta en esta tesis está orientada al desarrollo de un sistema de bajo costo que permita a futuro la reutilización de computadoras estándar de diferentes generaciones para conformar un sistema de procesamiento en paralelo, capaz de realizar funciones de simulación en tiempo real, a continuación se describen las características de algunas herramientas de software que permiten el manejo de procesos simultáneos o concurrentes en un sistema de procesamiento en paralelo distribuido o basado en una red de computadoras.

4.6.1 Subprocesamiento Múltiple (Multithreading)

El subprocesamiento múltiple ó Multithreading es actualmente una de las herramientas más utilizadas para la ejecución de procesos concurrentes. Esta herramienta de procesamiento concurrente está disponible a través de diferentes bibliotecas que existen tanto para los sistemas operativos tipo Unix como para Windows.

Debido a que la plataforma de programación que se eligió para desarrollar el simulador *CLODSA-RT* es el Visual C++ que corre bajo el sistema operativo Windows, las características de la biblioteca de subprocesamiento múltiple que se describen en esta sección corresponden a esta plataforma de programación, sin embargo, existen bibliotecas para realizar subprocesamiento múltiple para diferentes sistemas operativos y diferentes lenguajes de programación.

Es importante mencionar que un "proceso" es una instancia en ejecución de una aplicación, por ejemplo, al hacer doble click en el icono del bloc de notas, se inicia un proceso que ejecuta la aplicación del bloc de notas. Un "subproceso" es un hilo de ejecución dentro de un proceso, por ejemplo un subproceso con el que cuentan todos los procesos es la función principal de la aplicación (main), sin embargo, se pueden crear subprocesos adicionales dentro de una aplicación de Visual C++ haciendo uso de los objetos **CWinThread** de las bibliotecas MFC (Microsoft Foundation Class).

Para crear un subproceso, no es necesario crear de forma explícita una instancia del objeto CWinThread sino que en la mayoría de los casos es suficiente con llamar la función AfxBeginThread, la cual se encarga de crear de forma automática el objeto CWinThread.

La función AfxBeginThread tiene las siguiente dos formas de invocarse:

```
CWinThread* AfxBeginThread(
        AFX_THREADPROC pfnThreadProc,
        LPVOID pParam,
        int nPriority = THREAD_PRIORITY_NORMAL,
        UINT nStackSize = 0,
        DWORD dwCreateFlags = 0,
        LPSECURITY_ATTRIBUTES lpSecurityAttrs = NULL
);
CWinThread* AfxBeginThread(
        CRuntimeClass* pThreadClass,
        int nPriority = THREAD_PRIORITY_NORMAL,
        UINT nStackSize = 0,
        DWORD dwCreateFlags = 0,
        LPSECURITY_ATTRIBUTES lpSecurityAttrs = NULL
);
```

La primera forma de AfxBeginThread crea un *hilo trabajador* (worker thread), que se utiliza para realizar tareas, tales como cálculos, que no requiere que el usuario proporcione datos. La segunda forma crea un *hilo de interfase con el usuario* (user-interface thread), que se suele utilizar para controlar los datos proporcionados por el usuario y para responder a eventos y mensajes generados por el usuario. El valor de regreso de la función AfxBeginThread es un apuntador al objeto del hilo creado recientemente.

Cuando se lanzan varios subprocesos de forma concurrente, es muy común que estos subprocesos accedan a recursos compartidos, que exigen que se lleve a cabo una administración adecuada de la forma en que se acceda a ellos, ya que un acceso no sincronizado de varios subprocesos a un recurso compartido puede provocar la terminación anormal del proceso principal.

Existen cuatro mecanismos para limitar el acceso a los recursos comunes y para sincronizar el procesamiento entre los subprocesos, los cuales trabajan de maneras diferentes, además de que su viabilidad depende de las circunstancias. Dichos mecanismos son las Secciones críticas, los Mutexes, los semáforos y los eventos [Chapman 1999].

Las herramientas de software descritas en esta sección, se utilizaron para ejecutar diferentes subprocesos en el simulador en tiempo real *CLODSA-RT*. Estos subprocesos permitieron reducir drásticamente el tiempo de procesamiento de las rutinas de simulación e intercambio de datos en *CLODSA-RT* y con ello se pudo lograr la operación en tiempo real de los casos que se presentan en la unidad 5.

El subprocesamiento múltiple o Multithreading se puede utilizar para ejecutar varios subprocesos en una sola computadora con un solo procesador que funcione bajo un sistema operativo multitarea como Windows, así como procesos paralelos en una computadora con múltiples procesadores en donde la ejecución de cada subproceso se pueda dirigir a un procesador independiente. Por supuesto, el segundo caso implica un poder de procesamiento mayor, al contar con procesos que se ejecutan de forma simultánea en procesadores independientes.

4.6.2 Parallel Virtual Machine (PVM)

La Máquina Virtual Paralela (Parallel Virtual Machine, PVM) [Geist *et al.* 1994] es un sistema de software que permite una colección heterogénea de computadoras originalmente bajo ambiente Unix conectadas en red para que sean vistas por el programa del usuario como una sola computadora paralela.

El sistema PVM ha evolucionado en los últimos años para convertirse en una tecnología viable para el procesamiento paralelo distribuido en una variedad de disciplinas. PVM soporta un modelo de paso de mensajes sencillo pero funcionalmente completo.

PVM está diseñado para enlazar los recursos de computación y proveer a los usuarios con una plataforma paralela para correr sus aplicaciones computacionales independientemente del número de computadoras diferentes que estas usen y de en donde estén localizadas dichas computadoras [Geist *et al.* 1994].

El sistema PVM actualmente soporta los lenguajes C, C++, y Fortran. Este conjunto de lenguajes de interfase se han incluido basados en la observación de que la mayoría predominante de aplicaciones

están escritas en C y Fortran, con una tendencia creciente a la experimentación con metodologías y lenguajes orientados a objetos [Geist *et al.* 1994].

Actualmente existe una versión de PVM para Windows que permite crear una red heterogénea de computadoras actuando como una sola computadora en paralelo, que incluya no solo sistemas Unix, sino también computadoras basadas en el sistema operativo Windows. Esta versión de PVM para Windows incluye bibliotecas para C y C++ que pueden utilizarse dentro de Visual C++, sin embargo, por el momento el simulador digital *CLODSA-RT* no incluye el uso de esta herramienta de procesamiento en paralelo ya que ni la versión de PVM para Unix ni la versión de PVM para Windows tienen la capacidad de operar en tiempo real, aunque a futuro debe seguirse considerando a PVM como una opción de procesamiento en paralelo distribuido, ya sea para auxiliar en la realización de procesos secundarios que no requieran el determinismo de los procesos que deben operar en tiempo real, o bien, explorando la posibilidad de usar nuevas versiones de PVM con capacidad de operar en tiempo real, que surjan como resultado de la creciente investigación en plataformas de tiempo real o algunas otras plataformas de tiempo real como RTVM [Cavanagh y Wang 2005] o como las que se describen el la Sección 4.7.

4.6.3 Otras herramientas de procesamiento en paralelo

Diferentes grupos de investigación han desarrollado paquetes de software que de manera similar a PVM asisten a los programadores en el uso de sistemas de cómputo distribuidos. Entre los más conocidos se encuentran: P4, Express, MPI y Linda [Geist *et al.* 1994].

El sistema *P4* es una biblioteca de macros y subrutinas desarrolladas en el Argonne National Laboratory para programar una gran variedad de máquinas paralelas. El sistema *P4* soporta tanto el modelo de memoria compartida (basado en monitores) como el modelo de memoria distribuida (que usa paso de mensajes) [Geist *et al.* 1994].

En contraste con otros sistemas de procesamiento en paralelo, el conjunto de herramientas *Express* es una colección de herramientas que direccionan individualmente varios aspectos de la computación concurrente. Este conjunto de herramientas es desarrollado y comercializado por

ParaSoft Corporation [Parasoft 2007]. La filosofía detrás del procesamiento con *Express* se basa en comenzar con una versión secuencial de una aplicación seguido de un ciclo de vida de desarrollo que culmine en una versión paralela que se sintoniza para operar de forma óptima.

La Interfase de Paso de Mensajes (Message Passing Interface, *MPI 1994*) es un estandar cuyas especificaciones se terminaron en Abril de 1994, y es el resultado de un esfuerzo comunitario para tratar de definir tanto la sintaxis como la semántica del núcleo de rutinas de la biblioteca de paso de mensajes que sean útiles a un amplio rango de usuarios y que sean implementables de forma eficiente en un amplio rango de computadoras de múltiples procesadores paralelos (MPP).

El sistema *Linda* [Geist *et al.* 1994] es un modelo de programación concurrente que ha evolucionado a partir del proyecto de investigación de la Universidad de Yale. El principal concepto de *Linda* se denomina “tuple-space”, una vía de abstracción en la cual los procesos que cooperan entre si se comunican. Este tema central de *Linda* se ha propuesto como un paradigma alternativo a los dos métodos tradicionales de procesamiento en paralelo: el basado en memoria compartida y el basado en el paso de mensajes.

Aparte de las opciones para el procesamiento en paralelo descritas en las Secciones 4.5.1, 4.5.2 y en esta sección, la mayoría de los sistemas operativos y extensiones de tiempo real que se describen en la Sección 4.7 incluyen bibliotecas de comunicación en tiempo real vía Ethernet que permiten llevar a cabo procesamiento en paralelo con comunicación en tiempo real entre un conjunto de computadoras y sistemas embebidos (aplicaciones autónomas) conectados en red.

4.7 Sistemas Operativos y Extensiones de Tiempo Real

En esta sección se presentan las características de diferentes sistemas operativos y extensiones de tiempo real disponibles, ya sea de forma libre o comercial para diferentes procesadores y sistemas operativos (para el caso de las extensiones de tiempo real). Antes de comenzar a describir las características de este tipo de herramientas de tiempo real es importante definir algunos conceptos.

Sistema Operativo Multitarea: Es aquel sistema operativo que funciona cargando en memoria una tarea, permitiendo que el procesador la corra durante una porción de tiempo para luego suspenderla e iniciar posteriormente la carga de otra tarea en memoria, para que el procesador la ejecute durante otra pequeña porción de tiempo. Este proceso se repite de forma periódica con el total de tareas que el procesador debe atender, por lo que cada tarea es atendida por el procesador únicamente durante un intervalo corto del tiempo total de procesamiento del procesador. Un sistema operativo multitarea no responde de forma determinista a los eventos que una aplicación le solicita, pudiendo tener retardos impredecibles en la ejecución de las tareas involucradas. Algunos ejemplos de sistemas operativos multitarea son los sistemas operativos tradicionales como Unix, Linux, Windows, Solaris, etc.

Sistema Operativo en Tiempo Real: Sus siglas en inglés son RTOS (Real-Time Operating System) y es una clase de sistema operativo creado para desarrollar aplicaciones de tiempo real embebidas en sistemas autónomos basados en diferentes tipos de procesadores. Un RTOS usa algoritmos especializados de programación de eventos con el propósito de proveer al desarrollador de la aplicación en tiempo real, las herramientas necesarias para proveer un comportamiento determinista a la aplicación final, es decir, un RTOS cuenta con la característica de proveer sus servicios a los usuarios y el mundo que lo rodea dentro de límites de tiempo estrictos.

Las funciones básicas de un RTOS se encuentran concentradas dentro de un programa denominado "kernel". El kernel de un RTOS provee una "capa de abstracción" (interfase de alto nivel) que oculta al software de la aplicación los detalles de hardware del procesador (o conjunto de procesadores) en el (los) que se ejecutará el software de la aplicación. Para proveer esta "capa de abstracción", el kernel del RTOS proporciona cinco categorías principales de servicios básicos al software de la aplicación: (1) Manejo de tareas, (2) comunicación y sincronización entre tareas, (3) manejo de contadores y temporizadores, (4) asignación de memoria y (5) manejo de dispositivos de entrada y salida.

Adicionalmente a los servicios del kernel, muchos RTOS ofrecen un número de componentes del sistema operativo adicionales para servicios de alto nivel, tales como organización de sistemas de archivos, comunicación por red, manejo de redes y bases de datos, interfases gráficas de usuario,

etc., muchas de estas componentes adicionales son más grandes y más complejas que el kernel del RTOS pero dependen del kernel del RTOS y hacen uso de sus servicios básicos. Cada una de estas componente adicionales se ofrecen de forma separada por parte del desarrollador del RTOS y se incluyen en el sistema embebido únicamente si se necesitan sus servicios dentro de la aplicación, con el propósito de mantener el consumo de memoria del programa al mínimo.

Algunos ejemplos de aplicaciones embebidas de los RTOS incluyen termostatos programables, controladores de aparatos electrodomésticos, teléfonos celulares, robots industriales, naves espaciales, control industrial y equipo de investigación científica entre muchas otras.

Extensiones de Tiempo Real: A diferencia de un RTOS que está orientado principalmente a aplicaciones embebidas, una extensión de tiempo real está orientada a proporcionar características de manejo de procesos en tiempo real dentro un sistema operativo multitarea tradicional, permitiendo que el programador de aplicaciones aproveche tanto las características de alto nivel del sistema operativo multitarea, como las características que proporciona la extensión de tiempo real para el manejo de subprocesos en tiempo real. Al instalar una extensión de tiempo real en un sistema operativo multitarea, se proporcionan herramientas para agregar determinismo a la aplicación desarrollada. Existen extensiones de tiempo real tanto para el sistema operativo Windows como para sistemas operativos tipo Unix (Linux, Unix, Solaris). La mayoría de los desarrolladores de extensiones de tiempo real cuentan también con RTOS compatibles para lograr la operación conjunta en tiempo real de sistemas basados en un sistema operativo multitarea, más una extensión en tiempo real y sistemas embebidos operando bajo el control de un RTOS, y una aplicación de tiempo real desarrollada para dicho RTOS.

Haciendo uso de los conceptos anteriores, se puede entender la importancia de incluir una extensión de tiempo real en el simulador en tiempo real desarrollado en la presente tesis, ya que dicha extensión es necesaria para agregar el determinismo que la simulación de un evento en tiempo real requiere.

Debido a que el simulador en tiempo real desarrollado se basó en la plataforma de Windows, las extensiones adecuadas para usarse en esta aplicación son RTX o INtime. Las extensiones de tiempo real o RTOS que se presentan en las Secciones 4.7.1 a 4.7.8 se describen con la finalidad de

presentar diferentes alternativas para el desarrollo de simuladores en tiempo real basados en sistemas tipo Unix, o sistemas embebidos, o una combinación de ambos.

La eficacia del uso este tipo de sistemas operativos o extensiones de tiempo real se puede ver reflejada en un gran número de aplicaciones comerciales de tiempo real, entre las cuales se puede mencionar el uso de RTX en LabView RT de National Instruments [NI 2007] y de Phar Lap ETS [Ardence 2006] en los sistemas de desarrollo de aplicaciones embebidas que ofrece este mismo fabricante o el uso del sistema operativo IRIX [SGI 2005] para el desarrollo del simulador en tiempo real HYPHERSIM [HYPERSIM 2006] basado en las computadoras SGI Origin 350 y SGI Origin 3000.

4.7.1 Phar Lap ETS

Phar Lap ETS es un sistema operativo en tiempo real desarrollado por Ardence [Ardence 2006]. ETS está desarrollado como un micro kernel de alto desempeño con un tamaño operacional óptimo de solo 88Kbytes. ETS es la solución de tiempo real óptima para dispositivos basados en la arquitectura x86 (386, 486, Pentium, Pentium II, Pentium III, Pentium 4, Pentium M, Xeon y CPUs de AMD).

ETS soporta un número ilimitado de subprocesos (Threads) y asegura un control de grano fino de las aplicaciones con 256 niveles asignables de prioridad de subprocesos. El planificador de eventos (scheduler) garantiza que la atención a los subprocesos de más alta prioridad ocurran en el rango de 500ηS hasta menos de 2μS, lo cual le permite mantener una tasa de interrupciones sostenidas a una frecuencia mayor a los 30kHz. Existen diferentes adiciones (plug-ins) para ETS que agregan funciones como el manejo de comunicaciones TCP/IP o USB 1.1 y 2.0 en tiempo real, entre otras funciones.

La Figura 4.1 muestra la arquitectura de ETS en donde se puede ver la jerarquía de los diferentes componentes de ETS [Ardence 2006].

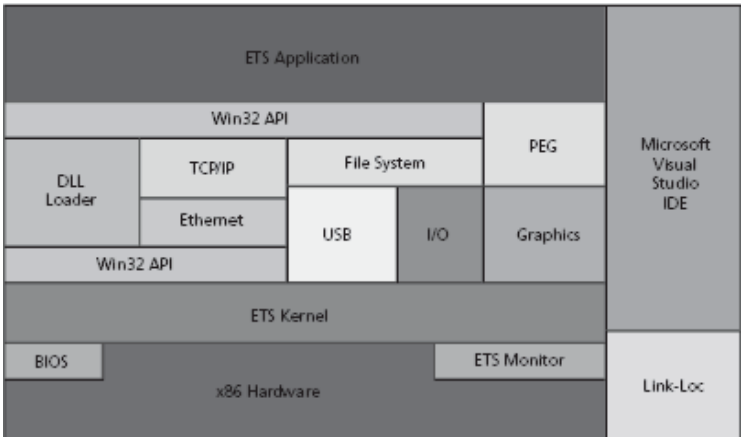


Figura 4.1. Arquitectura de ETS [Ardence 2006].

4.7.2 RTX

RTX es una extensión de tiempo real para control de Windows desarrollado por Ardence®. RTX está diseñado específicamente como una extensión optimizada para el sistema operativo de Windows que provee control preciso de las interrupciones (IRQs), dispositivos de entrada y salida (I/O) y de la memoria para asegurar que las tareas especificadas se ejecuten con la prioridad apropiada y un 100% de confiabilidad. RTX asegura el más alto desempeño y requiere de una configuración mínima, soporta tasas de interrupción sostenidas de 30kHz con un tiempo de latencia menor a 1 microsegundo.

RTX es una extensión verdadera para Windows que utiliza todas las convenciones estándar de Windows, incluyendo las APIs, manejo de memoria, SRIs, mutexes y semáforos que son familiares a los desarrolladores de Windows. Una aplicación de RTX puede hacer uso de las ventajas de los mecanismos de protección de memoria que ofrece windows y la arquitectura de Intel.

La arquitectura de RTX es una extensión verdadera ya que no encapsula a Windows y no interfiere con o modifica ninguna infraestructura de Windows. Manteniendo esta separación, el subsistema de tiempo real de RTX (real-time sub-system RTSS) asegura que las aplicaciones basadas en RTX sobrevivan a bloqueo o “pantallas azules” de Windows.

RTX soporta hasta 1,000 procesos independientes en donde en cada proceso soporta un número ilimitado de hilos (threads). RTX asegura un control de grano fino sobre las aplicaciones, ya que cuenta con 256 niveles de prioridad asignable. El planeador garantiza que la atención a hilos críticos o de alta prioridad ocurra en un rango de tiempo entre los 500 nanosegundos y menos de 2 microsegundos.

La ejecución precisa de eventos es crítica en un sistema de tiempo real, por lo que RTX provee tres relojes que se pueden usar como temporizadores base de eventos. La resolución del reloj, dependiendo del que se use, puede tener una precisión alrededor de los 0.001 nanosegundos sin ningún corrimiento. Los intervalos de tiempo que soportan estos relojes puede ser de 100, 200, 500 y 1000 microsegundos.

RTX cuenta con un conjunto de herramientas de desarrollo que se integran a Microsoft Visual Studio y cuentan con la habilidad de ver la aplicación en tiempo real de forma interactiva para entender las interacciones entre el hardware, RTX y la aplicación de RTX para depurar y analizar el comportamiento de la aplicación.

Existen diferentes adiciones (plug-ins) para RTX como el *RTX Application Wizard*, que permite a los desarrolladores definir la configuración de RTX, el *ActiveView*, que provee acceso en tiempo real a 10 APIs internas de RTX para informar al desarrollador acerca del estado del uso de la memoria, interrupciones, hilos, etc., presentándolos de manera gráfica. La arquitectura de RTX se presenta en la Figura 4.2.

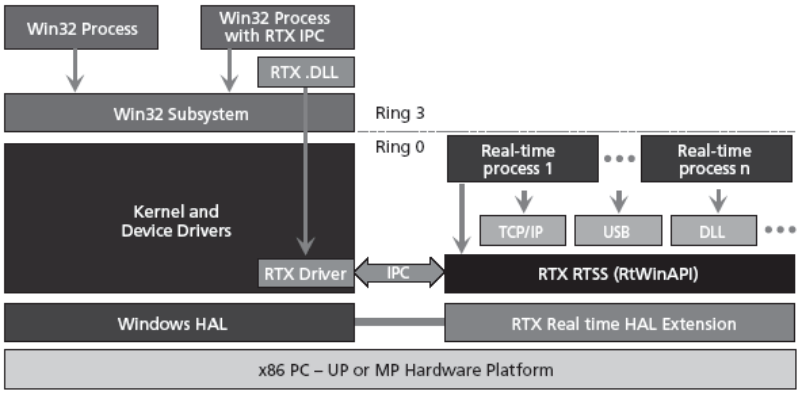


Figura 4.2 Arquitectura del RTX [Ardence 2006].

4.7.3 RTLinux

RTLinux es un Sistema Operativo en Tiempo Real Duro desarrollado por FSMLabs [FSMLabs 2005] que sigue el estándar de un "sistema operativo mínimo de tiempo real" POSIX 1003.13. RTLinux corre Linux en su subproceso (thread) de ejecución de menor prioridad. El subproceso de Linux está diseñado de forma totalmente priorizable, de tal forma que los subprocesos de tiempo real así como el manejo de las interrupciones nunca se vean retardadas por las operaciones que no son de tiempo real. Los subprocesos en tiempo real en RTLinux se pueden comunicar con los procesos de Linux a través de la memoria compartida o de una interfase tipo archivo, de tal forma que las aplicaciones puedan hacer uso de todo el poder de los servicios que no son en tiempo real de Linux.

RTLinux está diseñado para correr en diferentes tipos de procesadores como en la mayoría de procesadores tipo x86 (486 a pentiums, AMD y sistemas PC/104), procesadores Power PC (Motorola/IBM 6xx/7xx/74xx; IBM 405, 440GP, 440GX; Estaciones de trabajo Apple, etc.), sistemas ARM y XScale, y procesadores MIPS. RTLinux soporta también comunicación en tiempo real vía Ethernet y FireWire, entre muchas otras características y adiciones que soporta [FSMLabs 2005].

4.7.4 INtime

INtime es una extensión de tiempo real para Windows desarrollada por TenAsys [TenAsys 2005] que combina control determinista de tiempo real duro con las características estándar de Windows NT 4.0, Windows 2000 y Windows XP. Mediante el uso de INtime se potencializan las características estándar de las aplicaciones de Windows, sin comprometer el control en tiempo real que demandan las aplicaciones desarrolladas. Mediante el uso de INtime se puede lograr una respuesta en el orden de microsegundos en procesos de tiempo real desarrollados con resultados confiables y predecibles. El kernel de tiempo real de INtime soporta 256 niveles de prioridad y temporizacion tipo "round robin" en cada nivel. INtime incluye también un conjunto completo de mecanismos de sincronización y comunicación que soportan las necesidades más grandes de las

aplicaciones más demandantes. INtime permite expandir las aplicaciones en sistemas de control distribuidos con su capacidad integrada de manejo de comunicación TCP/IP en tiempo real.

INtime está diseñado para correr en procesadores x86 y el desarrollo de aplicaciones en tiempo real que usan esta extensión se puede realizar desde Visual Studio [TenAsys 2005].

4.7.5 LynxOS

LynxOS es un sistema operativo de tiempo real duro desarrollado por LynuxWorks [LynuxWorks 2005] dirigido a aquellos fabricantes de equipo que requieren construir sistemas sofisticados de tiempo real que tengan un mayor número de funciones, que tengan un mejor desempeño y que se puedan sacar al mercado rápidamente.

Cada componente del sistema operativo LynxOS está diseñado para operar con absoluto determinismo (desempeño de tiempo real duro). Esto significa que deben responder absolutamente dentro de un periodo de tiempo conocido. Esta respuesta predecible se asegura aún ante la presencia de tráfico intenso de entradas y salidas, debido al modelo de subprocesos (threads) único de su Kernel, el cual habilita las rutinas de interrupción de una manera extremadamente rápida.

LynxOS fue desarrollado para diferentes tipos de procesadores, entre los que se incluyen los procesadores de Intel (IA-32 y XScale) y los de Motorola/IBM Power PC (750, 74xx, 8240 y 60x) entre otros. LynxOS soporta un conjunto muy amplio de manejadores y diferentes protocolos de comunicación de red entre los que se encuentran TCP/IP, UDP, ICMP, IGMP, ARP, RARP, DHCP, NAT, RPC, NTPv3, también soporta diferentes sistemas de archivos y dispositivos de entrada y salida como IDE y EIDE con DMA (acceso directo a memoria), PCMCIA, etc. [LynuxWorks 2005].

4.7.6 On Time RTOS-32

On Time RTOS-32 es un sistema operativo en tiempo real para sistemas embebidos (embedded) con procesadores compatibles x86, que implementa un subconjunto de Windows NT en un tamaño de memoria de únicamente 16kBytes. On Time RTOS-32 se integra completamente con Miscrosoft

Visual Studio y cuenta con componentes adicionales como herramientas de desarrollo, agenda de tiempo real duro, sistema de archivos compatibles con FAT-12/16/32 e ISO 9660 (CD-ROM), Interfase Gráfica de Usuario (GUI) tipo Windows 95, y rutinas de comunicación TCP/IP y USB en tiempo real.

El componénte básico de On Time RTOS-32 es RTTarget-32, el cual es un subconjunto del sistema operativo Win32 para sistemas embebidos en procesadores Intel x86 de 32 bits. Los programas para RTTarget-32 se desarrollan bajo Microsoft Windows usando compiladores estándar (Borland C/C++, Microsoft Visual C/C++, Borland Delphi), compilándose en el modo estándar de consola. La biblioteca de RTTarget-32 (Rtt32.lib) se enlaza con la aplicación, y el archivo .exe resultante, se convierte mediante RTTarget-32 para producir una imagen de la aplicación que se puede programar en una EPROM, escribir en un disco flexible o enviarse al depurador para ser descargado y generar una aplicación que corra de forma autónoma, embebida y en tiempo real en un sistema compatible x86 [On Time Informatik GmbH 2005].

4.7.7 IRIX

IRIX es un sistema operativo de tiempo real duro creado por Sillicon Graphics (SG) [SGI 2005] para sus computadoras multiprocesador de tercera generación SGI Origin 350, SGI Origin 3000 y SGI Onyx 3000. Al conjunto de características de tiempo real incluidas en el sistema operativo IRIX se le conocen como REACT. Las extensiones REACT permiten que el programador diseñe una aplicación que proporcione de forma garantizada un desempeño en tiempo real duro. Las características de REACT incluyen interfases POSIX 1003.1b, programación de eventos de prioridad fija, capacidad de aislamiento y control de procesadores, control de interrupciones y envío e interfase de datos con los buses PCI y VME.

Con los estándares POSIX 1003.1b y POSIX 1003.1c, IRIX ofrece un alto desempeño y portabilidad con características tales como relojes y temporizadores implementados por hardware, comunicación entre procesos (semáforos, señales en tiempo real, objetos de memoria compartida y colas de mensajes), entrada y salida a disco en tiempo real (tanto síncrona como asíncrona), procesos de bloqueo de acceso a memoria, subprocesos, programación de actividades (FIFO, Round-robin),

transferencia de datos con DMA y entrada de interrupciones externas, entre otras características [SGI 2005].

4.7.8 Otros sistemas operativos o extensiones de tiempo real

Aparte de los sistemas operativos de tiempo real o extensiones de tiempo real descritos en las secciones 4.7.1 a 4.7.7 existen muchos más ya sea de forma libre o de forma comercial para diferentes procesadores y sistemas operativos como Windows o sistemas tipo Unix como Linux o Solaris. El Apéndice A presenta una lista de dichas herramientas de tiempo real.

4.8 Metodología de simulación

En esta sección se describe la metodología utilizada para la simulación de redes eléctricas en *CLODSA-RT*. Esta técnica no está basada en la metodología tradicional de Dommel [Dommel y Meyer 1969] [Dommel y Meyer 1974] que todos los simuladores actuales utilizan, la cual se basa en la determinación de los voltajes nodales a partir de la relación linealizada de voltaje-corriente de todos los elementos de la red eléctrica de la forma:

$$[G][v] = [i]. \tag{4.1}$$

donde: $[G]$ es la matriz de conductancias

$[v]$ es el vector de voltajes nodales

$[i]$ es el vector de corrientes

La metodología de simulación utilizada en *CLODSA-RT* está basada en la resolución de un conjunto de ecuaciones de estado que representan el comportamiento dinámico de la red eléctrica a simular mediante el uso de algún método de integración convencional, tal como lo muestra el diagrama de flujo de la Figura 4.3.

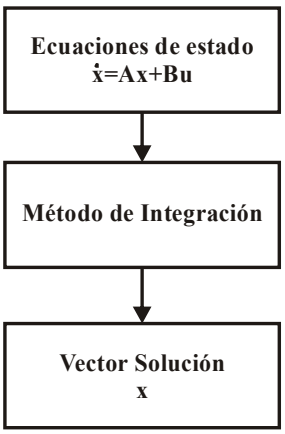


Figura 4.3 Proceso de simulación usando ecuaciones de estado

Debido a que algunas de las redes que se simulan contienen elementos de conmutación, la topología de la red eléctrica que se está simulando cambia dinámicamente a medida que los elementos de conmutación cambian de estado (cerrado o abierto), ya que los propios elementos de conmutación se encargan de agregar o quitar elementos de la red a medida que se cierran o abren respectivamente. Esta situación se ilustra en la Figura 4.4, donde se muestra una representación de una red eléctrica que contiene elementos de conmutación representados mediante interruptores. Estos elementos de conmutación o interruptores cambian la topología de la red, dependiendo de si se encuentran abiertos o cerrados, de tal manera que podemos considerar a la red eléctrica completa como un conjunto de subredes (subred 1, subred 2, subred 3, etc.) que se conectan o desconectan entre si, dependiendo del estado de los interruptores (abierto o cerrado). Cuando cada interruptor se abre o se cierra, separa o une dos subredes cambiando la topología de la red. En una red que contenga varios interruptores, el número de topologías posibles que puede presentar la red esta relacionado con todas las combinaciones de estados de los elementos de conmutación. Cada uno de estos diferentes estados topológicos posee un conjunto de ecuaciones de estado diferentes, que pueden incluso contar con un número diferente de variables de estado.

Como ya se mencionó, el número de estados topológicos que se pueden tener en una red eléctrica depende del número de elementos de conmutación que estén presentes en dicha red, pudiendo alcanzar como máximo un número de estado topológicos igual a $m_{\max} = 2^n$, en donde n es el número total de elementos de conmutación y m es el número total de estados topológicos. Cuando

en una red eléctrica existen algunos elementos de conmutación que operan de forma simultánea, entonces el número de estados topológicos puede ser menor a 2^n.

Una vez determinado el número total de estados topológicos que puede presentar la red, se deben encontrar el conjunto de ecuaciones de estado para cada uno de estos estados topológicos, para que en cada paso de integración se determine, en base a la combinación de estados de los elementos de conmutación, cual es el conjunto de ecuaciones que se debe resolver en cada caso. Debido a que en cada paso de integración existe la posibilidad de pasar de un conjunto de ecuaciones de estado a otro, se debe contar con un mecanismo de transferencia de los valores de las variables de estado del paso (o los pasos) de integración anterior(es), como condiciones iniciales del paso de integración actual. El diagrama de flujo de la Figura 4.5 ilustra esta metodología de simulación para redes eléctricas con elementos de conmutación basada en su representación en espacio de estado.

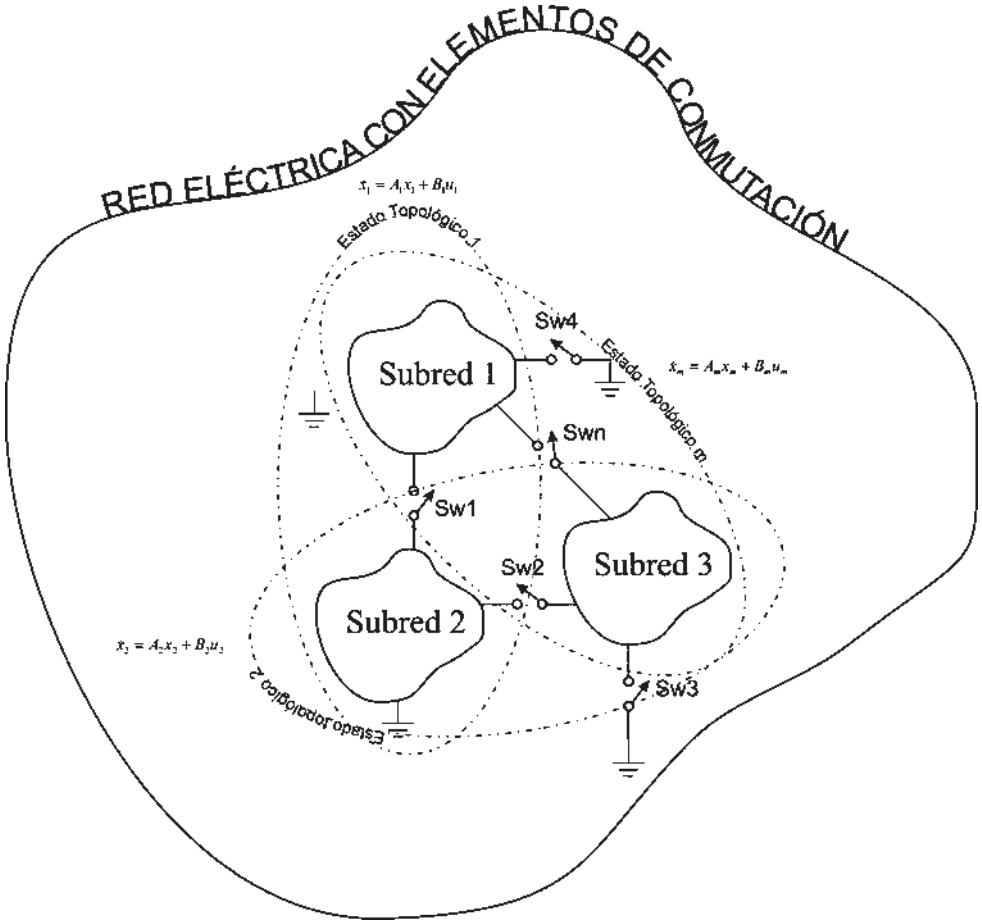


Figura 4.4 Red eléctrica con elementos de conmutación

El diagrama de flujo que se presenta en la Figura 4.5 presenta el procedimiento que se tiene que efectuar en cada paso de integración. El primer paso consiste en determinar el estado topológico que presenta la red para el paso de integración actual, lo cual se logra evaluando el estado de todos y cada uno de los elementos de conmutación, para determinar a que estado topológico corresponde dicha combinación de estados de los interruptores. Una vez determinado el estado topológico en el que se encuentra actualmente la red, se toman las condiciones iniciales para el tiempo actual de simulación (son las condiciones finales del paso de integración anterior si $t \neq 0$; si $t=0$ las condiciones iniciales son el valor de inicialización de toda la simulación, que en muchos casos es cero) y se selecciona el conjunto de ecuaciones de estado para el estado topológico actual. Con el conjunto de ecuaciones para el estado topológico actual y las condiciones iniciales, se realiza la integración de un solo paso con un método de integración convencional y se obtiene el vector solución para el paso de tiempo actual. A partir del vector solución, se almacenan las condiciones finales que servirán como condiciones iniciales del siguiente paso de integración. Todo este procedimiento se repite para cada paso de integración hasta llegar al tiempo total de simulación o bien, hasta que la simulación sea detenida por el usuario.

La Figura 4.6 presenta la forma en que se realiza el proceso de simulación durante todo el tiempo que dura la simulación (tt). Se puede observar que durante todo el tiempo de simulación, en cada paso de integración se realiza la detección del estado de todos los interruptores o elementos de conmutación, para determinar en cada instante, en cual de los m estados topológicos se encuentra la red eléctrica. Una vez que se determina en cual estado topológico se encuentra la red, se selecciona el conjunto de ecuaciones de estado correspondientes, se alimentan las condiciones iniciales (condiciones finales del estado anterior) y se lleva a cabo el proceso de integración en un paso de integración. Después de hacer la integración, se obtienen el vector solución y se deben almacenar las condiciones finales, para usarse como condiciones finales en el siguiente paso de integración. Al almacenar las condiciones finales, es muy importante considerar que en el siguiente paso de integración existe la posibilidad de que la red pase a cualquier otro estado topológico, que puede contener incluso un número diferente de variables de estado, por lo que se deben almacenar condiciones finales para todas las posibles variables de estado, aún cuando estas no formen parte de la solución actual (pueden ser de valor nulo).

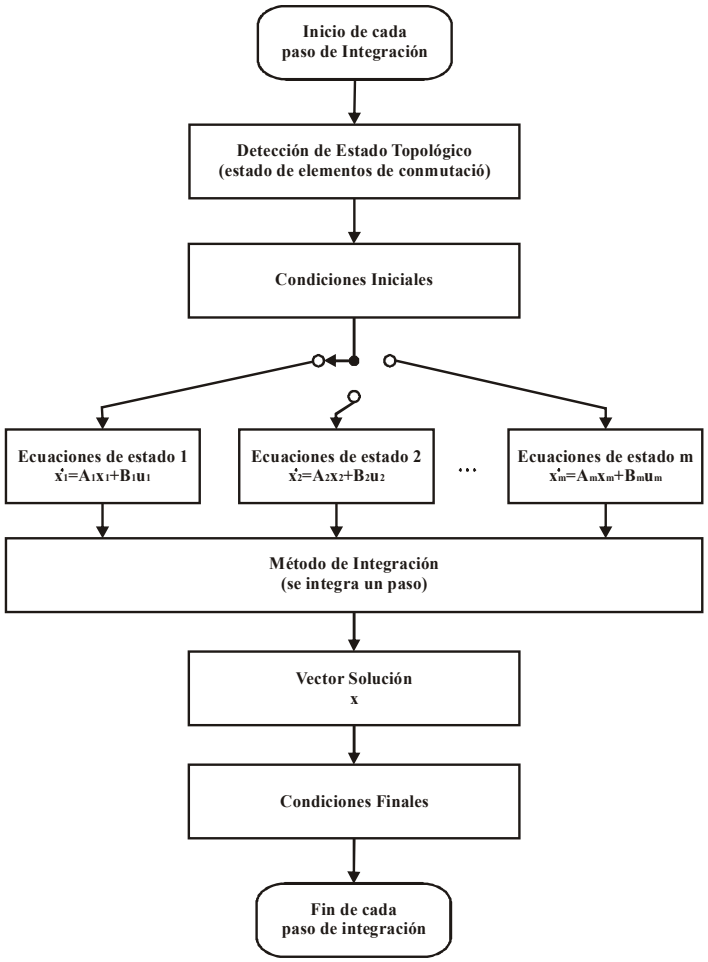


Figura 4.5 Metodología de simulación basada en ecuaciones de estado.

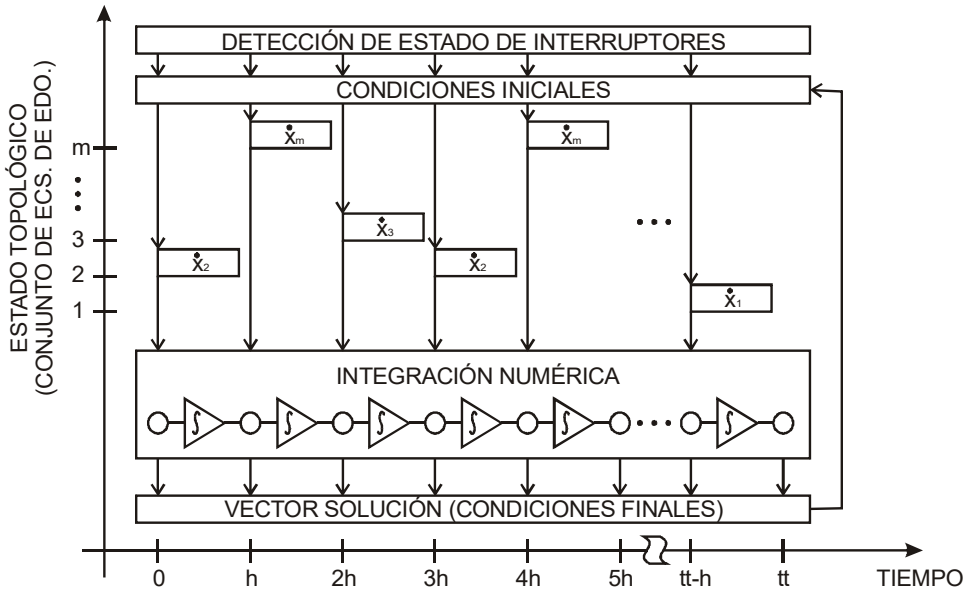


Figura 4.6 Proceso de simulación de redes con elementos de conmutación.

Esta metodología de simulación permitió obtener resultados muy precisos sin la necesidad de utilizar pasos de integración muy pequeños y con la ventaja de no presentar oscilaciones numéricas, como sucede en los métodos tradicionales que obligan al uso de técnicas de eliminación de oscilaciones numéricas [Alvarado *et al.* 1983] [Martí y Lin 1989] [Lin y Martí 1990]. En el Capítulo 5 se presentan los resultados de los diferentes casos de estudio de simulación en tiempo real obtenidos con el simulador desarrollado y se comenta más a detalle las ventajas y características de esta metodología de simulación además de que se presenta la validación correspondiente con PSCAD/EMTDC.

4.9 Características del Simulador en Tiempo Real desarrollado *CLODSA-RT*

Después de haber descrito en las Secciones 4.4 a 4.7 las diferentes herramientas de software que se pueden utilizar par conformar una plataforma que nos permita realizar simulaciones en tiempo real, en esta sección se describe la arquitectura y características del simulador en tiempo real *CLODSA-RT*, el cual constituye la principal aportación de esta tesis.

El nombre de este simulador *CLODSA-RT* es la abreviación de su nombre en inglés *Closed LOop Digital Simulator and Analyzer in Real Time* que en español significa "Simulador y analizador digital en tiempo real en lazo cerrado".

4.9.1 Arquitectura general de *CLODSA-RT*

En la Figura 4.7 se presenta una representación general de la arquitectura de hardware de *CLODSA-RT*. Se puede observar que el hardware está constituido por una computadora principal o maestra, que cuenta con la opción de conectarse a una red de computadoras, cuya finalidad es la de permitir a *CLODSA-RT* la ejecución de subprocesos paralelos o bien la ejecución de tareas esclavas en tiempo real.

La Figura 4.7 muestra también que la computadora maestra cuenta con una tarjeta de adquisición de datos (DAQ) de la marca National Instruments, la NI PCI-MIO-16E-4 y una tarjeta de salidas

analógicas (AO) de la misma marca, la NI PCI-6713. Ambas tarjetas cuentan también con entradas y salidas digitales, y están conectadas de manera interna a la computadora maestra a través del puerto PCI. En la Sección 3.2.3.2 se presenta una descripción de las características de estas dos tarjetas.

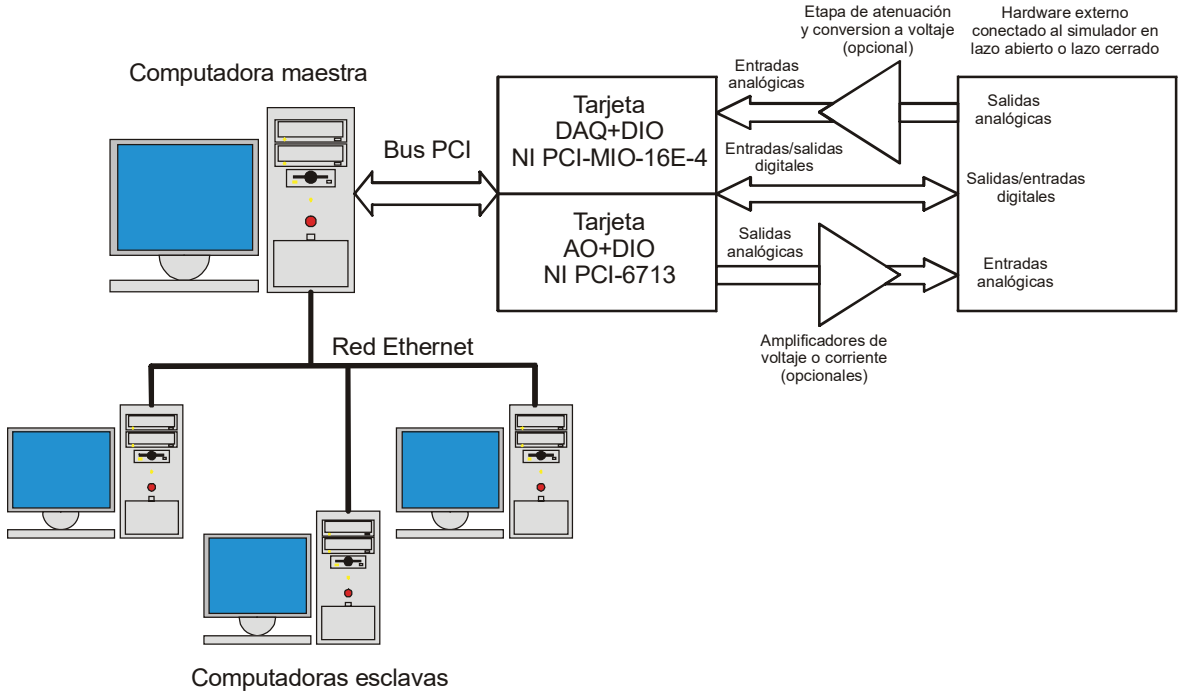


Figura 4.7 Arquitectura de hardware de *CLODSA-RT*.

Los canales de entradas analógicas (DAQ), de salidas analógicas (AO) y de entradas y salidas digitales (DIO), permiten al simulador *CLODSA-RT* interactuar con el hardware externo incluido en la prueba o simulación, en modo fuera de línea, en tiempo real, en lazo abierto o en lazo cerrado.

La forma en que *CLODSA-RT* interactúa con el hardware externo es aplicándole las señales analógicas y digitales que son resultado de la simulación que se está ejecutando, y leyendo las señales analógicas o digitales que el hardware externo genera como respuesta a las señales que le son aplicadas por parte del simulador. Si la simulación se conduce en lazo cerrado, el resultado de dicha simulación dependerá tanto de los parámetros y variables de la red simulada, como también de los parámetros y variables del hardware externo sometido a prueba, o incluido en la simulación.

En la mayoría de los casos, las tarjetas de entradas y salidas van a estar instaladas en la computadora maestra, ya que las computadoras esclavas normalmente están destinadas a ayudar con el proceso de simulación, ejecutando subprocesos en paralelo, que ayuden a completar las tareas en el tiempo objetivo (normalmente menor a un paso de integración), sin embargo, en algunos esquemas se podrían llegar a tener elementos de la red ejecutando alguna tarea en tiempo real de forma autónoma, pero con intercambio de datos con la computadora maestra, por lo que puede ser que en este tipo de aplicaciones se llegue a requerir de dispositivos de entrada y salida en las computadoras esclavas, que incluso pueden llegar a ser sistemas embebidos (embedded) que operen bajo el control de un RTOS.

Debido a que tanto las entradas a los dispositivos DAQ como las salidas de los dispositivos AO son de baja señal (en el rango de ±5V a ±10V), es probable que se requiera hacer uso tanto de una etapa de atenuación de señales y conversión a voltaje para aplicar las señales provenientes del hardware externo hacia los dispositivos DAQ, como también de hacer uso de amplificadores de voltaje o corriente, para elevar los niveles de los canales de salidas analógicas (AO) a aquellos que el hardware externo requiera como entrada.

En cuanto a la arquitectura de software, la Figura 4.8 ilustra las diferentes herramientas que se requieren en el desarrollo del programa de simulación de *CLODSA-RT*.

La computadora principal o maestra funciona bajo ambiente Windows XP®. La plataforma de programación utilizada para el desarrollo de *CLODSA-RT* es el Visual Studio .NET 2003, del cual ya se describieron algunas de sus características en la Sección 4.4, y se mencionó también porque se seleccionó como lenguaje de desarrollo. También en esta computadora maestra se instalaron las bibliotecas de Measurement Studio 7.0 (para Visual Studio .NET 2003), las cuales permiten interactuar con los dispositivos de entrada y salida DAQ, AO y DIO, además de que proporcionan una gran cantidad de bibliotecas de procesamiento de señales y controles que permiten la visualización gráfica de resultados, así como la interacción del usuario con la aplicación a través de botones, perillas giratorias, controles deslizantes, LEDs, medidores, etc. Debido a que las versiones de Visual C++ y Visual Studio son versiones para la plataforma .NET de Windows, se requiere instalar el Framework correspondiente.

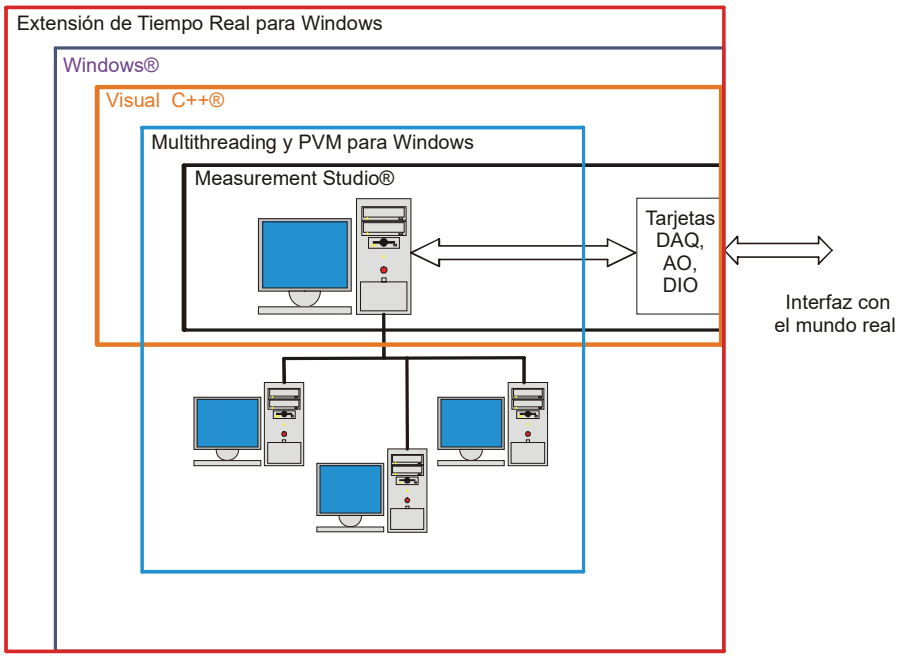


Figura 4.8 Arquitectura de software de *CLODSA-RT*.

Existen varias bibliotecas de Multithreading o subprocesamiento múltiple que ya vienen incorporadas en Visual Studio .NET 2003. Las que se utilizaron en el desarrollo de *CLODSA-RT* fueron las que forman parte de las bibliotecas MFC (Microsoft Foundation Class), que al ser las bibliotecas en las que están basadas la mayoría de aplicaciones visuales de C++, le confieren un poder importante en el manejo de diferentes clases incluidas en estas bibliotecas, como por ejemplo las clases de sincronización de subprocesos.

Por el momento *CLODSA-RT* no hace uso de las bibliotecas de PVM, a pesar de haberse instalado la versión para Windows, debido a que los casos de estudio que se desarrollaron y cuyos resultados y características se presentan en el Capítulo 5, pudieron ejecutarse únicamente con el uso de la computadora maestra en conjunto con técnicas de subprocesamiento concurrente ó Multithreading. Sin embargo, para el desarrollo de un simulador con un poder de procesamiento cada vez mayor, se debe incorporar la red de computadoras que permita realizar procesos paralelos en sistemas distribuidos y el uso de PVM podría ser de ayuda, a pesar de que es una herramienta que no opera en tiempo real.

CLODSA-RT por el momento no hace uso de una extensión de tiempo real ya que no se tuvo la posibilidad de contar con alguna de las extensiones de tiempo real que se describen en la Sección 4.7 para Windows, sin embargo, este tipo de herramientas son muy importantes para asegurar el determinismo de la aplicación y aprovechar mejor el poder de procesamiento de las computadoras involucradas en la simulación en tiempo real. La herramienta que se sugiere que se incorpore en versiones futuras y más completas del simulador en tiempo real *CLODSA-RT* es el RTX, por ser el más reconocido en su categoría. Como ejemplo de su aplicación, se puede mencionar a LabView RT de National Instruments, que lo incorpora para lograr una plataforma de tiempo real, sin embargo, se puede considerar alguna otra de las extensiones de tiempo real para windows que se documentan en la Sección 4.7.

4.9.2 Software y Funciones de *CLODSA-RT*

El software de *CLODSA-RT* se desarrolló con la idea de contar con una interfase amigable de manejo sencillo para el usuario que incorpore las prestaciones con las que cuenta Windows, tales como botones, ventanas, gráficas, etc. cuyo manejo se lleve a cabo por parte del usuario principalmente con el uso del ratón. La Figura 4.9 muestra la ventana principal del simulador *CLODSA-RT*.

En la presente tesis se presentan 5 casos de estudio que operan en tiempo real, que se eligieron y diseñaron para demostrar diferentes características que se pueden incorporar en un simulador con capacidad de operar en tiempo real. Como se puede observar en la Figura 4.9, cada caso de estudio cuenta con la misma interfase principal y el mismo número de opciones, sin embargo, cada caso de estudio simula una red eléctrica diferente y fue diseñado con diferentes capacidades y objetivos que se describen a detalle en el Capítulo 5.

En la ventana principal se introducen los datos generales de la simulación como son el tiempo total de simulación, si la simulación es de tiempo finito, o bien, se puede elegir mediante un selector (radio button) una simulación infinita, en donde a partir de que se corra la simulación en tiempo real, el simulador se estará comportando continuamente como la red eléctrica del caso que se está simulando, interactuando incluso con las opciones externas con que cuente cada caso, hasta que el

usuario detenga manualmente la simulación presionando el botón rojo de paro (Stop) que se encuentra en la parte de abajo y en medio de la interfase principal de *CLODSA-RT*.

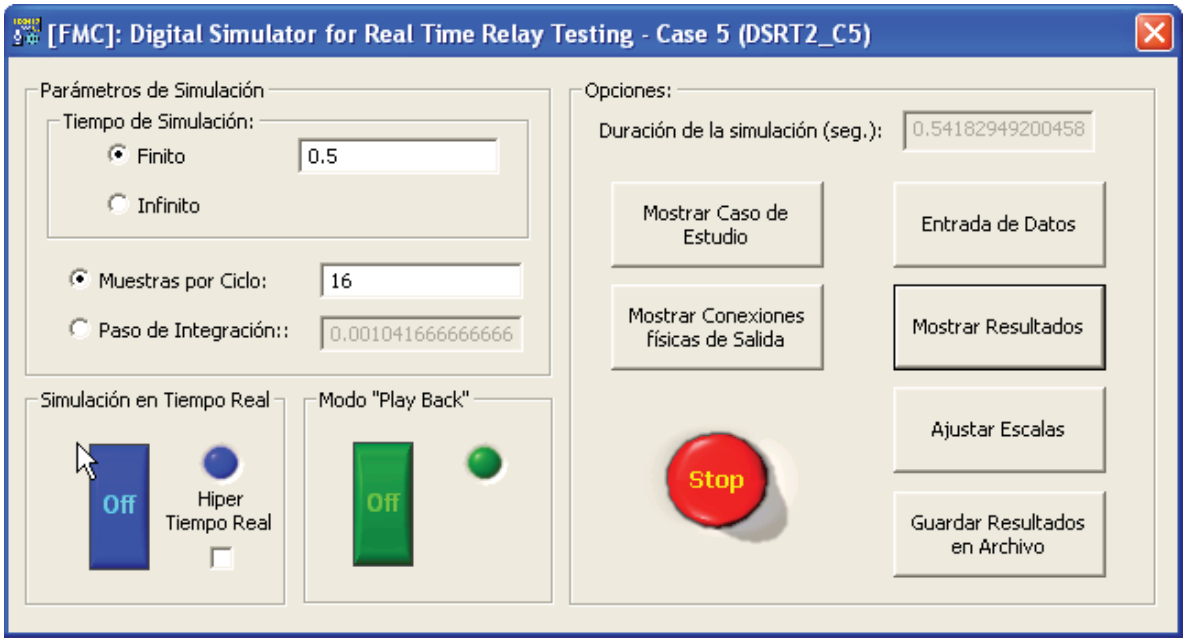


Figura 4.9 Ventana principal de *CLODSA-RT* (Caso 5).

Dentro del cuadro que agrupa las opciones del simulador, en la parte superior, se encuentra un cuadro de edición que se encuentra deshabilitado y con una etiqueta a la izquierda que dice: "*Duración de la simulación (seg):*". Este cuadro de edición tiene la función de desplegar el tiempo de duración de la última simulación ejecutada en *CLODSA-RT*.

En la parte central izquierda de la ventana principal de *CLODSA-RT* se proporciona el paso de integración que se utilizará en la simulación. Hay dos opciones que puede seleccionar el usuario para dar la información del paso de integración: dando el número de muestras por ciclo (de 60Hz), o bien, directamente el valor en segundos del paso de integración.

El resto de las funciones y opciones con las que cuenta *CLODSA-RT* se ejecutan presionando el botón asociado con cada función. Estas funciones y opciones son : *Simulación en Tiempo Real*, *Modo "Play Back"*, *Mostrar Caso de Estudio*, *Entrada de Datos*, *Mostrar Conexiones Físicas de*

Salida, *Mostrar Resultados*, *Ajustar Escalas*, y *Guardar Resultados en Archivo*. Cada una de estas opciones se describen a continuación.

4.9.2.1 Función de *Simulación en Tiempo Real*

La función de *Simulación en Tiempo Real* ejecuta el conjunto de tres subprocesos en que se divide la simulación en tiempo real de la red eléctrica del caso de estudio programado en *CLODSA-RT*. La Figura 4.10 muestra que el proceso completo que realiza el simulador está dividido en los tres grandes subprocesos mencionados, los cuales se habilitan haciendo uso de la biblioteca de programas de Multithreading. Estos tres subprocesos intercambian datos a través de variables globales a las que tienen acceso en un área de memoria compartida. Los tres subprocesos en que se divide la rutina de simulación en tiempo real son: (1) El proceso que genera las salidas analógicas y digitales, (2) el proceso que simula la red eléctrica y (3) el proceso que lee las entradas analógicas y digitales. El uso de subprocesos independientes para leer y escribir a los puertos analógicos y digitales, aparte del proceso que resuelve las ecuaciones de la red eléctrica, permitieron que los tiempos de simulación pudieran ser lo suficientemente pequeños como para lograr la operación en tiempo real del simulador, ya que estos procesos toman tiempos demasiado grandes cuando se realizan en forma secuencial. El hecho de utilizar subprocesos ó hilos independientes para la lectura y escritura de datos analógicos y digitales, fue porque los procesos de habilitar los canales de entrada y salida toman tiempos que son una proporción importante del tiempo total que se requiere para simular la red eléctrica en cada paso de integración.

En la Figura 4.10 se representan los tres subprocesos generales que se ejecutan al momento de seleccionar la opción de simulación en tiempo real. Estos tres subprocesos independientes se definen como hilos de programa mediante el uso de la biblioteca de programas de Multithreading. Se puede observar que estos tres subprocesos se inician en un mismo punto del programa, lo que queda indicado mediante el rectángulo del cual se desprenden los tres subprocesos y que tiene la leyenda "Inicio de los Subprocesos Independientes". Los tres subprocesos independientes intercambian datos a través de variables en memoria compartida, representada mediante el rectángulo gris, en el que están inmersos los bloques que representan a cada proceso. La sincronización de los tres subprocesos se realiza mediante banderas o variables lógicas globales que coordinan el acceso a las

variables comunes localizadas en la memoria compartida para que no exista el problema de accesos simultáneos que pueden ocasionar una terminación anormal del programa.

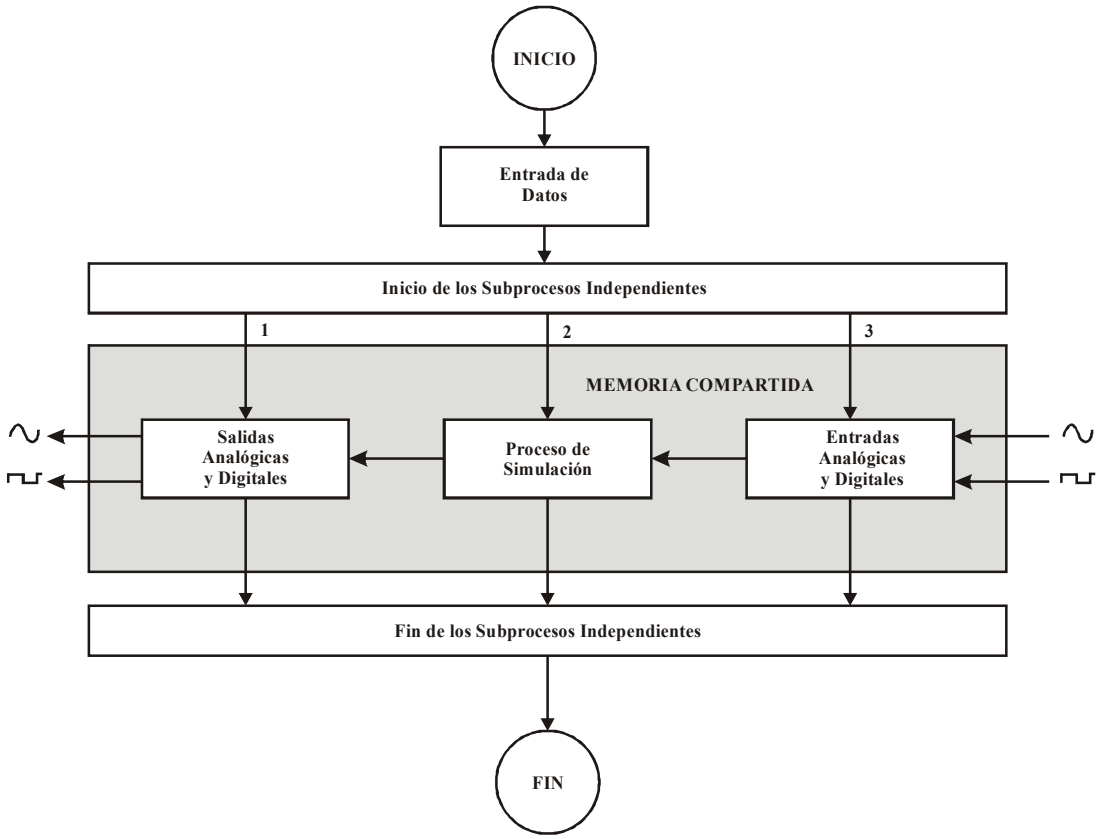


Figura 4.10. Diagrama de flujo del conjunto de procesos concurrentes en *CLODSA-RT*.

Se puede observar también en la Figura 4.10 que del bloque que representa al subproceso que atiende a las salidas analógicas y digitales, salen dos flechas que cuentan con un pequeño dibujo de una onda senoidal y una onda cuadrada, las cuales representan los datos de salida analógicos y digitales respectivamente. De manera similar en el bloque que representa el proceso que atiende a las entradas de datos tanto analógicos como digitales, se presentan también dos flechas que en este caso entran al proceso con las figuras de la onda senoidal y cuadrada que representan las entradas de datos analógicos y digitales respectivamente. Ambos subprocesos, el que atiende a las entradas analógicas y digitales y el que atiende a las salidas analógicas y digitales, requieren tener una sincronía en el tiempo para poder realizar las lecturas y escrituras a puertos analógicos y digitales a intervalos múltiplos exactos de la tasa de muestreo o paso de integración para lo cual se utilizan

temporizadores de precisión que coordinan los tiempos exactos de lectura y escritura con lo cual se logra la sincronización en el tiempo.

Finalmente el rectángulo que contiene la etiqueta “Fin de los Subprocesos Independientes” al que llegan los tres procesos concurrentes descritos, representa el punto del programa en el que se termina el proceso de simulación y por lo tanto se finaliza la ejecución independiente de los tres procesos continuando el programa en su modalidad secuencial. El instante exacto de terminación de los tres subprocesos se sincroniza también mediante el uso de banderas o variables lógicas globales que marcan el instante exacto en que los tres procesos deben terminar. El proceso que señaliza la terminación de los tres subprocesos es el subproceso de simulación el cual termina ya sea cuando se termina el tiempo de simulación en una simulación en tiempo real de tiempo finito o bien cuando el usuario oprime el botón de paro en una simulación en tiempo real de tiempo infinito.

Debido a que por el momento el simulador solo hace uso de la computadora maestra para efectuar la simulación, la operación en tiempo real se pudo alcanzar con pasos de integración del orden de los 833 a los 1000μS (16 a 24 muestras por ciclo), lo cual parece ser un paso de integración muy grande, sin embargo, de acuerdo a los resultados que se presentan en la Unidad 5 y que fueron validados con PSCAD/EMTDC, se demostró que los resultados que entrega *CLODSA-RT* con este tamaño de paso de integración son precisos y además no generan oscilaciones numéricas, gracias a la técnica de simulación utilizada y descrita en la Sección 4.8.

Es importante mencionar que el incremento a futuro del poder de procesamiento del simulador a través de la adición de un conjunto de computadoras conectadas en red, que pueden ser de un solo procesador o de múltiples procesadores, permitirá lograr simulaciones en tiempo real con pasos de integración más pequeños, para lo cual puede ser necesario dividir cada uno de los subprocesos que se ilustran en la Figura 4.10 en un conjunto más grande de subprocesos que se realicen en paralelo, principalmente el proceso de simulación, para lo cual ya existen referencias que ilustran la forma de paralelizar dicho proceso de simulación de una red eléctrica [García y Acha 2004] [Medina *et al.* 2003] [Mariños *et al.* 1994] [Falcao *et al.* 1993] [Salam *et al.* 1989].

CLODSA-RT ejecuta el conjunto de subprocesos independientes que conforman el proceso de simulación de la red eléctrica cuando el usuario oprime el botón azul asignado a la función de *Simulación en Tiempo Real*. Si se seleccionó una simulación de tiempo finito, la simulación se lleva a cabo solo para el tiempo total de simulación seleccionado por el usuario; si se selecciona la opción de simulación infinita, la simulación continúa de forma indeterminada, hasta que el usuario la detenga manualmente mediante el uso del botón rojo de paro.

Para que la simulación se ejecute en tiempo real no debe estar seleccionada la opción "Hiper Tiempo Real", ya que *CLODSA-RT* tiene que ajustar el tiempo en los casos en que cada paso de integración se completa en un tiempo menor a un paso de integración, para que la salida sea exáctamente cada paso de integración. Si se selecciona la opción de "Hiper Tiempo Real", la simulación se realiza al máximo de la velocidad que permita el sistema de cómputo, por lo que si se selecciona un paso de integración grande se pueden llegar a tener simulaciones que se efectúen a una velocidad mayor que el evento real. Esta opción se programó para demostrar que con el suficiente poder de procesamiento no solo se puede alcanzar el tiempo real sino que eventualmente se pueden tener simulaciones que se realicen a velocidades mayores al tiempo real (tiempos menores a la duración del evento real) y que podrían tener la utilidad de proporcionar resultados "predictivos" que permitan tomar acciones correctivas antes de que estas sucedan. De igual forma que una simulación que toma más tiempo para concretarse que el evento real que se esta simulando, una simulación que se realiza a una velocidad mayor al evento real, se considera también como una simulación en modo "*fuera de línea*" ya que no puede interactuar con elementos reales externos.

Debido a que el poder de procesamiento en *CLODSA-RT* está limitado por el momento a una sola computadora de un solo procesador, si se eligen pasos de integración muy pequeños existe la posibilidad de que la simulación no se pueda realizar en tiempo real, por lo que en este caso se decidió permitir al simulador que realice la simulación en modo fuera de línea, en vez de mandar un mensaje de que no es posible realizar la simulación en tiempo real, debido a que siempre será mejor contar con resultados, aunque sea de forma diferida. En caso de que la simulación no se pueda ejecutar en tiempo real, el cuadro de edición que muestra el tiempo de duración de la simulación mostrará el tiempo que tardó en ejecutarse la corrida actual.

4.9.2.2 Función de *Modo "Play Back"*

Esta función se ejecuta al oprimir el botón verde con la leyenda "Modo Play Back" en la parte superior y tiene como objetivo reproducir los resultados almacenados en el simulador producto de una simulación de tiempo finito ejecutada con anterioridad. Esta opción se implementó en *CLODSA-RT* con la finalidad de incorporar, en la misma aplicación, la capacidad de realizar simulaciones en tiempo real que permitan implementar esquemas de pruebas en lazo cerrado, como también la posibilidad de volver a reproducir los resultados en un esquema en lazo abierto, con la función de reproducción en modo Play Back.

Esta opción de reproducción en modo play back funciona de la misma forma en que se realiza el proceso de reproducción en VOLTS descrito en la Sección 3.2.3.

4.9.2.3 Opción para *Mostrar Caso de Estudio*

Al seleccionar esta opción se despliega una ventana que muestra la red eléctrica del caso de estudio que simula en tiempo real *CLODSA-RT*. La ventana que muestra cada caso de estudio al seleccionar esta opción se incluye junto con los resultados de cada caso de estudio que se presentan en la Unidad 5.

4.9.2.4 Opción para *Entrada de Datos*

Mediante esta opción el usuario de *CLODSA-RT* puede proporcionar los valores de los diferentes parámetros de la red eléctrica que se simula en cada caso de estudio. Aparte de proporcionar los diferentes parámetros eléctricos de la red, el usuario puede seleccionar el método de integración a utilizarse de seis métodos de integración disponibles, que son los métodos multipaso de Adams Bashforth, desde el de primer orden hasta el de sexto orden. Estos métodos se describen a detalle en la Sección 4.9.4.

En algunos de los casos de estudio, en esta opción se proporcionan las escalas que se aplican a las señales que se obtienen como resultado de la simulación, mientras que en otros casos, estos datos se proporcionan por separado en la opción para *Ajustar Escalas*.

En todos los casos de estudio se cuenta con la posibilidad de controlar externamente cualquiera de los parámetros de la red eléctrica que se está simulando. Lo anterior se puede hacer seleccionando el parámetro que se desea controlar externamente dentro del cuadro de grupo etiquetado como "control externo". El cuadro de grupo cuenta con un conjunto de selectores que permiten al usuario seleccionar el parámetro que desea que se controle externamente. Esta opción es muy importante, ya que demuestra la capacidad que tiene *CLODSA-RT* para interactuar con el exterior en tiempo real, ya que en esta opción, el parámetro se controla externamente mediante un potenciómetro conectado a un canal analógico de entrada que lee *CLODSA-RT* cada paso de muestreo para actualizar su valor. Como la posición del potenciómetro se detecta como un valor de voltaje dentro de un rango de 0 a 5V, esta entrada se procesa y se permite que el usuario determine en que rango desea que se convierta la variación del potenciómetro, de tal manera que mediante esta opción se puede hacer variante en el tiempo cualquier parámetro de la red, sea un valor de amplitud o fase de una fuente, un valor de resistencia, inductancia o capacitancia, el valor de la frecuencia de la red, o en general cualquier parámetro de la simulación. El rango de variación que el usuario desea para el parámetro que se va a controlar externamente, se puede proporcionar mediante dos cuadros de edición etiquetados como "Valor mínimo" y "Valor máximo". Por el momento *CLODSA-RT* se programó para seleccionar solo un parámetro con control externo a la vez, sin embargo, en desarrollos futuros se puede implementar fácilmente la característica de controlar varios parámetros a la vez, ya que el hardware de *CLODSA-RT* cuenta actualmente con 8 canales analógicos de entrada y es posible su expansión a una cantidad mayor de canales analógicos. La técnica utilizada en esta opción, que consiste en leer en cada paso de integración el valor del parámetro externo, se puede utilizar para que en lugar de leer el valor del parámetro de un dispositivo externo se aplique a parámetros variantes en el tiempo, calculando en cada instante el valor del parámetro y colocándolo en la variable pública que comparten los diferentes procesos, lo cual permitiría que la simulación de dispositivos con parámetros variantes en el tiempo se haga como si estos fueran de parámetros constantes, ya que otro subproceso concurrente sería el que se encargaría de actualizar el valor de dicho parámetro en cada instante.

La opción de *Entrada de Datos* también permite seleccionar el tiempo de aplicación de una rampa de crecimiento de la amplitud de las fuentes de la red eléctrica. Esta opción permite en muchos casos alcanzar rápidamente el estado estacionario en la respuesta de las redes eléctricas. Este tiempo de rampa tiene un valor por omisión de 0, lo que significa que no se aplica dicha rampa a las fuentes.

En algunos de los casos de estudio en los que se utiliza un interruptor externo controlado por el usuario, la opción de *Entrada de Datos* da la opción de controlar externamente el interruptor mediante un interruptor real que el usuario manipula, o bien, controlar el interruptor por programa asignando un tiempo de cierre y un tiempo de apertura.

La ventana de *Entrada de Datos* para cada caso de estudio se muestra en los resultados que se presentan en la Unidad 5.

4.9.2.5 Opción para *Mostrar Conexiones de Salida*

Debido a que el simulador en tiempo real *CLODSA-RT* genera como salida algunas de las señales analógicas que se obtienen como resultado de la simulación de la red eléctrica, y también lee señales de entrada tanto digitales como analógicas, se requiere que el usuario sepa la forma en que *CLODSA-RT* se conecta con los dispositivos externos, por lo que esta opción despliega una ventana que contiene un diagrama de conexiones de *CLODSA-RT* con los dispositivos externos como el relevador bajo prueba, interruptores, potenciómetros, osciloscopio, etc. dependiendo de cada caso de estudio.

4.9.2.6 Opción para *Mostrar Resultados*

Esta función tiene la finalidad de mostrar de forma gráfica los resultados de la simulación en tiempo real de tiempo finito ejecutada con anterioridad. La forma en que se realiza el proceso de graficación de resultados así como la forma de operar esta interfase gráfica es la misma que se describe en la Sección 3.2.3.

4.9.2.7 Opción para *Ajustar Escalas*

Al seleccionar esta opción se despliega una ventana que permite ajustar las escalas con las que saldrán las señales, que son resultado de la simulación de la red eléctrica y que van a ser aplicadas a los dispositivos externos. El funcionamiento de esta se describe en la Sección 3.2.3.

En algunos de los casos de estudio que se presentan en la Unidad 5, esta opción no está disponible de forma separada sino que está incluida en la opción de *Entrada de Datos*.

4.9.2.8 Opción para *Guardar Resultados en Archivo*

Esta opción permite guardar en un archivo de salida los resultados de la simulación más reciente ejecutada en *CLODSA-RT*, siempre y cuando haya sido de tiempo finito. El proceso para guardar los resultados en un archivo de salida es el mismo que el que se describe para esta misma opción de VOLTS en la Sección 3.2.3, con la única diferencia que VOLTS solo guarda los resultados de las señales seleccionadas en el visor gráfico y *CLODSA-RT* guarda todas las señales, independientemente de que estén seleccionadas o no.

4.9.3 Métodos de Integración incorporados en *CLODSA-RT*

Para resolver las ecuaciones de estado que representan el comportamiento de los diferentes casos de estudio, se desarrolló una clase de integración numérica que encapsula 6 diferentes métodos de integración. Esta clase de integración numérica está diseñada de tal forma que a futuro se puedan incorporar otros métodos de integración adicionales. Por el momento, esta clase de integración numérica cuenta con los métodos de integración de Adams Bashforth, desde primer hasta sexto orden. Los métodos de Adams Bashforth son explícitos y del segundo al sexto orden son multipaso, mientras que el de primer orden es de un solo paso. Estos métodos se eligieron debido a que en su formulación consideran únicamente muestras actuales y pasadas para determinar el nuevo valor de la solución, lo cual es compatible con la simulación de sistemas en tiempo real debido a que en este

tipo de sistemas se conocen los valores actuales y pasados, pero no se conocen los valores futuros, a diferencia de una simulación en modo fuera de línea.

Se seleccionó el uso de los métodos de Adams Bashforth en lugar de los métodos de integración numérica que tradicionalmente se utilizan como la regla trapezoidal o el de Runge Kutta ya que en un sistema que deba operar en tiempo real se busca encontrar la solución del sistema para el siguiente paso de integración en base a los valores actuales y pasados del sistema en instantes múltiplos enteros a la tasa de muestreo o paso de integración ya que no se conocen los valores futuros ni valores intermedios entre muestras. En el caso de la regla trapezoidal se utilizan muestras futuras no disponibles además de que se trata de un método implícito que no garantiza un tiempo exacto de convergencia lo cual es poco adecuado en un sistema que deba operar en tiempo con límites de tiempo estrictos. Por otro lado el método de Runge Kutta hace uso de valores intermedios entre muestras los cuales no están disponibles en un sistema que debe operar en tiempo real por lo que tampoco resulta adecuada su aplicación. Los métodos de Adams Bashforth son explícitos por lo que garantizan la convergencia en un tiempo fijo además de que solo hacen uso de muestras presentes y pasadas a intervalos enteros del paso de integración por lo que son adecuados para su uso en sistemas con operación en tiempo real.

A continuación se presentan las ecuaciones que definen a los métodos de Adams Bashforth [Parker y Chua 1989]:

Adams Bashforth de Primer Orden

$$x_{k+1} = x_k + h \cdot f(x_k, t_k) \tag{4.2}$$

Adams Bashforth de Segundo Orden

$$x_{k+1} = x_k + \frac{h}{2}\{3 f(x_k, t_k) - f(x_{k-1}, t_{k-1})\} \tag{4.3}$$

Adams Bashforth de Tercer Orden

$$x_{k+1} = x_k + \frac{h}{12}\left\{23 f(x_k, t_k) - 16 f(x_{k-1}, t_{k-1}) + 5 f(x_{k-2}, t_{k-2})\right\} \tag{4.4}$$

Adams Bashforth de Cuarto Orden

$$x_{k+1} = x_k + \frac{h}{24}\left\{55 f(x_k, t_k) - 59 f(x_{k-1}, t_{k-1}) + 37 f(x_{k-2}, t_{k-2}) - 9 f(x_{k-3}, t_{k-3})\right\} \tag{4.5}$$

Adams Bashforth de Quinto Orden

$$x_{k+1} = x_k + \frac{h}{720}\left\{\begin{matrix}1901 f(x_k, t_k) - 2774 f(x_{k-1}, t_{k-1}) + 2616 f(x_{k-2}, t_{k-2}) - 1274 f(x_{k-3}, t_{k-3}) \\ + 251 f(x_{k-4}, t_{k-4})\end{matrix}\right\} \tag{4.6}$$

Adams Bashforth de Sexto Orden

$$x_{k+1} = x_k + \frac{h}{1440}\left\{\begin{matrix}4277 f(x_k, t_k) - 7923 f(x_{k-1}, t_{k-1}) + 9982 f(x_{k-2}, t_{k-2}) - 7298 f(x_{k-3}, t_{k-3}) \\ + 2877 f(x_{k-4}, t_{k-4}) - 475 f(x_{k-5}, t_{k-5})\end{matrix}\right\} \tag{4.7}$$

Como se puede observar en las Ecuaciones 4.2 a 4.7 que definen a cada uno de los métodos de Adams Bashforth, a medida que el orden del método es mayor, se requieren una cantidad mayor de datos de los pasos de integración anteriores, por lo que la clase de integración numérica desarrollada cuenta con un constructor para cada método, que permite inicializar todos los valores necesarios al momento de generar una instancia del objeto de integración; también cuenta con variables públicas para estos parámetros, que requieren cualquiera de los métodos, con la finalidad de que se puedan modificar de forma dinámica a medida que se realiza la simulación de la red en caso de que sea necesario.

4.10 Conclusiones

En esta unidad se presentó el conjunto de herramientas de software y de hardware necesarias para desarrollar el simulador en tiempo real *CLODSA-RT*. Las herramientas de software incluidas en *CLODSA-RT* están constituidas por la plataforma de programación Visual C++ .NET 2003, las bibliotecas de Measurement Studio para el manejo de los dispositivos DAQ y AO, los cuales incluyen puertos DIO en ambas tarjetas, y las bibliotecas de Multithreading ya incluidas en Visual C++.

Otra de las herramientas que puede utilizarse a futuro para mejorar las características de *CLODSA-RT* con la finalidad de aumentar su poder de procesamiento en tiempo real son las bibliotecas de PVM, las cuales representarían una ayuda únicamente en el procesamiento paralelo distribuido de tareas auxiliares, debido a que PVM no cuenta por el momento con la característica de operar en tiempo real.

También se debe incorporar una extensión de tiempo real para Windows, con la finalidad de lograr un determinismo estricto en la realización de las tareas de tiempo real y con esto evitar que la característica de Windows de ser multitarea, provoque el retardo ocasional de algunas tareas dentro del simulador. Se sugiere el uso de RTX debido a que sus características son ideales para la plataforma de programación seleccionada y las características del simulador *CLODSA-RT*. Esta extensión de tiempo real no se incorporó en *CLODSA-RT* por no haber contado con ella durante el desarrollo de esta tesis.

La mayoría de las extensiones de tiempo real, ya sea para Windows o para sistemas tipo Unix, cuentan con adiciones (plug-ins) que permiten el manejo en tiempo real del protocolo TCP/IP para redes Ethernet, por lo que se debe incluir estas adiciones en versiones posteriores del simulador para lograr un procesamiento distribuido en tiempo real.

Dentro de las herramientas de software que se describen en esta unidad, se presenta información adicional de otras bibliotecas de procesamiento en paralelo, así como de un conjunto amplio de RTOS para diferentes tipos y marcas de procesadores y extensiones de tiempo real, tanto para

Windows como para sistemas tipo Unix (Unix, Linux, Solaris), con la finalidad de dejar una base de conocimiento que presente alternativas para desarrollar herramientas de simulación en tiempo real basadas no solo en Windows, sino también en sistemas operativos tipo Unix o incluso para sistemas embebidos basados en diferentes tipos de procesadores.

Se presentó también la metodología de simulación que se implementó en *CLODSA-RT*, la cual no se basa en la metodología tradicional en la que se basa ATP/EMTP, PSCAD/EMTDC ó simuladores análogos, sino en una formulación de variables de estado extendida al caso de redes que contienen elementos de conmutación. Esta metodología presenta características muy importantes que permiten obtener resultados precisos, sin la necesidad de utilizar pasos de integración muy pequeños y sin el problema de generar oscilaciones numéricas, como la metodología tradicional que obliga a utilizar técnicas de eliminación de oscilaciones numéricas. La validación de estos resultados se presenta a detalle en la Unidad 5.

Las características incorporadas en los diferentes casos de estudio del simulador *CLODSA-RT* permiten al usuario un manejo sencillo de la interfase principal, además de que incluyen opciones para la interacción del simulador con dispositivos externos, lo cual es una característica con la que todo simulador en tiempo real debe contar y que permite implementar esquemas de pruebas en lazo cerrado.

El simulador en tiempo real desarrollado *CLODSA-RT* incluye opciones para efectuar la simulación en tiempo real de la red eléctrica bajo estudio, opciones para reproducir los resultados en modo Play Back, para visualizar de forma gráfica los resultados, para modificar las escalas que se aplican a las señales simuladas, para generar un archivo de salida con los resultados de la simulación y, por supuesto, la opción que permite ajustar los parámetros de entrada tanto de la red eléctrica como de otros parámetros de simulación, además de permitir el control externo de uno de los parámetros de la red.

El desarrollo de una clase de integración numérica resultó de gran importancia, ya que en los casos de estudio en los que se simula una red eléctrica que contiene elementos de conmutación, la aplicación de la metodología de simulación utilizada en *CLODSA-RT*, requirió establecer un

conjunto de ecuaciones de estado que representara cada estado topológico de la red; este conjunto de ecuaciones de estado se integra por separado, intercambiando entre si condiciones iniciales y finales, lo cual se facilita creando una instancia de la clase de integración numérica para cada conjunto de ecuaciones de estado.

Las limitaciones que presenta CLODSA-RT por el momento es el tamaño de redes que puede simular ya que el desarrollo actual se realizó en una sola computadora, sin embargo, se pudo demostrar la factibilidad para realizar simulaciones en tiempo real aplicando las metodologías expuestas en este capítulo, por lo que si este tipo de metodologías se aplican a una red de computadoras, se podrán simular a futuro sistemas prácticos de mayor escala y con pasos de integración menores.

CAPÍTULO 5

RESULTADOS Y VALIDACIÓN DEL SIMULADOR *CLODSA-RT*

5.1 Introducción

Este capítulo tiene como objetivo presentar los resultados de los diferentes casos de estudios realizados con el simulador en tiempo real *CLODSA-RT* . La validación de dichos resultados se hace con el simulador comercial PSCAD/EMTDC.

El tema del desarrollo del simulador en tiempo real se dividió en las unidades 4 y 5 para describir de una forma más detallada las bases de funcionamiento, herramientas utilizadas y una descripción de las características generales del simulador desarrollado, así como de los resultados de los diferentes casos de estudio considerados, incluyendo su validación respectiva lo cual es el objetivo del presente capítulo.

5.2 Casos de Estudio y Validación de Resultados

En la presente sección se presentan cinco casos de estudio del simulador en tiempo real *CLODSA-RT*. Las redes eléctricas consideradas son de orden reducido, sin embargo, demuestran cada una de ellas las características que debe tener un simulador capaz de operar en tiempo real, es decir, ser capaz de operar con tiempos sincronizados con el evento real simulado, de interactuar con elementos externos aplicando señales que son resultado de la simulación del evento real y recibiendo señales de control y de respuesta o retroalimentación por parte del elemento externo para conformar un simulador conocido como de *Hardware en el Lazo* (Hardware In the Loop, HIL) [Wu *et al.* 2006][otra Referencia HIL]. Los elementos externos con los que debe ser capaz de interactuar el simulador pueden ser muy simples, como el valor de un parámetro externo proporcionado a través de un canal analógico o digital de entrada al simulador, o elementos complejos que reciben señales desde el simulador y que responden a estas generando señales analógicas o digitales de respuesta

que entran al simulador en tiempo real y modifican sus condiciones de operación, como sería el caso de un esquema de prueba en lazo cerrado de un relevador de protección.

Los casos de estudio que se presentan son por el momento redes reducidas debido a que se contó con un sistema de procesamiento limitado a una sola computadora. Sin embargo, los resultados demuestran la factibilidad de realizar simulaciones en tiempo real con sistemas de cómputo estándar, al ser integrados en una red de computadoras con capacidad de comunicación y procesamiento paralelo en tiempo real, lo cual se logra con la adición de alguna extensión de tiempo real o el uso de un sistema operativo en tiempo real en conjunto con el sistema de cómputo estándar.

Si bien las extensiones en tiempo real o RTOS comerciales son costosos (en el rango de 1,500 hasta 20,000 dólares) la idea a futuro sería trabajar en el desarrollo de una extensión en tiempo real o RTOS propios, lo cual redundaría en reducir los costos del simulador drásticamente, además de hacer una aplicación a la medida de las necesidades.

A continuación se describen cada uno de los casos de estudio y se presentan los resultados y validación de los mismos con PSCAD/EMTDC. Las ecuaciones utilizadas en cada uno de los casos de estudio así como algunas fotografías que muestran el aspecto físico del simulador desarrollado se presentan en el Apéndice C.

5.2.1 Caso 5.1 Red Simple de C.A.

El caso 5.1 de estudio consiste en una red eléctrica simple formada por dos mallas en la que se tiene solo una fuente de voltaje de *ca* en la malla de la izquierda y ramas inductivas y resistivas. Esta red se eligió como caso inicial para validar los resultados del simulador partiendo de un caso sencillo.

La Figura 5.1 presenta la ventana que se despliega al seleccionar la opción de *Mostrar Caso de Estudio* en la interfase principal del caso 5.1 del simulador *CLODSA-RT*. Está ventana muestra el diagrama de la red eléctrica que se simula en tiempo real en este caso de estudio.

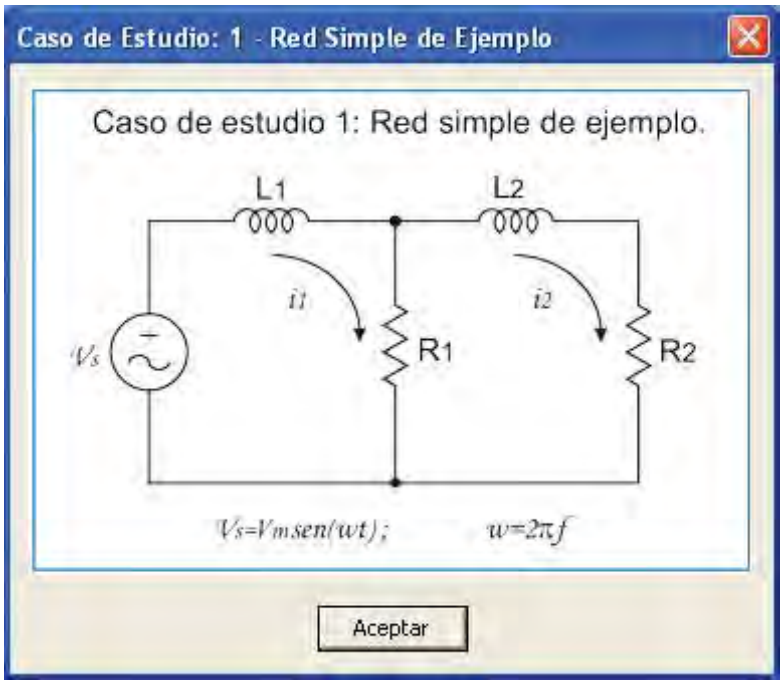


Figura 5.1 Red eléctrica simulada en el Caso 5.1.

5.2.1.1 Ventanas de Interfase con el Usuario

En la Figura 5.2 se muestra la interfase principal del caso 5.1 del simulador *CLODSA-RT*. La forma en que funcionan cada una de las opciones se describió a detalle en la Sección 4.9.2.

La ventana de la Figura 5.3 se despliega al seleccionar la opción de *Entrada de Datos* y permite ingresar los valores de los parámetros que se utilizarán en la simulación de la red, tales como la amplitud y frecuencia de la fuente de *ca*, los valores de las resistencias R_1 y R_2, los valores de las inductancias L_1 y L_2, el tiempo de rampa aplicado a la amplitud de la fuente de *ca* y las relaciones de transformación o escalas que se aplicarán a las corrientes i_1 e i_2 para poder generarlas a través de los canales analógicos de salida. Mediante la ventana de la Figura 5.3 se puede también controlar de manera externa uno de los parámetros de la red, seleccionando el control correspondiente al parámetro que se requiera controlar externamente en el cuadro de grupo con la etiqueta "Control externo". El rango de variación del parámetro que se controle externamente se puede definir mediante los cuadros de edición etiquetados como "Valor mínimo" y "Valor máximo"

respectivamente, en donde se puede asignar el valor mínimo y máximo que pueda tomar el parámetro con control externo.

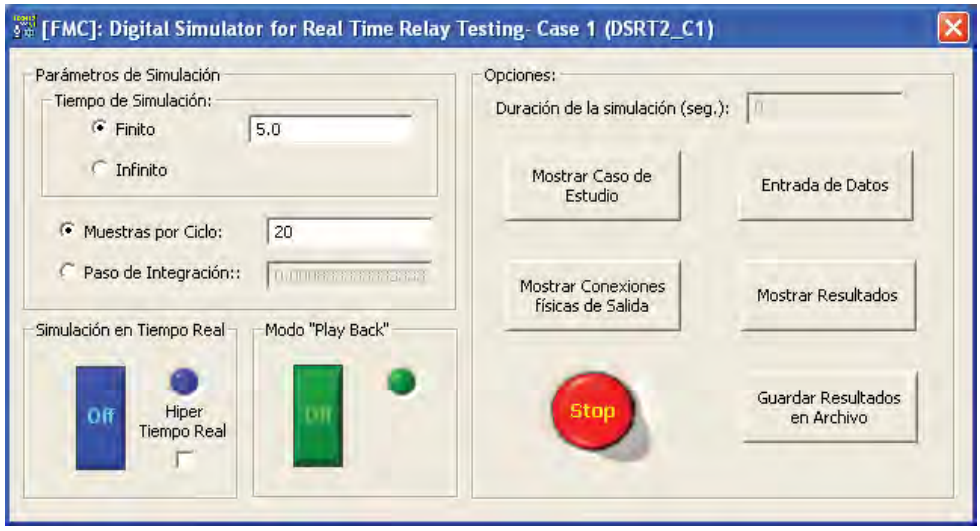


Figura 5.2 Interfase principal del Caso 5.1 de estudio del simulador *CLODSA-RT*.

La Figura 5.4 muestra la ventana de conexiones de *CLODSA-RT* con el exterior. Las corrientes de las dos mallas i_1 e i_2 se generan en tiempo real a través de las salidas *ao0* y *ao1* de la tarjeta de salidas analógicas (AO), respectivamente. Estas corrientes se pueden observar mediante el uso de un osciloscopio, como lo muestra la Figura. El potenciómetro conectado al canal analógico de entrada *ai0* sirve para controlar externamente el parámetro seleccionado por el usuario, en el rango también definido por el usuario. La variación de este potenciómetro por parte del usuario durante la ejecución de la simulación, variará en tiempo real el parámetro seleccionado para controlarse externamente generando una respuesta de la red, acorde con el valor que tome dicho parámetro en cada paso de integración.

En el visualizador gráfico que se muestra en la Figura 5.5 se pueden observar los resultados de cada simulación de tiempo finito ejecutada por el usuario. La interpretación de los resultados se presenta de manera detallada para cada ejecución de este caso en la Sección 5.2.1.2.

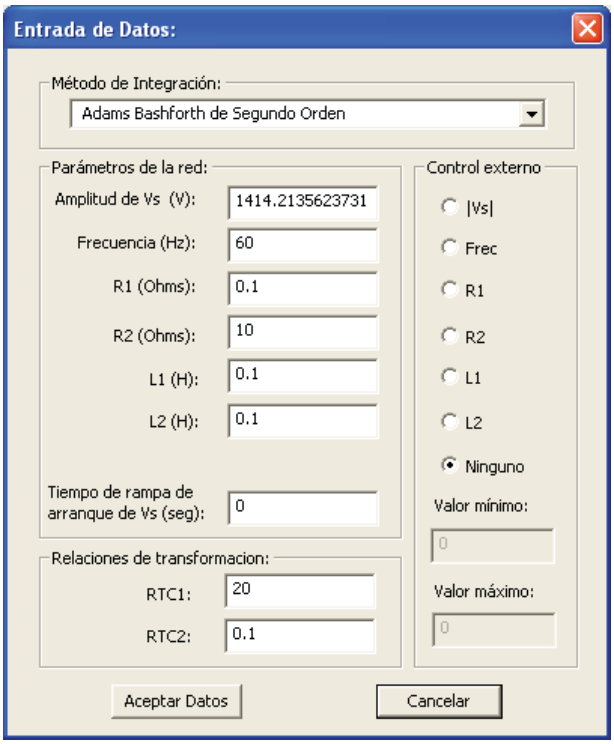


Figura 5.3. Ventana de entrada de datos del caso 5.1.

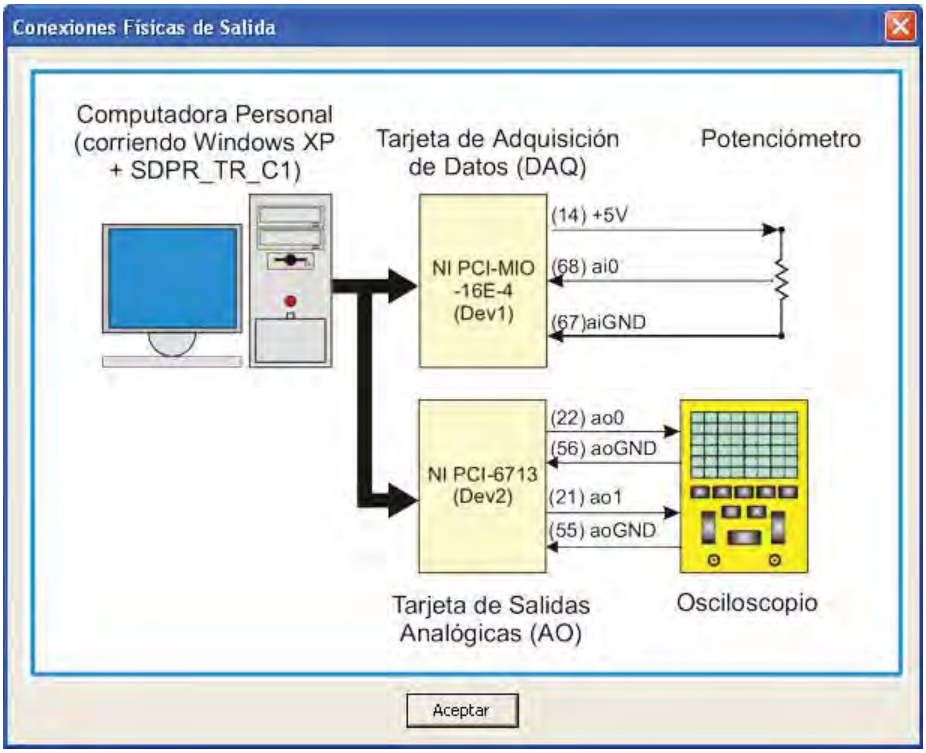


Figura 5.4 Ventana de diagrama de conexiones del caso 5.1.

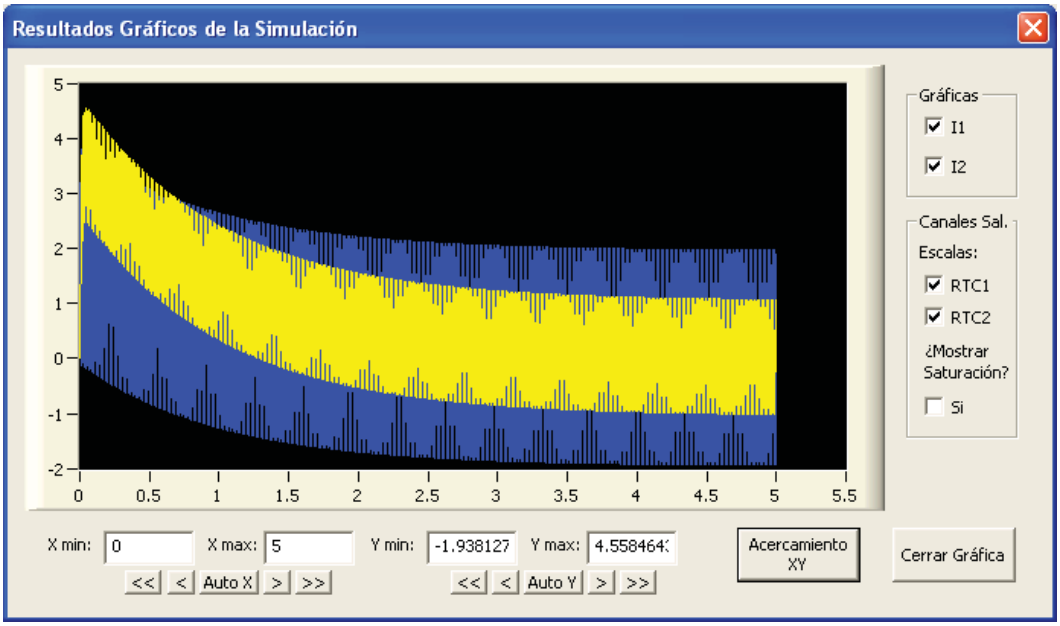


Figura 5.5. Ventana del visor gráfico de señales para el Caso 5.1.

Cuando se selecciona la opción de *Guardar Resultados en Archivo* se despliega la ventana para guardar archivos de Windows como se muestra en la Figura 5.6 y permite al usuario seleccionar una ruta de acceso y el nombre del archivo en el que se guardarán los resultados de la simulación de tiempo finito ejecutada recientemente.

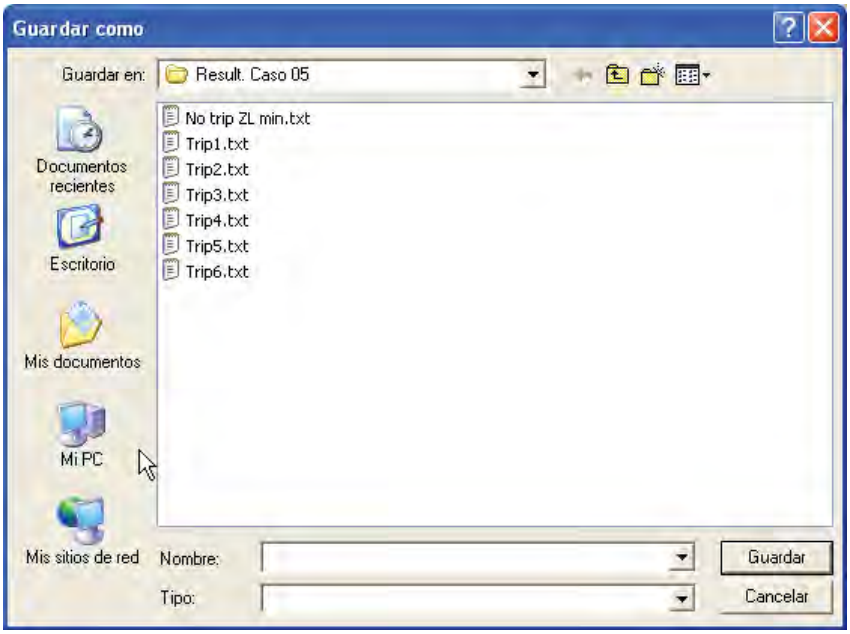


Figura 5.6. Ventana de selección de archivo de salida.

5.2.1.2 Validación de Resultados

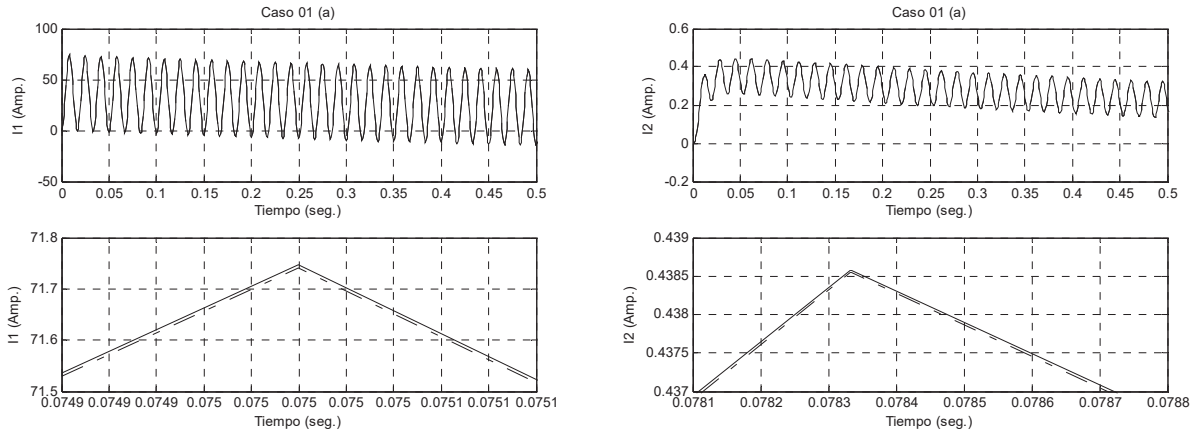
A continuación se presentan los resultados de la simulación del Caso 5.1 con *CLODSA-RT* así como la validación de los mismos con PSCAD/EMTDC. Para este caso se presentan cinco ejecuciones del caso bajo diferentes condiciones de simulación.

Caso 5.1 (a) Simulación con parámetros constantes

Los resultados para las corrientes i_1 e i_2 que se presentan en la Figura 5.7 se obtuvieron ejecutando el caso 5.1 con los datos que presenta el simulador por omisión, al momento que se abre y que se muestran en la ventana de datos de entrada de la Figura 5.3. Estos datos por omisión que presenta el simulador *CLODSA-RT* para el caso 5.1 simulan la red sin realizar el control externo de ninguno de los parámetros de la red.

Los resultados que se presentan en la Figura 5.7(a) muestran la respuesta para i_1, mientras que la Figura 5.7(b) muestra la respuesta para i_2. La respuesta completa para los primeros *5 seg* de simulación se muestra para i_1 e i_2 junto con un acercamiento para los primeros *0.15 seg*. La línea continua en el acercamiento a cada una de las dos respuestas de corriente representa los resultados obtenidos con *CLODSA-RT* mientras que la línea punteada representa los resultados obtenidos con PSCAD/EMTDC. Se observa que los resultados obtenidos con *CLODSA-RT* coinciden de manera satisfactoria con los de PSCAD/EMTDC presentando un error del 0.009% en los acercamientos mostrados en la Figura 5.7 quedando de esta forma validados los resultados de *CLODSA-RT*.

Se puede observar que las respuestas que se presentan en este caso, presentan el transitorio característico de un circuito formado por redes de primer orden (en este caso redes RL), en donde se presenta la respuesta senoidal montada sobre una componente de *cd* exponencial decreciente al momento en que inicia la simulación con condiciones iniciales de cero. Esta respuesta transitoria desaparecerá con el tiempo y las respuestas para i_1 e i_2 alcanzarán su estado estacionario senoidal.

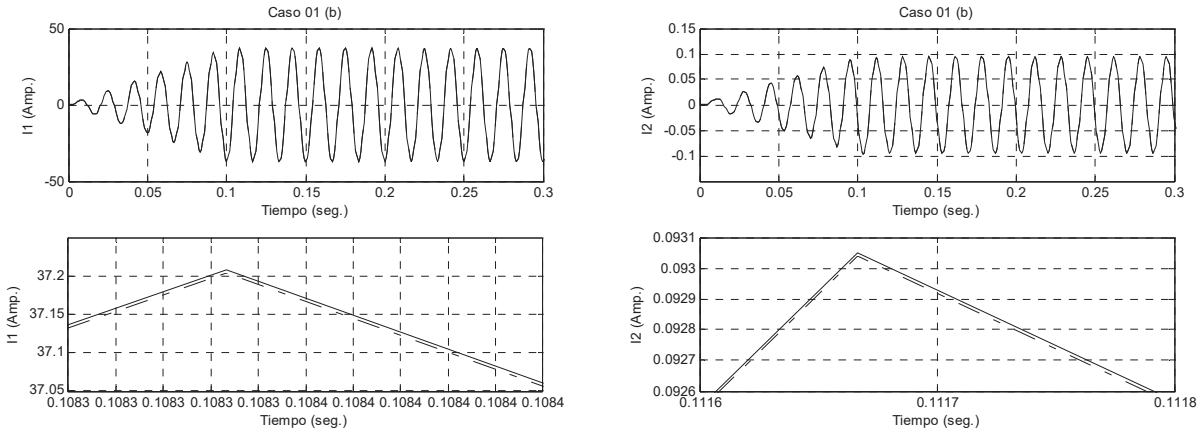


(a) (b)

Figura 5.7. Respuesta de las corrientes para el Caso 5.1(a), (a) i_1 para *0.5 seg* de simulación así como un acercamiento, (b) i_2 para *0.5 seg* de simulación así como un acercamiento que muestra la compración entre *CLODSA-RT* (Línea contínua) y PSCAD/EMTDC (línea discontínua).

Caso 5.1 (b) Simulación con rampa aplicada en el arranque a la magnitud de la fuente

Si se consideran los mismos datos del Caso 5.1(a) pero ahora aplicando una rampa a la fuente de *ca* con una duración de *0.1 seg*; se puede observar que ambas respuestas para i_1 e i_2 alcanzan en este mismo tiempo la respuesta de estado estacionario. La Figura 5.8 muestra los resultados para este caso, en donde se puede observar claramente como la aplicación de la rampa al crecimiento de la magnitud de la fuente senoidal es capaz de ubicar rápidamente la respuesta en estado estacionario del circuito. La aplicación de esta técnica para alcanzar rápidamente el estado estacionario debe hacerse con tiempos de rampa múltiplos enteros del periodo de las fuentes senoidales [Pulse 2006]. Los resultados obtenidos con PSCAD/EMTDC (línea punteada) que se presentan para i_1 en la Figura 5.8(a) y para i_2 en la Figura 5.8(b) validan los resultados para este caso al presentar un error del 0.012% en los acercamientos presentados en dichas Figuras.

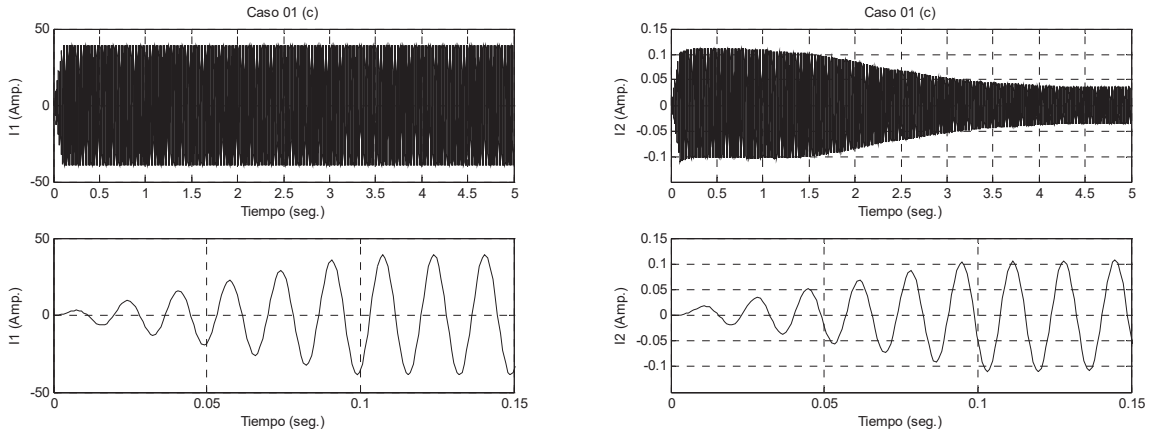


(a) (b)

Figura 5.8. Respuesta de las corrientes para el Caso 5.1(b). (a) Respuesta de i_1 para *0.3 seg* de simulación y acercamiento, (b) Respuesta de i_2 para *0.3 seg* de simulación y acercamiento que muestra la compración entre *CLODSA-RT* (Línea contínua) y PSCAD/EMTDC (línea discontínua).

Caso 5.1 (c) Simulación con control externo de R2

Este caso demuestra la capacidad de un simulador en tiempo real para interactuar con el mundo externo. En este caso se toman los datos del Caso 5.1 (b), pero adicionalmente se selecciona controlar la resistencia R_2 de forma externa, mediante la variación de un potenciómetro que el usuario manipula. El rango de variación de R2 se selecciona con un valor mínimo de *1 Ω* y un valor máximo de *100 Ω*. Mientras se efectúa la simulación en tiempo real, el usuario varía gradualmente la resistencia desde su valor mínimo hasta su valor máximo durante los *5 seg* que dura la simulación. Los resultados de este caso se presentan en la Figura 5.9; en este caso no se presenta una comparación de los resultados con PSCAD/EMTDC, ya que no se puede reproducir en PSCAD/EMTDC la forma en que el usuario varía manualmente la resistencia R_2 durante la ejecución en tiempo real de la simulación; esto se debe a que PSCAD/EMTDC es un simulador que opera en modo *fuera de línea* y la variación de R_2 que realiza el usuario en tiempo real mientras se realiza la simulación solo se puede efectuar en un simulador que opera en tiempo real como *CLODSA-RT*. La Figura 5.10 ilustra la forma en que el usuario varía R_2 durante el proceso de simulación en tiempo real.



(a) (b)

Figura 5.9. Respuesta de las corrientes para el Caso 5.1(c). (a) Respuesta de i_1 para *5 seg* de simulación y acercamiento a los primeros *0.1 5seg*, (b) Respuesta de i_2 para *5 seg* de simulación y acercamiento a los primeros *0.15 seg*.

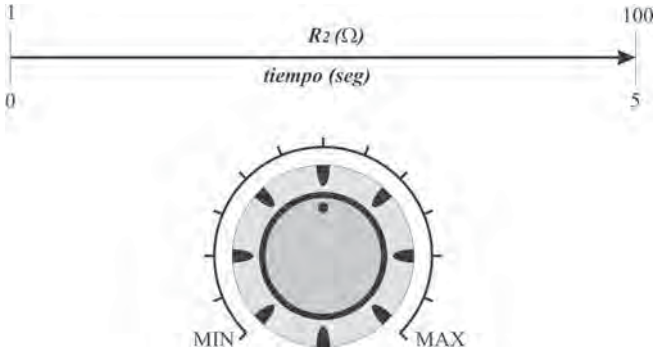


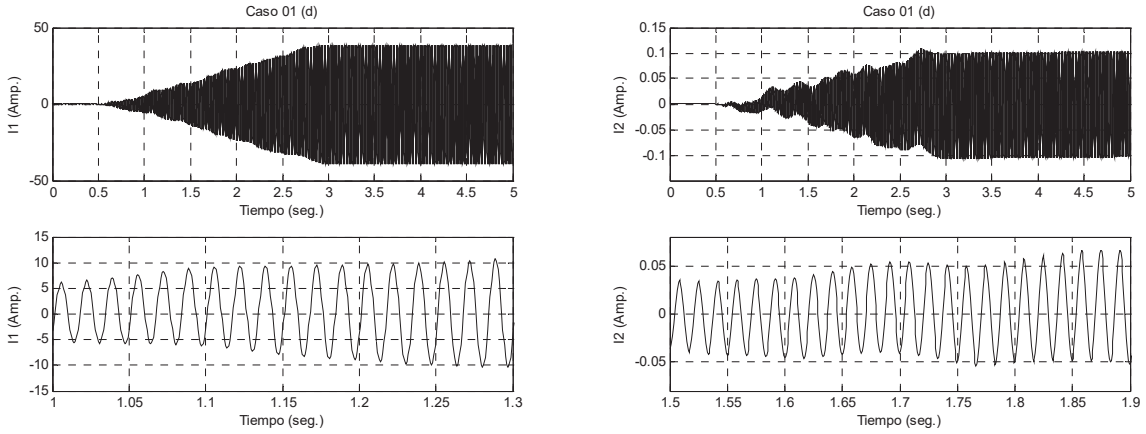
Figura 5.10. Ilustración de la variación de R_2 por el usuario durante la simulación.

Caso 5.1 (d) Simulación con control externo de la amplitud de la fuente

En este caso el parámetro que el usuario varía externamente es la amplitud de la fuente de *ca* de la red bajo estudio. El rango de variación para la amplitud de la fuente se eligió con un valor mínimo de *0 V* y un valor máximo de *1414.2136V* (*1 kV rms*); la variación desde su valor mínimo a su valor

máximo la realiza el usuario en un rango de tiempo de aproximadamente *0.5* a *3 seg*. El resto de parámetros son fijos y son iguales a los del Caso 5.1(a).

La Figura 5.11(a) muestra la respuesta para i_1, en donde se presenta la respuesta para *5seg* de simulación junto con un acercamiento desde *1* a *1.3 seg*. En la Figura 5.11(b) se muestra la respuesta de i_2 para *5 seg* de simulación junto con un acercamiento desde *1.5* a *1.9 seg*. Tampoco en este caso se presenta una validación con PSCAD/EMTDC ya que la variación de la amplitud de la fuente de *ca* se efectúa en tiempo real por parte del usuario.



(a) (b)

Figura 5.11. Respuesta de las corrientes para el Caso 5.1(d). (a) Respuesta de i_1 para *5 seg* de simulación y acercamiento de *1* a *1.3 seg*, (b) Respuesta de i_2 para *5 seg* de simulación y acercamiento de *1.5* a *1.9 seg*.

Las condiciones de simulación que se presentan tanto en este caso como en el caso 5.1(c), en donde el usuario varía externamente un parámetro, representan un caso en el que la simulación se realiza con un parámetro variante en el tiempo, ya que el simulador *CLODSA-RT* lee en cada paso de integración el valor del parámetro que el usuario proporciona por medio del potenciómetro y un canal analógico de entrada. Este mismo proceso se puede utilizar para proporcionar al simulador cualquier otro parámetro externo variante en el tiempo proveniente de la respuesta de algún dispositivo externo con el que esté interactuando en tiempo real el simulador *CLODSA-RT*.

El mismo procedimiento que se usa internamente en *CLODSA-RT* para leer el parámetro externo, y que está basado en un subproceso que se ejecuta de forma independiente al subproceso de simulación, se puede utilizar para calcular los parámetros variantes en el tiempo de redes no lineales, lo cual se haría usando un subproceso independiente que calcule el valor del parámetro variante en el tiempo, instante a instante, colocándolo en una área de memoria compartida para que el proceso de simulación lo lea como si fuera un valor constante. Lo anterior se puede hacer con el propósito de reducir tiempos de procesamiento y lograr una simulación en la que se trate a los parámetros variantes en el tiempo como si fueran constantes.

5.2.2 Caso 5.2 Red simple de C.D. con interruptor

Este caso consiste en una red eléctrica de corriente directa formada por una fuente de *cd* y una red *RC* con un interruptor en paralelo con el capacitor. Este caso se diseñó para demostrar la forma en que el usuario o algún dispositivo externo puede interactuar con la simulación que se efectúa en tiempo real y modificar la topología del circuito en este caso a través de la manipulación externa de la operación del interruptor. La Figura 5.12 muestra la ventana que se despliega con la opción de *Mostrar Caso de Estudio* de la interfase principal de *CLODSA-RT*. Esta ventana muestra el diagrama del caso de estudio 5.2.

El interruptor en este caso de estudio se modeló como una resistencia que puede tomar dos valores diferentes, según el estado del interruptor. Si el interruptor se encuentra cerrado, el valor de la resistencia es pequeño, típicamente de menos de *1 Ω*, y si el interruptor se encuentra abierto el valor del interruptor es muy grande, típicamente en el orden de mega ohms. Cuando el interruptor se encuentra abierto se permite la carga del capacitor y si el interruptor se cierra se provoca la descarga del mismo.

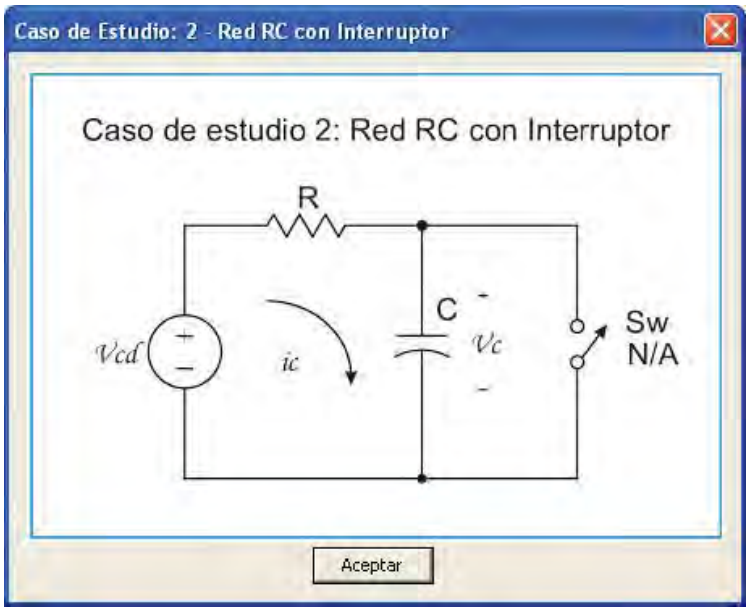


Figura 5.12 Red simple de C.D. con interruptor, simulada en el Caso 5.2.

5.2.2.1 Ventanas de Interfase con el Usuario

La ventana que permite introducir los datos de entrada a este caso se muestra en la Figura 5.13. En esta ventana se puede seleccionar el método de integración de entre los seis métodos implementados y descritos en la sección 4.9.4.

La ventana de entrada de datos también permite proporcionar el valor de los parámetros de la red eléctrica a simular, tales como: Magnitud de la fuente de *cd*, resistencia, capacitancia, resistencia del interruptor, tanto en estado de cerrado como abierto, y los valores de las relaciones de transformación o escalas que se utilizan para los canales analógicos de salida que generan las señales para v_c e i_c, obtenidas como resultado de la simulación de la red eléctrica.

Las Figuras 5.14 y 5.15 muestran el diagrama de conexiones de *CLODSA-RT* con los elementos externos y el visor gráfico de señales respectivamente. En la Figura 5.14 se puede observar que el simulador cuenta con una tarjeta de adquisición de datos (DAQ), la NI PCI-MIO-16E-4, y una tarjeta de salidas analógicas (AO), la NI PCI-6713. La tarjeta de adquisición de datos permite leer los parámetros analógicos y digitales de entrada tales como el valor del parámetro de la red controlado externamente a través de un potenciómetro que manipula en tiempo real el usuario o el

interruptor a través del cual el usuario ordena el cierre del interruptor de descarga del capacitor. La tarjeta de salidas analógicas permite extraer las respuestas de voltaje y corriente en el capacitor v_c e i_c respectivamente, las cuales se pueden observar con la ayuda de un osciloscopio, tal y como se muestra en la Figura 5.14.

El visor gráfico que se presenta en la Figura 5.15 proporciona al usuario varias opciones para mostrar gráficamente las formas de onda de las diferentes respuestas obtenidas después de realizar la simulación del caso bajo estudio. El visor gráfico incluye opciones para seleccionar el o los trazos a visualizar, para hacer acercamientos o desplazamientos de las señales, para cambiar las escalas aplicadas a los trazos y para observar la saturación de los canales analógicos de salida en caso de que se excedan los rangos de operación seleccionados.

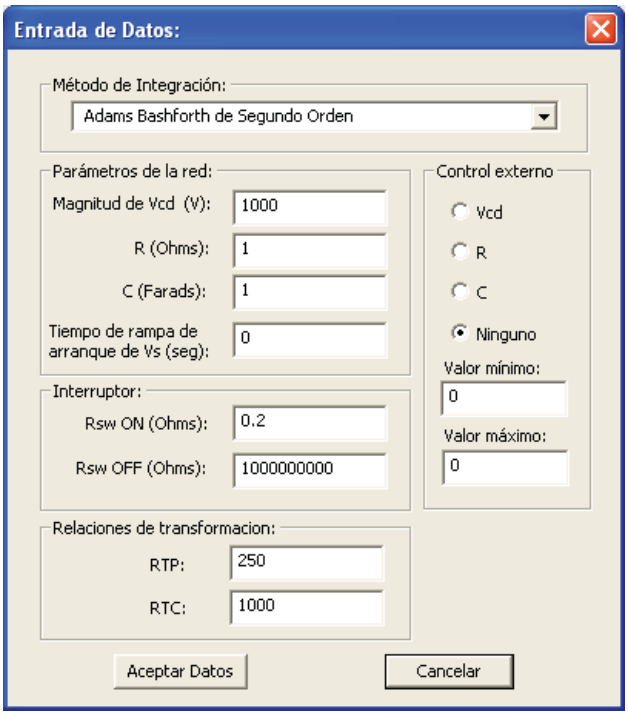


Figura 5.13. Ventana de entrada de datos del caso 5.2.

5.2.2.2 Validación de Resultados

A continuación se presentan los resultados de la simulación del caso 5.2 para 5 diferentes condiciones de operación.

Caso 5.2 (a) Simulación con el interruptor permanentemente abierto

En este caso se simula la red *RC* a partir de la energización de la fuente de CD que se presenta en *t=0 seg*, hasta *5 seg* después sin efectuar el cierre del interruptor de descarga durante todo el tiempo de duración de la simulación.

El valor de los parámetros de simulación utilizados para realizar este caso son los que se presentan en la Figura 5.13. El interruptor de la red eléctrica simulada se controla mediante un interruptor externo conectado a un puerto digital de entrada, según se muestra en la Figura 5.14, sin embargo, en este caso el interruptor permanece abierto durante los *5 seg* que dura la simulación. El paso de integración seleccionado es de *833* μS.

El resultado esperado en este caso debe ser la respuesta típica de carga de un capacitor en donde el voltaje crece de forma exponencial hasta alcanzar la magnitud de la fuente en el estado estacionario, mientras que la corriente decrece hasta cero en el estado estacionario cuando el capacitor adquiere su carga total y se comporta como si fuera un circuito abierto.

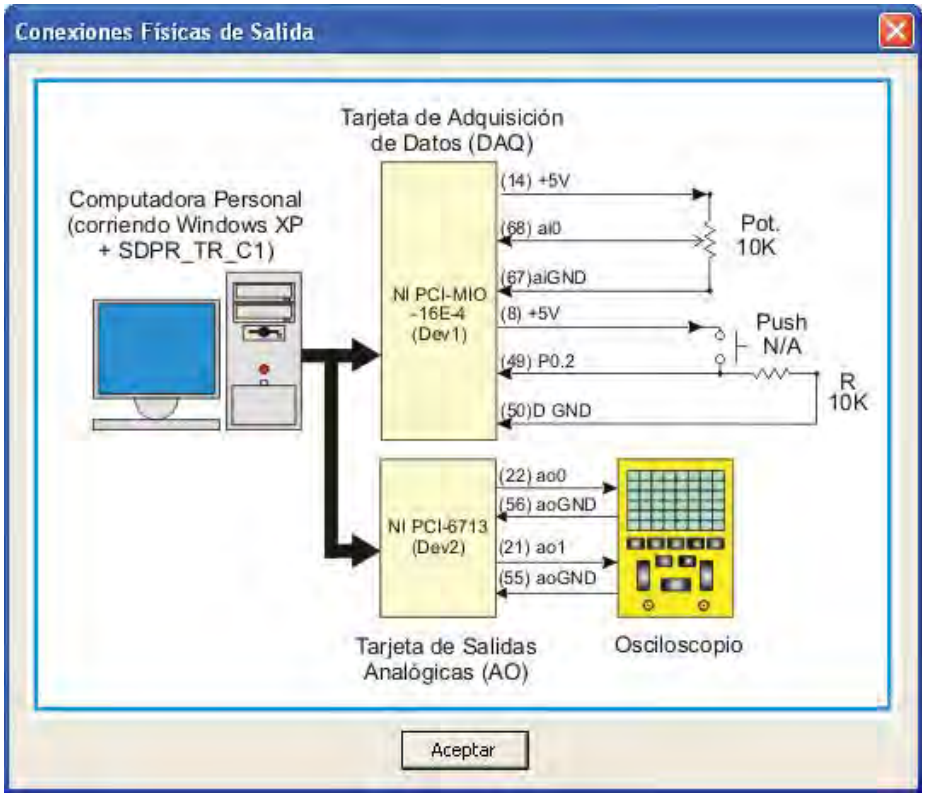


Figura 5.14 Ventana de diagrama de conexiones del caso 5.2.

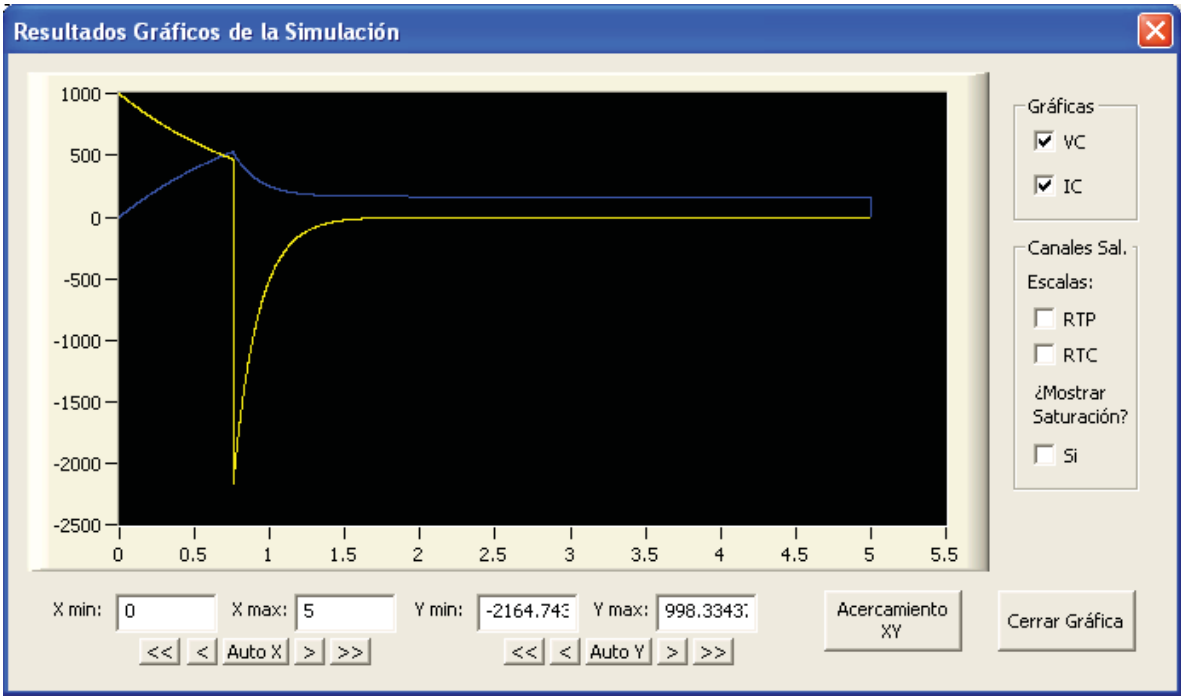


Figura 5.15. Ventana del visor gráfico de señales para el Caso 5.2.

La Figura 5.16 muestra las gráficas de los resultados obtenidos para v_c e i_c. En las gráficas de las Figuras 5.16(a) y 5.16(c) se muestran las respuestas completas para los *5seg* de simulación y en las Figuras 5.16(b) y 5.16(d) se muestra un acercamiento que permita observar la comparación entre la respuesta obtenida con *CLODSA-RT* (línea continua) y con PSCAD/EMTDC (linea discontinua). Los resultados demuestra la exactitud con la que la respuesta de *CLODSA-RT* coincide con los resultados obtenidos con PSCAD/EMTDC siendo la diferencia entre ambas respuesta de 0.0121% para el voltaje del capacitor y de 0.0209% para la corriente del capacitor en un tiempo de *1 seg*.

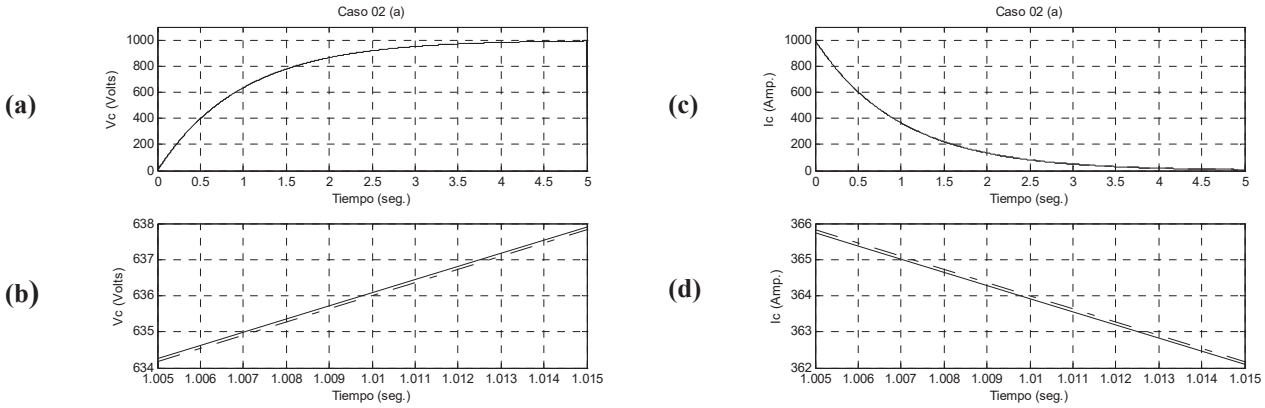


Figura 5.16. Respuestas del voltaje y corriente del capacitor v_c e i_c para el Caso 5.2(a). (a) Respuesta del voltaje del capacitor v_c, (b) acercamiento a v_c que muestra las respuestas de *CLODSA-RT* (línea continua) y de PSCAD/EMTDC (línea discontinua), (c) respuesta de corriente del capacitor i_c, (d) acercamiento a i_c.

Se puede observar en las respuestas de la Figura 5.16 para el caso de estudio 5.2(a) que el voltaje y la corriente del capacitor presentan los comportamientos típicos de una red RC alimentada por una fuente de *cd*. A partir del instante en que se inicia la simulación (se energiza la red RC) el voltaje del capacitor v_c comienza a crecer hasta alcanzar un valor constante igual al voltaje de la fuente de *cd*. Por otra parte, la corriente presenta su valor máximo en el momento de energización; esta corriente máxima está limitada y determinada por el valor de la resistencia. A medida que transcurre el tiempo, la corriente del capacitor decae exponencialmente hasta llegar a cero. Es importante mencionar que en este caso el interruptor no opera, permaneciendo abierto durante todo el tiempo de simulación.

Caso 5.2 (b) Simulación con cierre único del interruptor

El caso 5.2 se simula ahora con los mismos datos del caso 5.2 (a), con la diferencia que en esta ocasión el usuario cierra una vez durante un instante el interruptor de descarga del capacitor. De los resultados que genera *CLODSA-RT* se puede obtener el tiempo exacto en el que el usuario cierra el interruptor (*1.445833 seg*) y el tiempo exacto en el que lo abre de nuevo (*1.826666 seg*). Estos dos tiempos se usan para poder simular el caso en PSCAD/EMTDC usando un interruptor controlado por tiempo.

La Figura 5.17 muestra los resultados de la simulación. Las gráficas de las Figuras 5.17(a) y 5.17(b) corresponden al voltaje del capacitor y las de las Figuras 5.17(c) y 5.17(d) corresponden a la corriente del capacitor. Las gráficas de las Figuras 5.17(a) y 5.17(c) muestran la respuesta completa de los *5 seg* de simulación para v_c e i_c, respectivamente, mientras que las Figuras 5.17(b) y 5.17(d) presentan un acercamiento de v_c e i_c respectivamente, que muestra que la respuesta generada por *CLODSA-RT* (línea continua) y la de PSCAD/EMTDC (línea discontinua) coinciden con un alto grado de exactitud con porcentajes de error similares a los del caso 5.2(a).

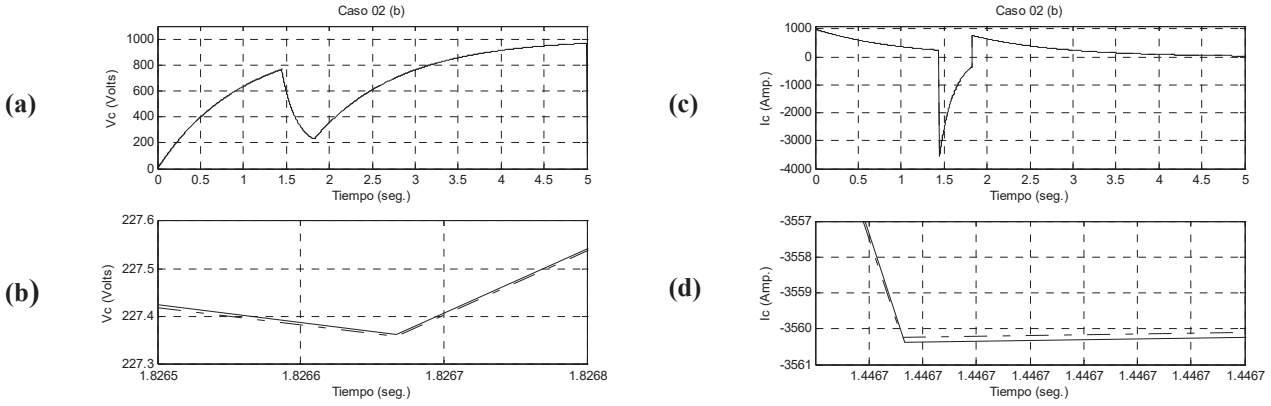


Figura 5.17. Respuestas del voltaje y corriente del capacitor v_c e i_c para el Caso 5.2(b). (a) Respuesta del voltaje del capacitor v_c, (b) acercamiento a v_c que muestra las respuestas de *CLODSA-RT* (línea continua) y de PSCAD/EMTDC (línea discontinua), (c) respuesta de corriente del capacitor i_c, (d) acercamiento a i_c.

La Figura 5.18 ilustra la forma en que el usuario ordena el cierre y apertura del interruptor de descarga del capacitor a través de la manipulación del interruptor de presión (push button) externo.

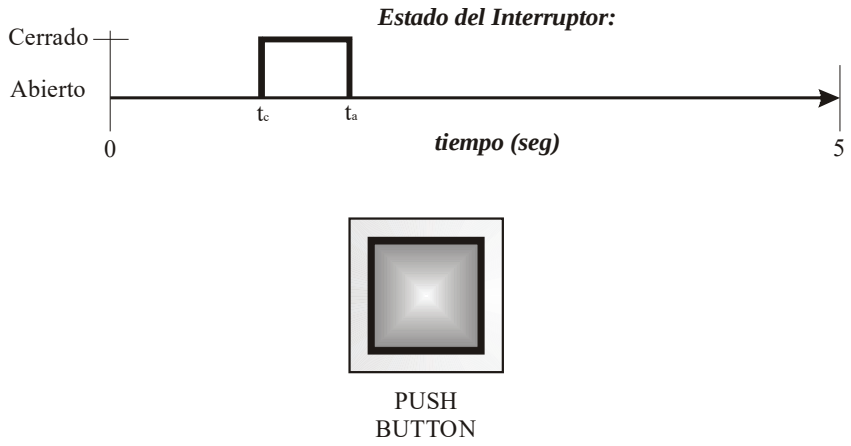


Figura 5.18. Ilustración de la manipulación del interruptor por parte del usuario durante la simulación del caso 5.2(b).

Caso 5.2 (c) Simulación con múltiples cierres del interruptor

En este caso se simula de nuevo la red eléctrica del caso 5.2 con los mismos datos del caso 5.2(a) con la diferencia de que ahora el usuario oprime varias veces consecutivas el interruptor de descarga del capacitor. La Figura 5.19 representa las cuatro operaciones del interruptor de descarga, que el usuario realiza durante la simulación en tiempo real. Para este caso los tiempos de cierre y apertura del interruptor son los que se muestran en la Tabla 5.1.

.

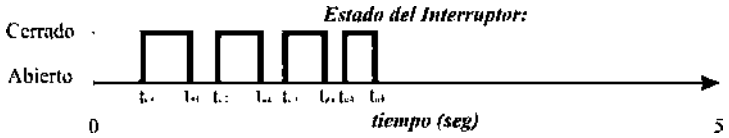


Figura 5.19. Manipulación del interruptor por el usuario durante la simulación del caso 5.2 (c).

Tabla 5.1 Tabla de tiempos de operación del interruptor.

NO DE OPERACIÓN DEL INTERRUPTOR	TIEMPO DE CIERRE (Seg)	TIEMPO DE APERTURA (Seg)
1	0.82916666	1.01833333
2	1.25416666	1.44333333
3	1.59916666	1.79333333
4	1.92333333	2.10999999

La Figura 5.20 muestra los resultados de las simulaciones tanto con *CLODSA-RT* como con PSCAD/EMTDC. Para poder realizar las simulaciones con PSCAD/EMTDC, se utilizaron los resultados de la simulación en tiempo real con *CLODSA-RT* los tiempos de cierre y apertura de cada una de las cinco ocasiones en las que el usuario oprime el botón que controla al interruptor de descarga del capacitor (Figura 5.19 y Tabla 5.1). Las gráficas muestran que los resultados de *CLODSA-RT* coinciden con un alto nivel de exactitud con los de PSCAD/EMTDC ya que presentan error entre el 0.01% y el 0.02%.

En la Figura 5.20 se puede observar que las respuestas de voltaje y corriente de la red RC simulada, en conjunto con el interruptor de descarga del capacitor controlado externamente por el usuario, constituyen un esquema en lazo cerrado en donde el usuario del simulador interactúa con la red eléctrica que se simula en tiempo real por medio de un interruptor de descarga del capacitor. Se puede observar que cada vez que el usuario oprime el interruptor, se inicia la descarga del capacitor, generando también el pico de corriente negativa característico; cuando el usuario deja de oprimir el interruptor, la carga del capacitor se reanuda a partir del último valor de voltaje que presente dicho capacitor. Las Figuras 5.20(a) y 5.20(c) representan las respuestas de voltaje y corriente v_c e i_c del capacitor, respectivamente, durante el intervalo completo de simulación de *5 seg*. Las Figuras 5.20(b) y 5.20(d) presentan un acercamiento a dichas respuestas de voltaje y corriente respectivamente, en donde se puede observar la excelente coincidencia entre los resultados obtenidos con *CLODSA-RT* (línea continua) y PSCAD/EMTDC (línea discontinua).

De los resultados se puede observar que el usuario puede controlar la carga y descarga del capacitor, dependiendo si deja abierto el interruptor o lo cierra. En este caso, así como en el caso 5.2(b), el interruptor se controla mediante un botón externo que el usuario oprime y que genera una señal

lógica a un puerto digital de entrada, sin embargo, el interruptor se puede controlar mediante cualquier hardware de control externo a *CLODSA-RT* que genere la señal lógica de control del interruptor como una respuesta a lo cambios en las señales de salida v_c o i_c , tal como se hizo en el caso 5.

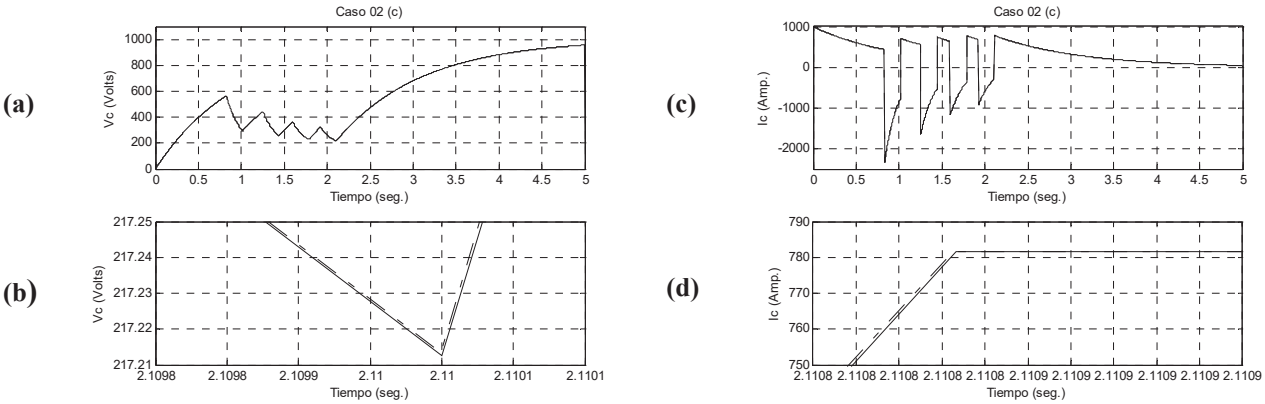


Figura 5.20. Respuestas del voltaje y corriente del capacitor v_c e i_c para el Caso 5.2(c). (a) Respuesta del voltaje del capacitor v_c, (b) acercamiento a v_c que muestra las respuestas de *CLODSA-RT* (línea continua) y de PSCAD/EMTDC (línea discontinua), (c) respuesta de corriente del capacitor i_c, (d) acercamiento a i_c.

Caso 5.2 (d) Simulación con control externo del valor del capacitor

Los resultados de las Figuras 5.21(a) y 5.21(b) muestran los resultados de la simulación del caso 5.2 efectuada con los datos del caso 5.2(a) pero seleccionando el control externo del valor del capacitor. La Figura 5.21(a) muestra la respuesta del voltaje del capacitor v_c, mientras que la Figura 5.21(b) muestra la respuesta de corriente del capacitor i_c. En este caso, no se presentan resultados de PSCAD/EMTDC ya que la forma en que el usuario varía en tiempo real el valor del capacitor no es fácilmente reproducible por PSCAD/EMTDC, sin embargo, los casos anteriores validan los resultados de *CLODSA-RT*.

En este caso, el usuario varía el valor del capacitor C de *3* a *0.5 μF* en el intervalo de *0* a *3 seg* mientras se efectúa la simulación en tiempo real con *CLODSA-RT*.

Caso 5.2 (e) Simulación con control externo de la magnitud de la fuente de c.d.

Este caso es similar al caso 5.2(d) solo que el parámetro que se varía externamente en esta ocasión es la magnitud de la fuente v_{cd} . La Figura 5.21(c) muestra la respuesta del voltaje del capacitor y la Figura 5.21(d) muestra la respuesta de la corriente del capacitor.

La Figura 5.21(e) muestra un acercamiento de la corriente del capacitor, en donde se muestra la presencia de oscilaciones numéricas. Es común que este tipo de oscilaciones numéricas se presenten en circuitos con elementos de conmutación, existen diferentes referencias [Alvarado *et al.* 1983] [Martí y Lin 1989] [Lin y Martí 1990] que documentan métodos para eliminarlas basadas en la determinación del instante exacto de la conmutación si este se da entre dos pasos de integración. Sin embargo, se ha podido comprobar al simular los casos de estudio que se presentan en esta unidad, que estas oscilaciones numéricas aparecen por el valor tan grande de resistencia con la que se simula el interruptor en estado abierto (típicamente de $1x10^6\Omega$ o más) y que contrasta con los valores pequeños del resto de los elementos de la red. En los siguientes casos de estudio no se modela al interruptor como un resistor que toma dos valores diferentes de resistencia, según su estado de operación, sino que se usa la metodología descrita en la Sección 4.8 y que demostró no generar este tipo de oscilaciones numéricas que se presentan cuando se usa el modelo mencionado del interruptor y también con las técnicas conocidas de simulación, basadas en la metodología propuesta en [Dommel y Meyer 1969] [Dommel y Meyer 1974] que obligan a utilizar técnicas de eliminación de oscilaciones numéricas.

La magnitud de v_{cd} se controla externamente durante la simulación en tiempo real tomando valores que van de un valor de *0* a *1000V*. Esta variación se efectúa en el intervalo de *0.5* a *3.5 seg* de la simulación realizada con *CLODSA-RT*. Tampoco en este caso se presenta una comparación de resultados con PSCAD/EMTDC, ya que la forma en que el usuario varía la magnitud de la fuente de *cd* en tiempo real no se puede reproducir con un simulador que opera en modo fuera de línea.

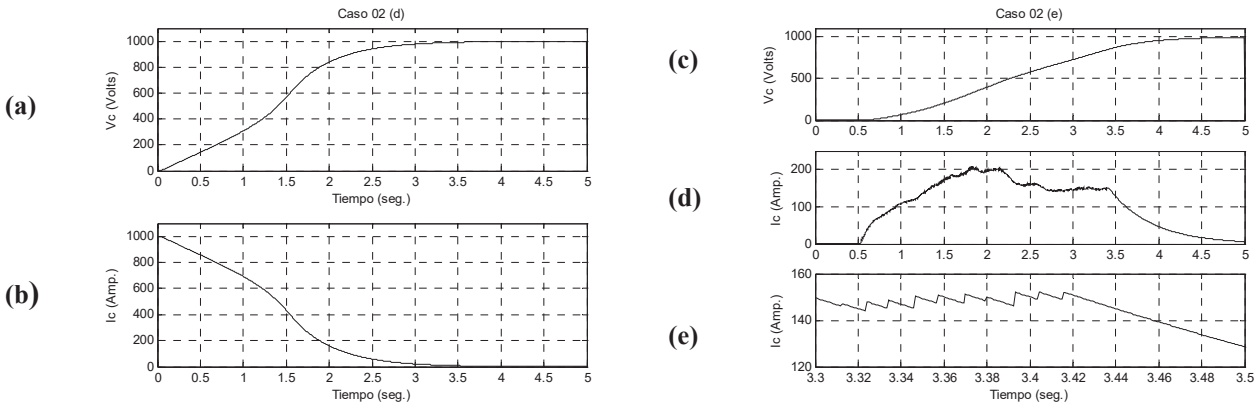


Figura 5.21. Respuestas del voltaje y corriente del capacitor v_c e i_c. (a) v_c en el caso 5.2(d), (b) i_c en el caso 5.2(d), (c) v_c en el caso 5.2(e), (d) i_c en el caso 5.2(e), (e) Acercamiento a la respuesta de i_c en el caso 5.2(e).

Tanto en el caso 5.2(d) como en el caso 5.2(e) no se cierra al interruptor en ningún momento de la simulación, sin embargo, tanto la variación de algún parámetro externo como la operación del interruptor se pueden efectuar de forma concurrente, ya que *CLODSA-RT* considera en cada paso de integración el estado de todos los parámetros internos y externos y opera en base a sus valores en cada instante.

5.2.3 Caso 5.3 Red monofásica de distribución con simulación de falla a tierra

En este caso de estudio se implementa un esquema de prueba en lazo abierto en tiempo real para un relevador de protección. El esquema en lazo abierto se implementa con una red eléctrica que representa con modelos sencillos una red de distribución formada por una fuente de *ca*, una línea de distribución y una carga RL. La idea de este caso es tener un relevador de protección con la función de sobrecorriente habilitada y ajustada, de tal forma que opere cuando se presente una falla a tierra en la línea de distribución. La simulación de la falla se lleva a cabo mediante una resistencia que a través de un interruptor se conecta a tierra en el instante en que se introduce la falla.

El simulador *CLODSA-RT* en este caso simula la red eléctrica que se presenta en la Figura 5.22 y genera como salida al relevador real que se está sometiendo a prueba dentro del esquema en lazo abierto, la corriente $i_s = i_1$ y el voltaje v_s suministrados por la fuente de *ca*. Estas señales de

respuesta de la red eléctrica simulada, $i_s = i_1$ y v_s, se aplican a la interfase de baja señal del relevador SEL-321 (ver Apéndice B), para que este elemento de protección sea el encargado de detectar la condición de sobrecorriente que ocurra en la red eléctrica simulada. Este caso representa un esquema en lazo abierto, ya que a pesar de que el simulador monitorea el estado del contacto de salida del relevador y registra su operación, no realiza ninguna modificación en la red eléctrica cuando esto sucede.

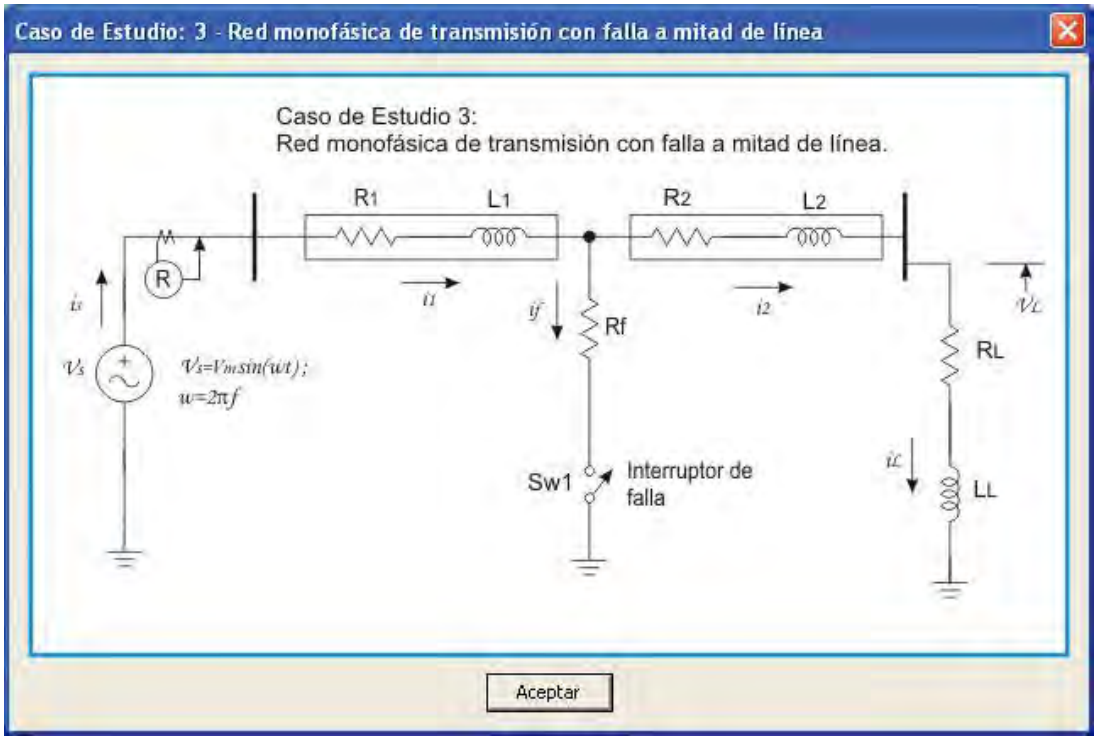


Figura 5.22 Red eléctrica simulada en el Caso 5.3.

5.2.3.1 Ventanas de Interfase con el Usuario

En la Figura 5.23 se muestra la interfase principal del simulador *CLODSA-RT* para el caso de estudio 5.3. Se observa que en este caso existe una opción adicional, en comparación con la interfase principal de los casos 5.1 y 5.2. Esta opción adicional con la que cuenta este caso es la de *Ajustar Escalas* y permite cambiar las escalas que se aplican a los canales de salida y en general a las señales obtenidas como resultado de la simulación del caso de estudio. Esta opción para ajustar

escalas se separó de la ventana de la opción de *Entrada de Datos* para permitir al usuario modificar las escalas directamente desde la interfase principal y se incluyó un acceso a esta función también desde el visor gráfico de señales. La Figura 5.24 muestra la ventana que se despliega cuando se selecciona esta opción para ajustar escalas.

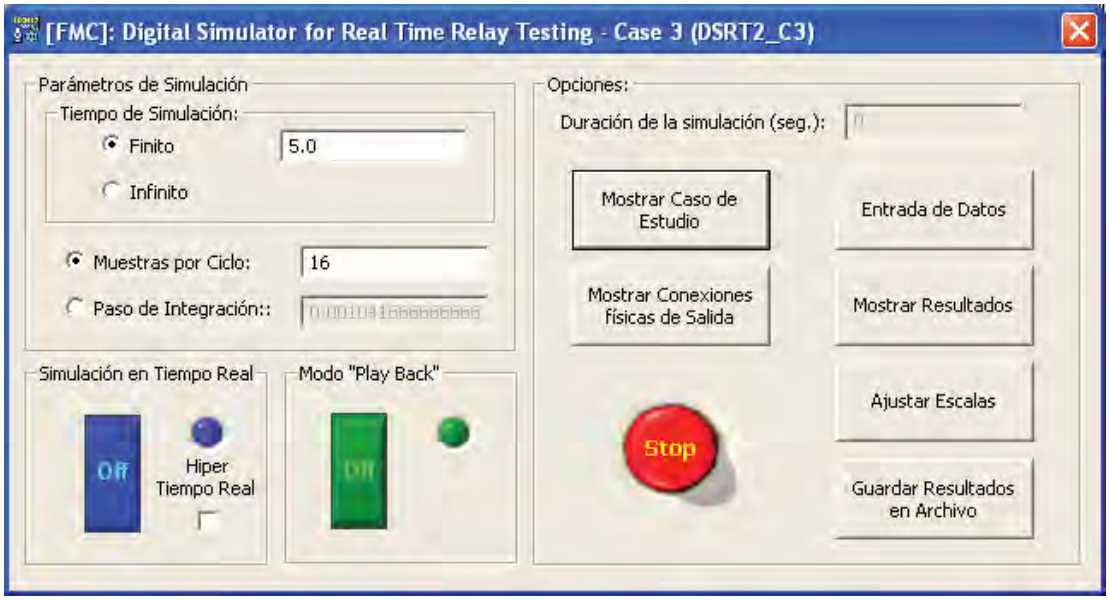


Figura 5.23 Interfase principal del caso de estudio 5.3 del simulador *CLODSA-RT*.

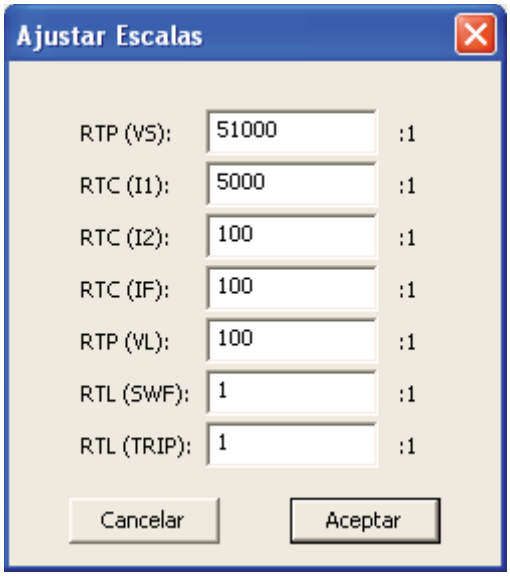


Figura 5.24 Ventana de Ajuste de Escalas para el caso 5.3.

En la Figura 5.25 se presenta la ventana de entrada de datos, en donde aparte de permitir el ingreso de los valores de los parámetros de la red, elegir el método de integración y seleccionar el control externo de alguno de los parámetros de la red mencionados, permite también seleccionar el tipo de control del interruptor de inserción de falla, ya sea por tiempo o controlado externamente.

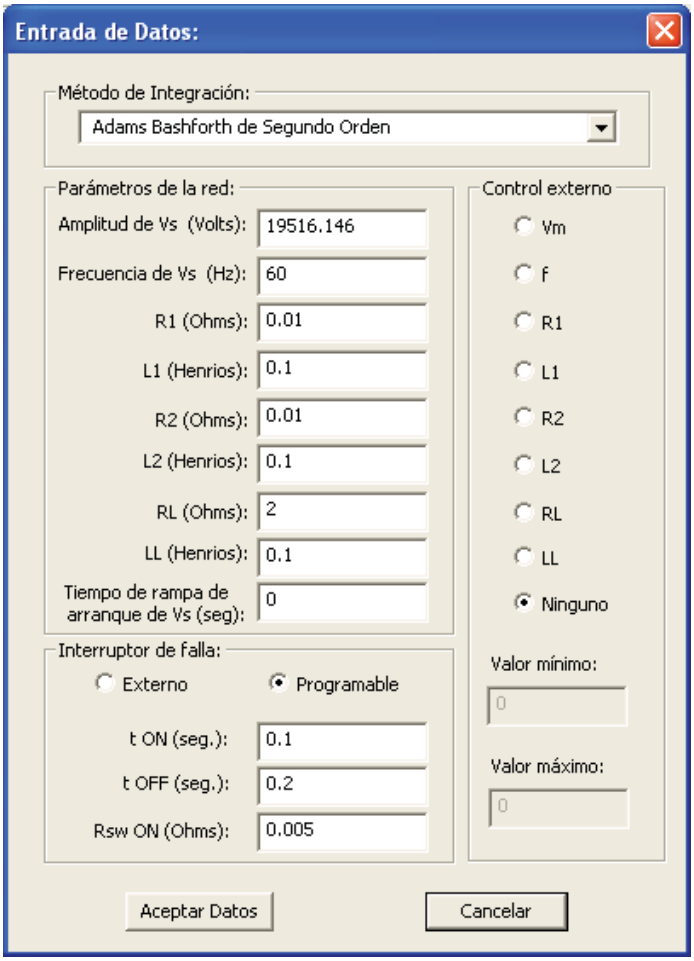


Figura 5.25. Ventana de entrada de datos del caso 5.3.

En la Figura 5.26 se muestra la ventana del Visor Gráfico de Señales que se despliega cuando se selecciona la opción *Mostrar Resultados*. Esta opción, ya mencionada en los casos anteriores, permite visualizar los resultados de la simulación de tiempo finito del caso de estudio. También en esta opción se pueden visualizar las señales aplicando las escalas proporcionadas en la opción de *Ajustar Escalas* y si se desea ver las señales, tal y como saldrían por los canales de salida, incluyendo la posible saturación de los canales de salida, se debe seleccionar la opción de *Mostrar Saturación*. En esta ventana se incluyó también la opción de *Ajustar Escalas* para no tener que

regresar a la ventana principal y con esto poder ajustar las escalas y visualizar los resultados con los nuevos valores, de forma inmediata.

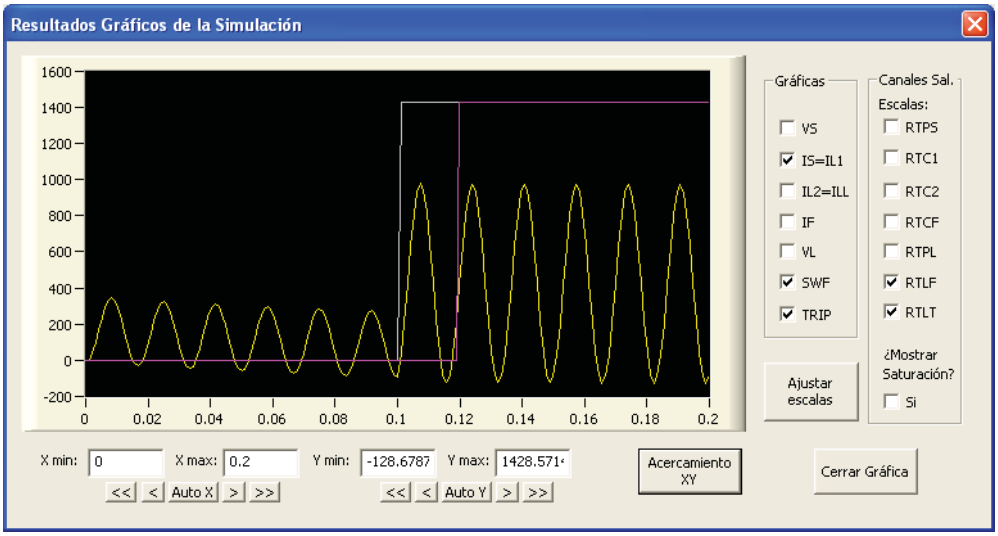


Figura 5.26. Ventana del visor gráfico de señales para el Caso 5.3.

La Figura 5.27 muestra el diagrama de conexiones de este esquema en lazo abierto, en donde se muestra la forma en que se conecta el simulador *CLODSA-RT* para este caso de estudio con los dispositivos externos, incluyendo el relevador bajo a prueba. Se puede observar que para la implementación del esquema en lazo abierto de este caso, se generan físicamente las respuestas de corriente y voltaje de la fuente de la red de distribución haciendo uso de dos canales analógicos de salida ($ao0$ y $ao3$). Estas respuestas de corriente se aplican a la interfase de baja señal del relevador SEL-321 para que este detecte la condición de sobrecorriente cuando ésta se presente. Un puerto digital de entrada ($P0.4$) registra en cada paso de integración el estado del contacto de salida del relevador para saber cuando opera. El interruptor de inserción de falla está conectado a otro puerto digital de entrada ($P0.2$), mientras que el potenciómetro que sirve para controlar uno de los parámetros de la simulación de manera externa se encuentra conectado a un canal analógico de entrada ($ai0$).

5.2.3.2 Validación de Resultados

A continuación se presentan los resultados de la simulación del caso 5.3 bajo diferentes condiciones de operación y se presenta también la validación de los resultados usando el simulador PSCAD/EMTDC.

Caso 5.3(a) Simulación con función de protección de sobrecorriente instantánea (50)

En este primer ejemplo de simulación de la red eléctrica presentada en la Figura 5.22, se usan los valores por omisión con los que trabaja el simulador *CLODSA-RT* para este caso; presentadas en la Figura 5.25. Como se puede observar, el interruptor que inserta la falla a mitad de la línea se cierra en *0.1 seg* y abre en *0.2 seg*; la duración de la simulación se elige de *0.5 seg*.

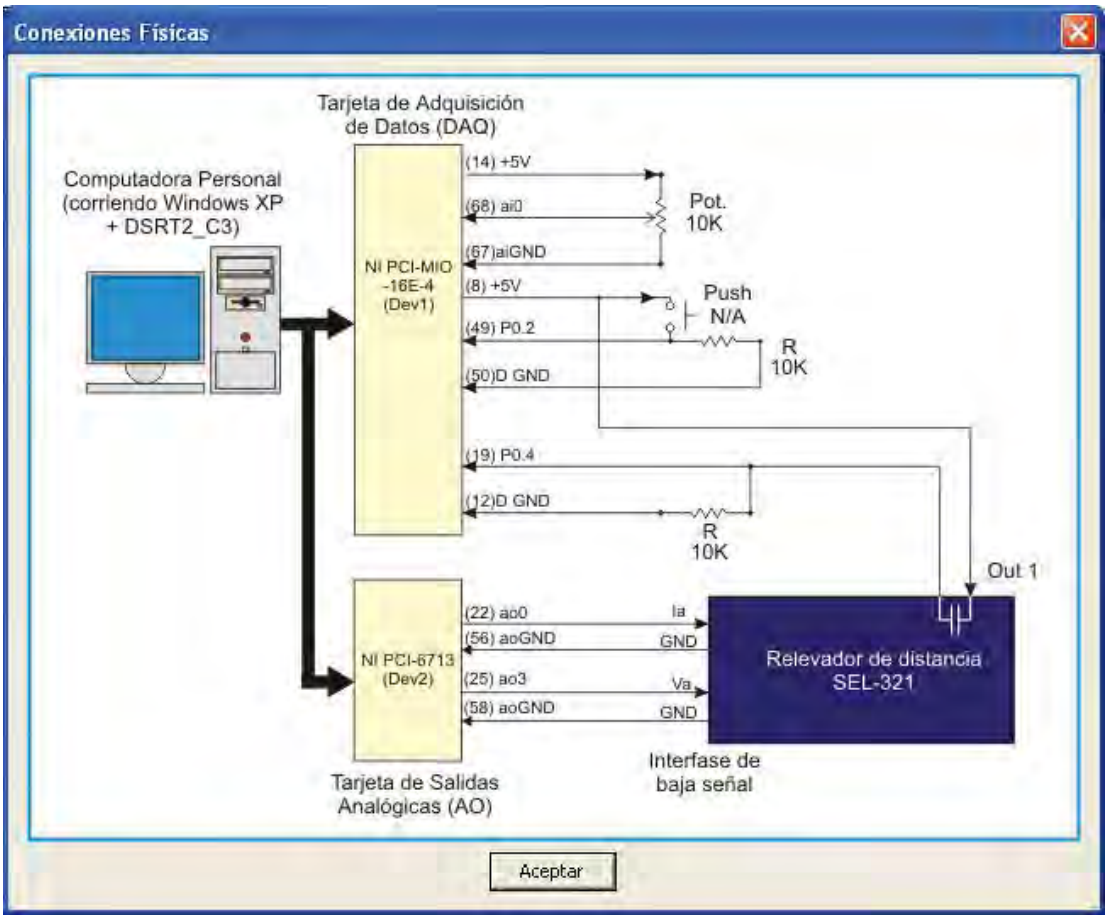


Figura 5.27 Ventana de diagrama de conexiones del Caso 5.3.

El relevador de protección que se utiliza para implementar este esquema en lazo abierto es el SEL-321, y se conecta según se muestra en la Figura 5.27. Para este caso, se habilita la función de protección de sobrecorriente instantánea (50) [IEEE C37.2 1991]. Debido a que el esquema que se está implementando es monofásico, el relevador se habilita para que opere con una señal monofásica de corriente. Para este caso, el valor de corriente de operación normal en estado estacionario es de *121.99 A rms* y la corriente de corto-circuito a mitad de la línea es de *366.05 A rms*. El valor de sobrecorriente o ajuste de "pick-up" de la función 50 del relevador se debe elegir para que opere con la corriente de cortocircuito, es decir, arriba del valor de operación normal pero abajo de la corriente de cortocircuito. Debido a que la falla se inserta mediante una resistencia de *0.05 Ω*, la corriente de falla presentará un valor muy cercano a la corriente de cortocircuito, por lo que en este caso se elige un ajuste de sobrecorriente de $2*121.99 = 244$ *A rms*.

Las Figuras 5.28 y 5.29 muestran los resultados de esta simulación en tiempo real, en la que se implementa un esquema en lazo abierto para probar la operación de la función de protección de sobrecorriente instantánea del relevador bajo prueba.

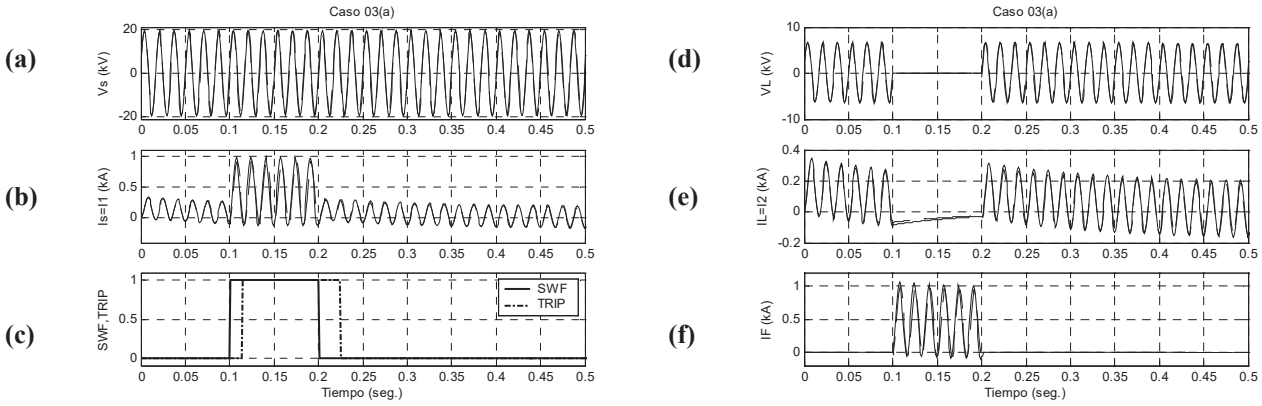


Figura 5.28. Resultados de la simulación del caso 5.3(a). (a) Voltaje de la fuente v_s, (b) corriente de la fuente i_s, (c) señales lógicas de operación del interruptor de falla y de disparo *SWF* y *TRIP*, (d) voltaje en la carga v_L, (e) Corriente en la carga i_L, y (f) corriente de falla i_F.

La gráfica de la Figura 5.28(c) muestra las señales lógicas de operación del interruptor de falla (*SWF*, línea contínua) y de la señal de disparo del relevador (*TRIP*, línea tipo guión-punto) registradas por *CLODSA-RT*. Se observa que a partir del inicio de la simulación las corrientes i_1 e i_2 presentan el transitorio característico de energización y comienzan a tomar sus condiciones de estado estacionario cuando en un tiempo de *0.1 seg* se cierra el interruptor que inserta la falla a tierra a mitad de la línea, lo cual produce que la corriente suministrada por la fuente se incremente en un valor dos veces mayor que la corriente nominal de operación. Esta condición de sobrecorriente es detectada por el relevador, haciendo que la función de sobrecorriente opere de forma instantánea. El retardo de cerca de un ciclo que se observa entre el momento en que se inserta la falla (cuando *SWF* pasa de cero a uno) y el momento en que el relevador opera (cuando *TRIP* pasa de cero a uno) se debe al tiempo que tarda el relevador en detectar la condición de sobrecorriente, de aproximadamente medio ciclo, más el tiempo de retardo en el cierre del contacto de salida. Este tiempo de operación de aproximadamente un ciclo se considera instantáneo; es el tiempo mínimo de operación que puede tener cualquier función de sobrecorriente en un relevador digital, como el que se prueba en este caso de estudio.

Todas las gráficas que se presentan en la Figura 5.28 presentan los resultados tanto de *CLODSA-RT* como de PSCAD/EMTDC. El relevador real se simula únicamente como un interruptor que se abre al tiempo en que opera la protección de sobrecorriente en la simulación en tiempo real. La línea continua corresponde a los resultados del simulador en tiempo real *CLODSA-RT*, mientras que la línea discontinua corresponde a los resultados de PSCAD/EMTDC. Se observa que los resultados coinciden con gran precisión, lo cual valida los resultados obtenidos con *CLODSA-RT*. La Figura 5.29 muestra un acercamiento de la corrientes de la fuente i_1 y la corriente de la carga i_2 respectivamente. La diferencia obtenida entre los resultados de *CLODSA-RT* y PSCAD/EMTDC es prácticamente despreciable.

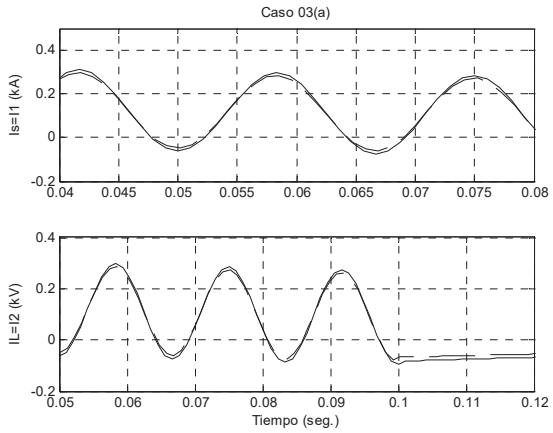


Figura 5.29. Acercamiento de las corrientes i_1 e i_2 para el caso 5.3(a).

La diferencia más grande que se obtiene entre ambos resultados se presenta durante la condición de falla y esto se debe a que PSCAD/EMTDC modela al interruptor como una resistencia que toma un valor de cierre y otra de apertura durante la simulación, mientras que en CLODSA-RT se hace uso de la metodología descrita en la Sección 4.8. Sin embargo, esta diferencia entre ambos resultados durante la condición de falla sigue siendo mínima, aproximadamente del 3.5%.

Caso 5.3(b) Simulación con función de protección de sobrecorriente de tiempo inverso (51)

Este caso se simula habilitando ahora en el relevador la función de sobrecorriente de tiempo inverso (51) en lugar de la función de sobrecorriente instantánea, con la finalidad de observar el retardo de operación de la función de protección. El interruptor de falla se programa para que se cierre en *0.1 seg* y se mantenga cerrado hasta el final de la simulación, que tiene una duración de *1 seg*. El resto de los parámetros de la red eléctrica simulada son los mismos.

Con la única finalidad de observar el retardo mínimo que se pueda obtener con una función de sobrecorriente de tiempo inverso, se elige la familia de curvas de tiempo corto (U1 en el relevador SEL-321) [IEEE C37.112-1996] y se selecciona el valor mínimo de tiempo de retardo de la curva de *0.5 seg.* Los resultados de esta simulación tanto con *CLODSA-RT* (línea continua) como con PSCAD/EMTDC (línea discontinua) se presentan en todas las respuestas que se presentan en las Figuras 5.30(a), 5.30(b), 5.30(d), 5.30(e) y 5.30(f), excepto las señales lógicas *SWF* y *TRIP* que se

presentan en la Figura 5.30(c), debido a que solo se pueden obtener con el simulador en tiempo real *CLODSA-RT*.

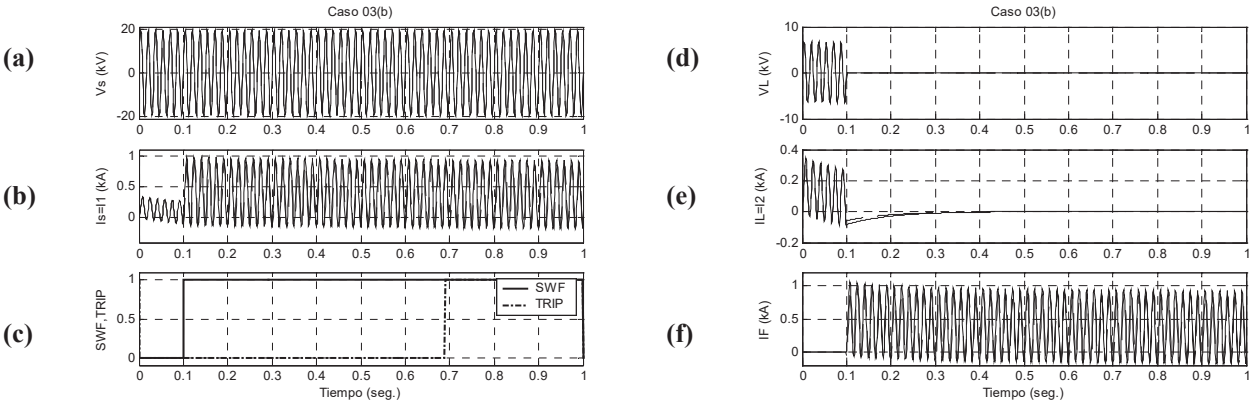


Figura 5.30. Resultados de la simulación del caso 5.3(b). (a) Voltaje de la fuente v_s, (b) corriente de la fuente i_s, (c) señales lógicas de operación del interruptor de falla y de disparo *SWF* y *TRIP*, (d) voltaje en la carga v_L, (e) Corriente en la carga i_L, y (f) corriente de falla i_F.

La Figura 5.30(a) muestra el voltaje de la fuente de corriente alterna que permanece con magnitud constante desde que se inicia la simulación hasta que termina (*1 seg*). Se puede observar en la Figura 5.30(c) que cuando se ordena el cierrre del interruptor de falla en *t=0.1 seg*, aparece una corriente de falla i_F , Figura 5.30(f), de aproximadamente *1 kA*. En ese instante, la corriente que suministra la fuente a la red eléctrica se incrementa también, lo cual se puede observar en la Figura 5.30(b), mientras que el voltaje y la corriente en la carga se hacen cero debido a la falla insertada a mitad de la línea; las formas de onda para el voltaje y corriente en la carga se muestran en las Figuras 5.30(d) y 5.30(e), respectivamente. La Figura 5.30(c) muestra el momento en que el relevador opera ante la condición de sobrecorriente en la carga, en un tiempo de *0.6885 seg*, lo cual se puede observar en la transición de la señal lógica *TRIP* de un valor de cero a un valor de uno.

Se puede observar en la gráfica de la Figura 5.32(c) que la función de protección de sobrecorriente de tiempo inverso tarda en operar aproximadamente *0.5875 seg* (tiempo en que opera la función de

protección *0.6885 seg,* menos el tiempo en que se inserta la falla e inicia la condición de sobrecorriente =*0.1 seg,* menos el tiempo que tarda en detectarse la sobrecorriente ≅*0.01 seg*).

Caso 5.3(c) Simulación con variación externa de la frecuencia y sin función de protección

Este caso se presenta para demostrar el potencial que pueden presentar algunas de las características con las que cuenta el simulador en tiempo real *CLODSA-RT* para controlar de forma externa alguno de los parámetros de la red.

En este caso la simulación se realiza sin introducir la condición de falla en la línea y sin evaluar el comportamiento del relevador de protección, ya que la idea de esta prueba es demostrar como afecta en la respuesta de una red eléctrica de este tipo, la variación de un parámetro de forma dinámica mientras se realiza la simulación.

La Figura 5.31 muestra los resultados de la simulación de la red de la Figura 5.22 sin condiciones de falla durante toda la simulación, que en este caso dura *2 seg*. Los valores de todos los parámetros de la red son los mismos que se utilizaron en los casos 5.3(a) y 5.3(b), con la única diferencia que se selecciona controlar de forma externa la frecuencia de la fuente de *ca* y se elige un rango de variación de *59.5* a *60.5 Hz*.

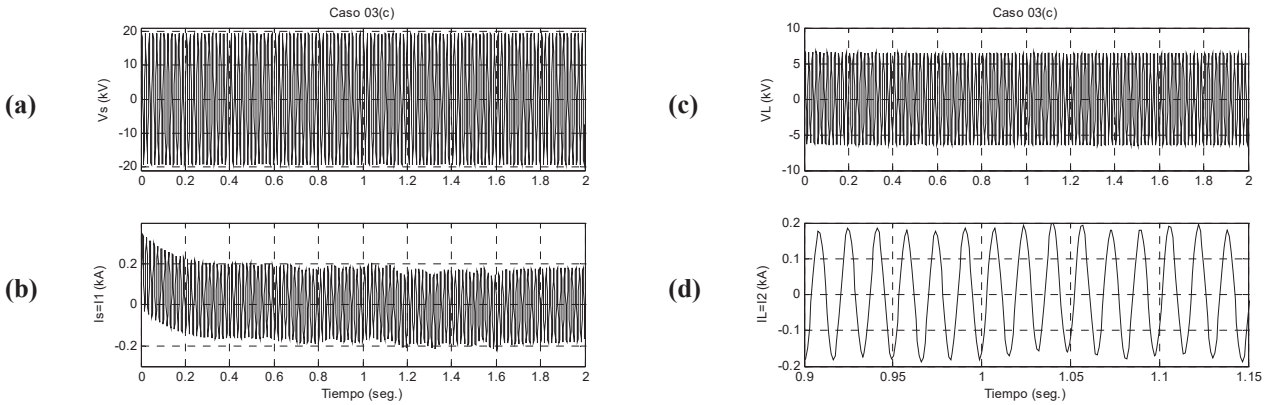


Figura 5.31 Resultados de la simulación del caso 5.3(c). (a) Voltaje de la fuente v_s, (b) corriente de la fuente, línea de distribución y carga $i_s = i_1 = i_2 = i_L$, (c) voltaje en la carga v_L, (d) acercamiento a la corriente $i_s = i_1 = i_2 = i_L$.

Obsérvese de las Figuras 5.31(b) y 5.31(d) que i_1 e i_2 son iguales para este caso en particular. A medida que el usuario varía en tiempo real la frecuencia durante la ejecución de la simulación, desde su valor mínimo (*59.5 Hz*) hasta su valor máximo (*60.5 Hz)*, en un rango de tiempo entre *0.3* y *1.7 seg* aproximadamente, la respuesta presenta oscilaciones de amplitud y de frecuencia, lo que es un indicativo del impacto que tiene la variación de frecuencia en el sistema eléctrico.

Como ya se mencionó anteriormente, la variación externa de un parámetro en *CLODSA-RT* no solo se puede hacer mediante la variación manual de un potenciómetro por parte del usuario, sino también puede ser controlada por un dispositivo externo mediante la variación del voltaje de entrada a un canal analógico, como en el que está conectado el potenciómetro. La variación externa de un parámetro en tiempo real convierte de hecho a ese parámetro en variante en el tiempo y en el caso de la frecuencia, permite que se hagan estudios de respuesta a la frecuencia de redes eléctricas en tiempo real. La variación en tiempo real de otros parámetros puede permitir el desarrollo de otro tipo de estudios y aplicaciones como sintonización de circuitos de control, ajuste de respuesta a la frecuencia de filtros, determinación de polarización óptima de circuitos, prueba de circuitos de disparo para convertidores, etc.

5.2.4 Caso 5.4 Máquina Síncrona en Coordenadas de Fase

En este caso se efectuó la simulación de una máquina síncrona conectada a un bus infinito mediante una línea de transmisión corta. El modelo utilizado para la máquina síncrona es el modelo en coordenadas de fase que se presenta de manera detallada en la sección 2.5.4.1. Para la línea de transmisión se utilizó el modelo más básico que representa a una línea corta mediante una resistencia y un inductor conectados en serie. La Figura 5.32 muestra la ventana que se despliega al seleccionar la opción *"Mostrar Caso de Estudio"* en la interfase principal de *CLODSA-RT* para este caso de estudio y que muestra el esquema de conexiones entre la máquina síncrona y el bus infinito a través de la línea de transmisión.

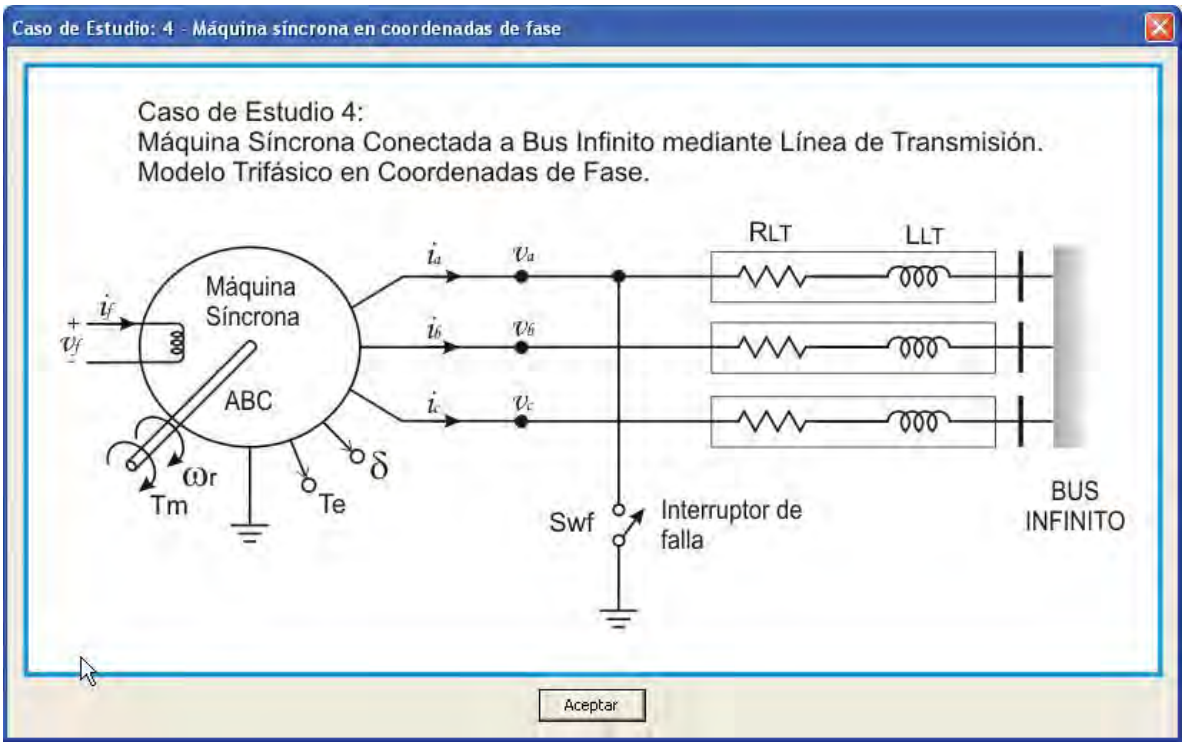


Figura 5.32 Red eléctrica simulada en el Caso 5.4. Máquina síncrona conectada a un bus infinito por medio de una línea de transmisión corta.

En el diagrama de la Figura 5.32 se observa también que existe un interruptor a través del cual se puede introducir una falla a tierra en la terminal de la fase *a* de la máquina síncrona. El simulador cuenta con opciones para proporcionar un valor de resistencia de falla, si se introduce un valor de cero entonces se considera que la falla es sólida a tierra. El interruptor de falla puede accionarse por programa proporcionando el tiempo de cierre y de apertura o bien puede ser accionado por el usuario mediante un interruptor externo.

La simulación de este caso de estudio cuenta también con opciones para variar de forma externa algunos de los parámetros de la simulación mientras esta se ejecuta tales como: el voltaje nominal de la máquina, la frecuencia, el voltaje aplicado al devanado de campo, la resistencia de armadura, la resistencia o la inductancia del devanado de campo o el par mecánico aplicado a la máquina.

Este caso de simulación entrega resultados para las respuestas de corrientes y flujos en los devanados de fase, en los devanados amortiguadores en el eje directo y en cuadratura, así como en el devanado de campo. También entrega resultados para el par eléctrico, la velocidad mecánica de la

máquina y el ángulo de desplazamiento del rotor. Adicionalmente se cuenta también con un registro de la señal lógica que representa la operación del interruptor de falla.

5.2.4.1 Ventanas de Interfase con el Usuario

La Figura 5.33 muestra la interfase principal de *CLODSA-RT* para el caso 5.4. Se puede observar que la interfase principal para este caso cuenta con una opción adicional a las opciones con las que cuentan los demás casos de estudio. La opción adicional con la que cuenta este caso es la de deshabilitar la salida de señales a través de los canales físicos con los que cuenta el simulador. En la Sección 5.2.4.2 de validación de resultados, se explica la utilidad de esta función y el porque de su implementación. El resto de las funciones tienen el mismo propósito que en los casos de estudio anteriores.

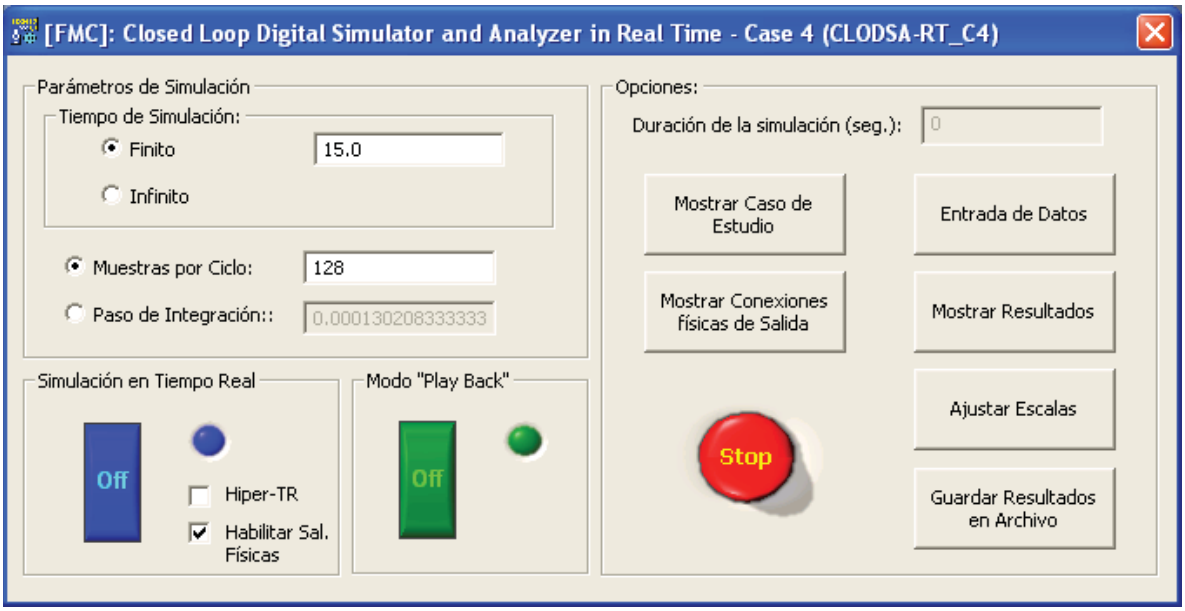


Figura 5.33 Interfase principal del caso de estudio 5.4 del simulador *CLODSA-RT*.

La Figura 5.34 muestra la ventana que se despliega al seleccionar la opción de *Ajustar Escalas* en la interfase principal de *CLODSA-RT*. Se observa que para este caso se requieren de 16 escalas, una para cada señal obtenida como respuesta de la simulación de este caso. Cada una de estas escalas es útil aún cuando no todas las respuestas se envíen a los canales analógicos de salida, ya que permiten hacer comparaciones entre los diferentes tipos de respuestas que entrega el simulador (corrientes,

flujos, par eléctrico, par mecánico, velocidad angular, ángulo de desplazamiento y la señal lógica de operación del interruptor de falla), y que cuentan con magnitudes diferentes, debido a que su naturaleza y unidades son diferentes.

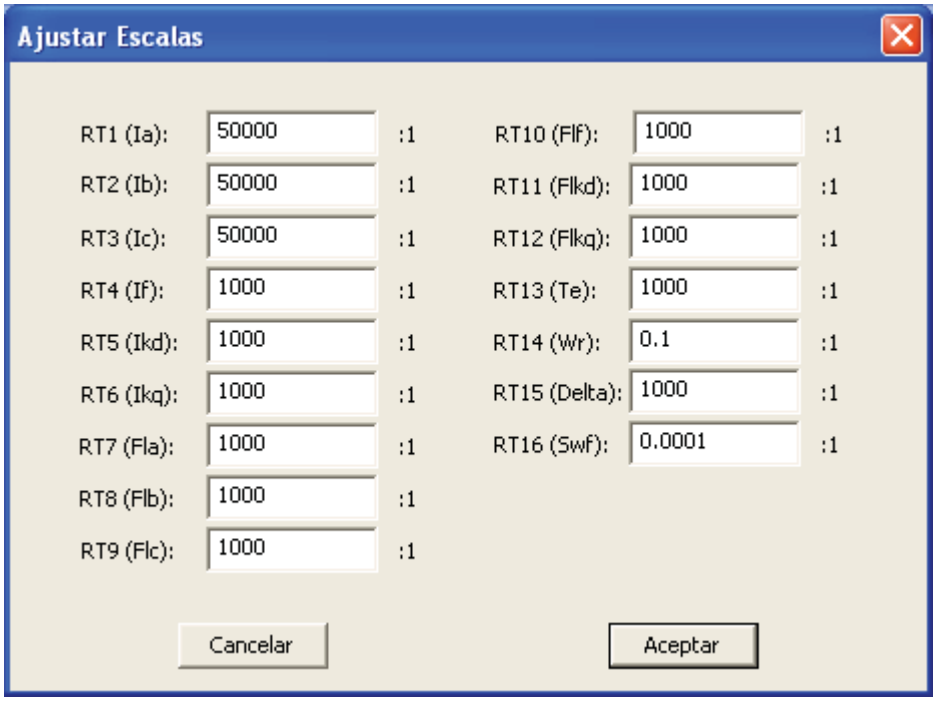


Figura 5.34 Ventana de Ajuste de Escalas para el caso 5.4.

La Figura 5.35 presenta la ventana que se despliega al seleccionar la opción *Entrada de Datos* de la interfase principal de *CLODSA-RT* para el caso 5.4. Se observa que la cantidad de datos que requiere esta simulación es grande ya que únicamente la máquina síncrona requiere de 22 parámetros, adicionalmente se requieren parámetros como el ángulo de fase del bus, la frecuencia de operación del sistema, los valores de resistencia e inductancia de la línea y los tiempos de operación del interruptor de falla, así como su resistencia si el interruptor opera internamente, entre otros datos.

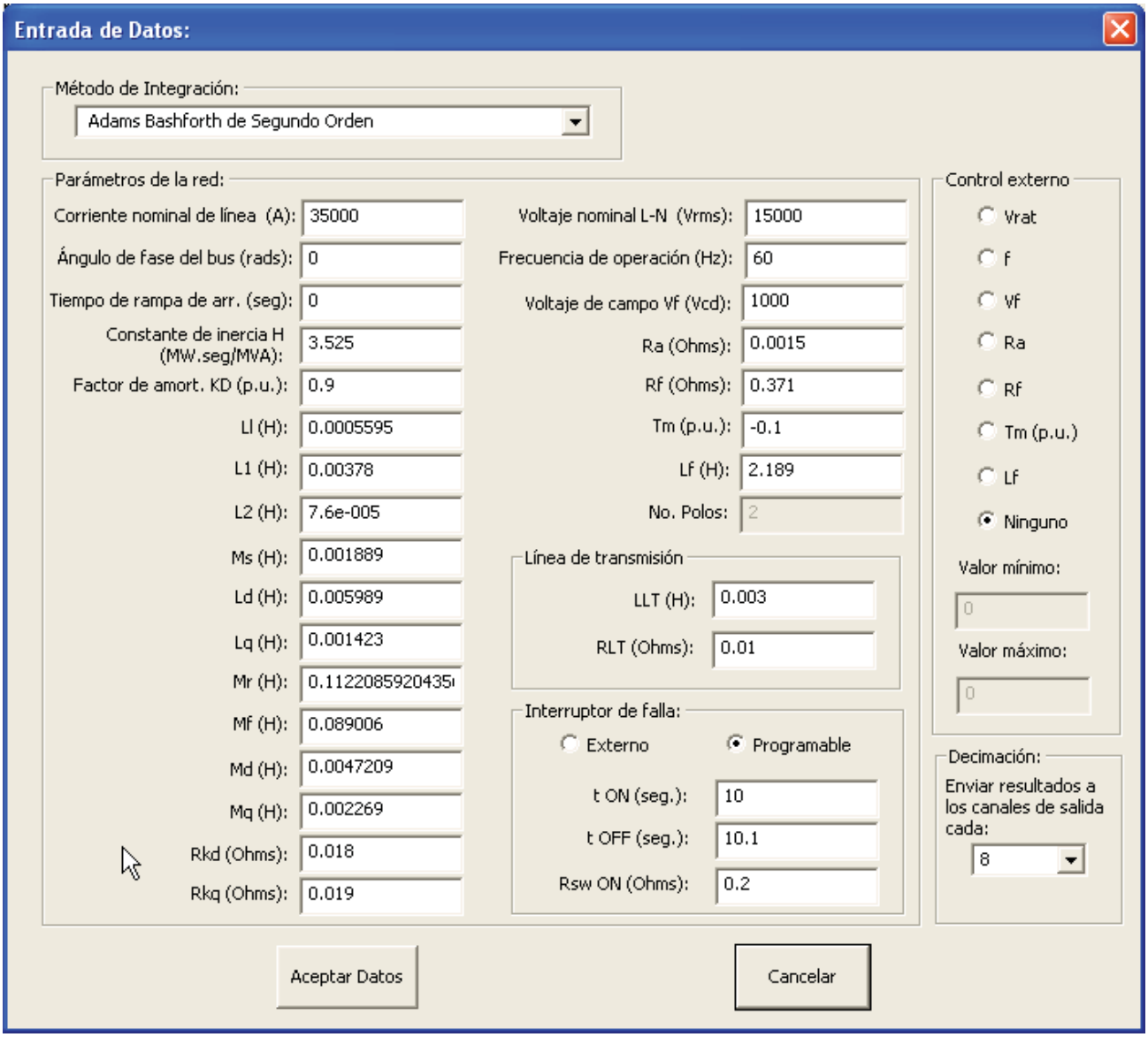


Figura 5.35. Ventana de entrada de datos del caso 5.4.

La Figura 5.35 muestra también como en los casos de estudio anteriores, se puede elegir cualquiera de los métodos de integración de la familia de Adams Bashforth de primer a sexto orden, sin embargo, es importante mencionar que debido a que la formulación matemática de las ecuaciones eléctricas de la máquina síncrona utilizada para efectuar esta simulación incluye de manera explícita la regla trapezoidal, el método de integración seleccionado aplica únicamente a la integración de las ecuaciones mecánicas en este caso. La solución de la parte eléctrica de la máquina síncrona en conjunto con la línea de transmisión y el bus infinito se lleva siempre a cabo mediante el uso de la regla trapezoidal por estar incluida de forma implícita en la formulación utilizada.

Adicionalmente, la ventana de *Entrada de Datos* permite seleccionar el control externo de algunos de los parámetros de la máquina como el voltaje del bus, la frecuencia, el voltaje aplicado al devanado de campo, la resistencia de armadura, la resistencia del devanado de campo, el par mecánico o la inductancia del devanado de campo. También se puede seleccionar a través del cuadro de grupo *"Decimación"* cada cuantos pasos de integración se debe enviar una muestra a los canales analógicos de salida. La utilidad de esta función también se describe en la Sección 5.2.4.2 de validación de resultados.

La ventana del visor gráfico de resultados que se despliega cuando se elige la opción *Mostrar Resultados* se presenta en la Figura 5.36. Se puede observar que se puede seleccionar y ver de forma gráfica cualquiera de las 16 formas de onda disponibles para el presente caso. A cada una de estas señales se le puede aplicar la escala elegida por el usuario en la opción de *Ajustar Escalas* si se selecciona el cuadro de selección que se encuentra a la derecha de cada forma de onda que se desea ver. A pesar de que actualmente no todas estas formas de onda se extraen por los puertos analógicos de salida, la opción de mostrar saturación (*Show saturation*) permite ver todas las señales como si se extrajeran por dichos canales analógicos, ya que se pretende a futuro programar opciones en las que el usuario pueda seleccionar que señales extraer y en que canal analógico de los disponibles en el simulador.

La Figura 5.37 muestra la ventana que se despliega cuando se elige la opción de *Mostrar Conexiones Físicas de Salida* y presenta un diagrama de conexiones del simulador con los dispositivos externos. Este caso hace uso de dos interruptores de presión (*push-button*) que tienen la función de insertar la falla (*SWF)* y de restablecer las condiciones iniciales de la máquina síncrona respectivamente. El interruptor que restablece las condiciones iniciales genera el efecto de iniciar de nuevo el arranque de la máquina a partir del instante en que se presiona.

En este caso se muestra un osciloscopio como el dispositivo receptor de las señales de salida del simulador. Debido a la complejidad de este caso y al número de operaciones involucradas en cada paso de integración, así como del tiempo requerido para habilitar los canales analógicos de salida y enviar los datos, solo se puedo obtener una respuesta en tiempo real aplicando una decimación

(eliminación selectiva de muestras) a la señal de salida como se explica en la Sección 5.2.4.2 o sin generar señales de salida, sin embargo, es importante mencionar que se pudieron alcanzar incluso velocidades de simulaciones superiores al tiempo real, sin generar salidas analógicas mientras se efectúa la simulación. Por lo anterior, este caso resulta de particular importancia ya que resalta diferentes aspectos que limitan de momento al simulador, para que alcance la operación en tiempo real bajo determinadas condiciones, pero establece los puntos específicos que se deben atacar en desarrollos posteriores y que se describen dentro de los diferentes condiciones de validación que se presentan en la Sección 5.2.4.2, así como en las conclusiones.

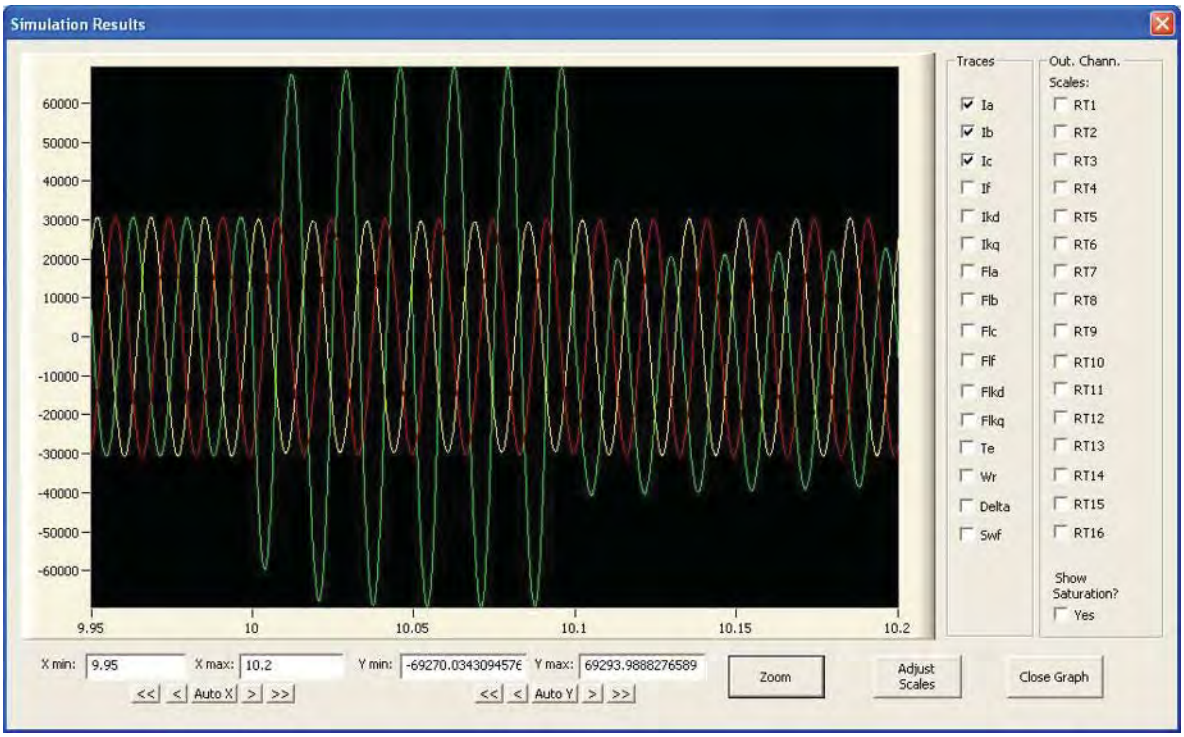


Figura 5.36. Ventana del visor gráfico de señales para el Caso 5.4.

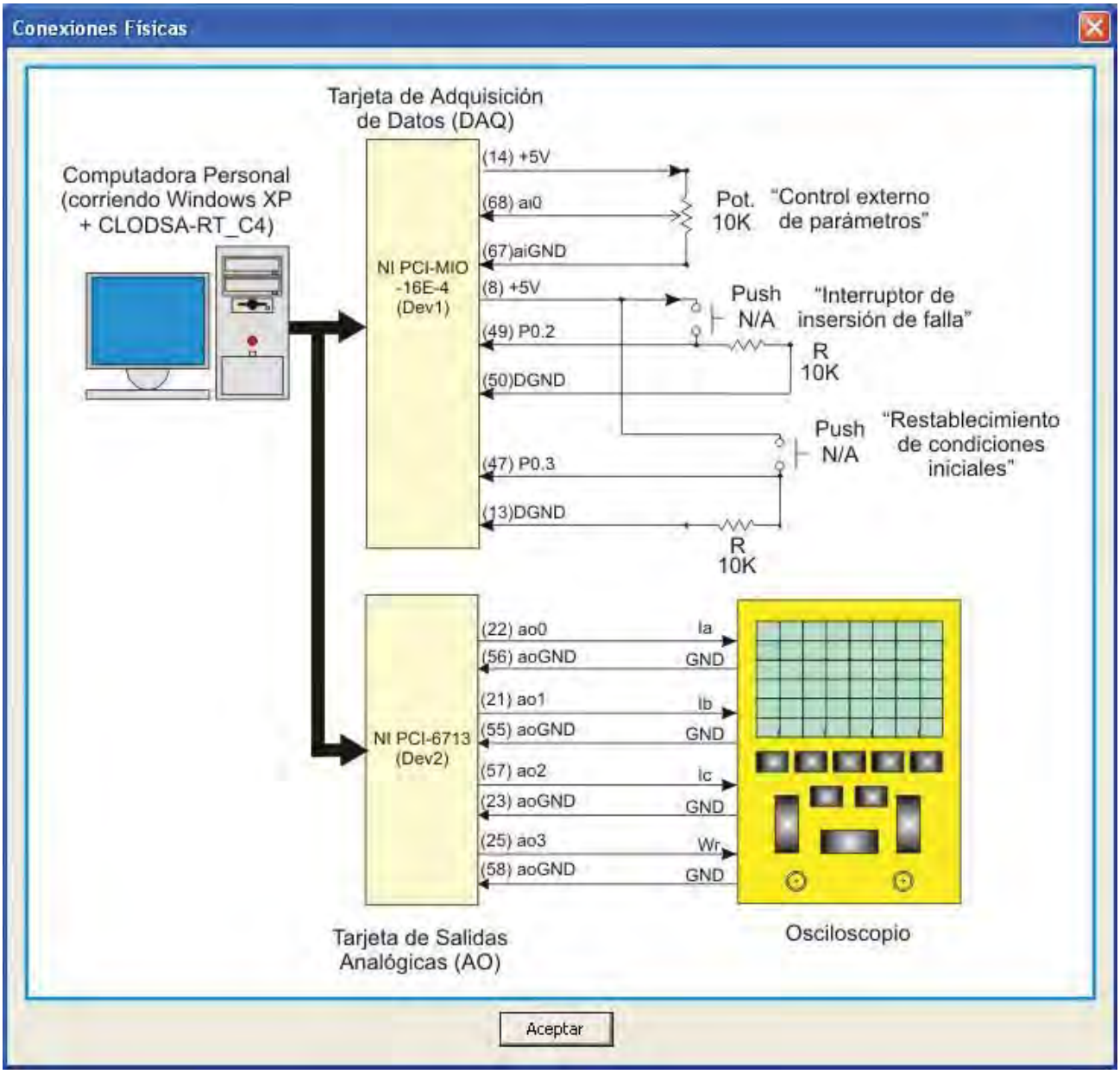


Figura 5.37 Ventana del diagrama de conexiones del caso 5.4.

En la Figura 5.37 se puede observar que el simulador *CLODSA-RT* para este caso de estudio tiene la capacidad de generar en los canales físicos de salida 4 señales de respuesta, las tres corrientes de fase i_a, i_b e i_c que suministra la máquina síncrona a la línea de transmisión, así como la velocidad angular de la propia máquina ω_r (variable mecánica).

Estas respuestas de corriente y velocidad de la máquina se generan a través de los canales analógicos de salida $ao0$, $ao1$, $ao2$ y $ao3$, respectivamente. También se puede observar en el diagrama de conexiones para este caso que el simulador *CLODSA-RT* cuenta con dos interruptores de presión conectados a los puertos digitales $P0.2$ y $P0.3$, respectivamente. El primero de estos dos interruptores tiene la función de insertar la falla a tierra en la fase *a* y el segundo interruptor tiene la función de restablecer las condiciones iniciales de la máquina a cero cada vez que el usuario presiona este interruptor, lo cual tiene el efecto de reiniciar el arranque de la máquina a condiciones iniciales de cero en cualquier momento que lo ejecute el usuario.

También el diagrama de conexiones muestra que se cuenta con un potenciómetro conectado a un canal analógico de entrada ($ai0$), el cual tiene la función de variar externamente en tiempo real, el parámetro de la red simulada que haya sido seleccionado por el usuario.

5.2.4.2 Validación de Resultados

A continuación se presentan los resultados de la simulación del Caso 5.4 bajo diferentes condiciones de operación y se presenta también la validación de los resultados usando el simulador PSCAD/EMTDC en los casos que es posible hacer la validación.

Caso 5.4(a) Simulación sin aplicación de falla

En este caso se presenta la simulación de la máquina síncrona conectada a un bus infinito a través de una línea de transmisión corta modelada mediante una red RL serie. La simulación muestra los primeros 15 segundos de respuesta de la máquina desde su arranque con condiciones iniciales de cero hasta alcanzar el estado estacionario antes de los 15 segundos de simulación.

La simulación de este caso se realiza con los datos que el simulador *CLODSA-RT* presenta por omisión y que se muestran en la ventana de datos que se presenta en la Figura 5.35, con la única excepción de que se deshabilita el interruptor de inserción de falla para que no opere durante toda la simulación. Existen dos formas de hacer que este interruptor no opere durante toda la simulación; la primera, eligiendo un tiempo de cierre igual o mayor al tiempo total de simulación y un tiempo de

apertura mayor a dicho tiempo total de simulación; la segunda, eligiendo control externo del interruptor pero sin accionarlo durante todo el tiempo de ejecución de la simulación.

Las Figuras 5.38 y 5.39 muestran los resultados obtenidos para este caso. La Figura 5.38(a) muestra la respuesta de las corrientes de fase de la máquina síncrona para los primeros *15 seg* de simulación. Se pueden observar en estos resultados tanto la respuesta de estado transitorio que se presenta en el momento de arrancar la máquina con condiciones iniciales de cero, como también la respuesta de estado estacionario que se alcanza a partir de aproximadamente *10 seg* de simulación. La Figura 5.38(b) muestra el comportamiento transitorio durante los primeros *50 mseg*, mientras que la Figura 5.38(c) presenta la respuesta de estado estacionario alcanzada a partir de los *10 seg* de simulación. En las Figuras 5.38(b) y 5.38(c) se puede apreciar la comparación de los resultados obtenidos con *CLODSA-RT* (línea continua) y con el modelo de la máquina síncrona en coordenadas *dq0* de PSCAD/EMTDC (línea discontínua). Se puede observar que ambas respuestas están superpuestas. Se validan así satisfactoriamente los resultados del simulador *CLODSA-RT*.

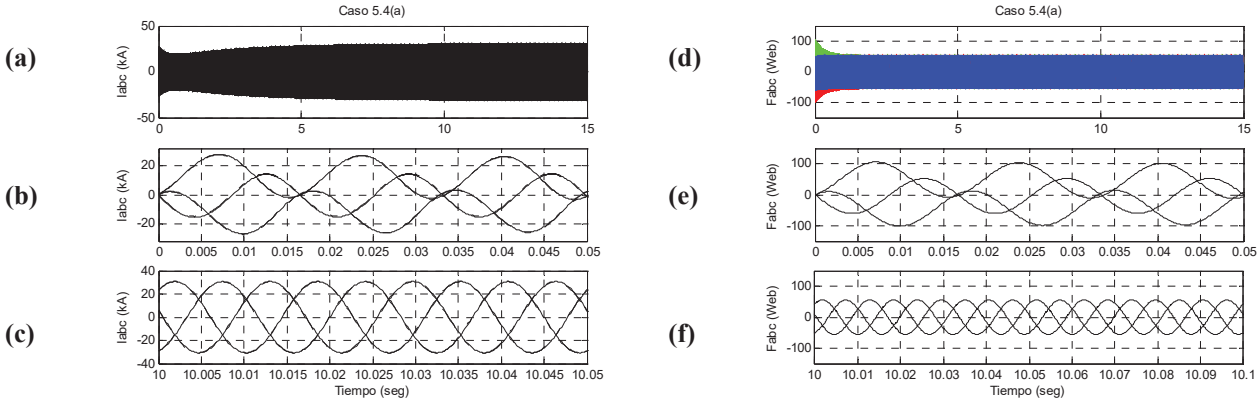


Figura 5.38. Resultados de la simulación del caso 5.4(a). (a) Corrientes de fase i_a, i_b, e i_c suministradas por la máquina síncrona a la red eléctrica, (b) acercamiento a los primeros *50 mseg* de la respuesta de i_a, i_b, e i_c, (c) acercamiento a la respuesta de estado estacionario de i_a, i_b, e i_c, (d) flujos de los devanados de fase de la máquina síncrona ϕ_a, ϕ_b, y ϕ_c, (e) acercamiento a los primeros *50 mseg* de la respuesta de ϕ_a, ϕ_b, y ϕ_c, (f) acercamiento a la respuesta de estado estacionario de ϕ_a, ϕ_b, y ϕ_c.

Las Figuras 5.38(d), 5.38(e) y 5.38(f) muestran la respuesta de los flujos de los devanados de fase de la máquina síncrona, pudiéndose observar la respuesta para *15 seg* de simulación, la respuesta transitoria en los primeros *50 mseg*, y la respuesta de estado estacionario a partir de los *10 seg* de simulación, respectivamente.

Las Figuras 5.39(a) y 5.39(b) presentan la respuesta para la corriente del devanado de campo de la máquina síncrona, en donde se puede observar la respuesta para *15 seg* de simulación, y un acercamiento a la respuesta transitoria de los primeros *50 mseg*, respectivamente. Los resultados obtenidos con *CLODSA-RT* (línea continua) y con PSCAD/EMTDC (línea discontinua) muestran la excelente coincidencia entre ambas respuestas.

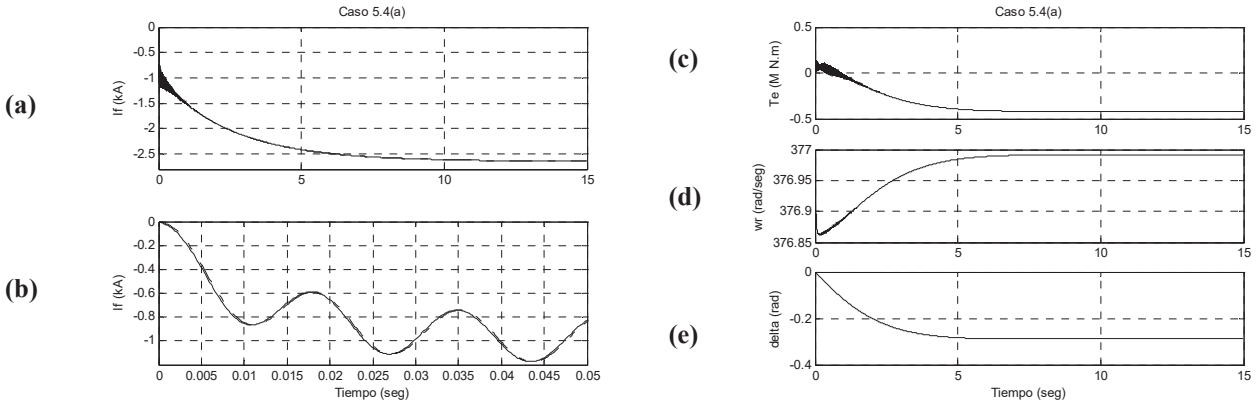


Figura 5.39. Resultados de la simulación del caso 5.4(a). (a) Corriente del devanado de campo i_f de la máquina síncrona, (b) acercamiento a los primeros *50 mseg* de la respuesta de i_f; *CLODSA-RT* (línea continua), PSCAD/EMTDC (línea discontinua), (c) par eléctrico de la máquina síncrona T_e, (d) velocidad mecánica de la máquina síncrona ω_r, (e) ángulo de desplazamiento del rotor δ.

Las Figuras 5.39(c), 5.39(d) y 5.39(e) presentan las respuestas para los primeros *15* seg, para el par eléctrico T_e, la velocidad angular ω_r y el ángulo de desplazamiento del rotor de la máquina síncrona, respectivamente.

Este caso de simulación de la máquina síncrona conectada a un bus infinito mediante una línea de transmisión corta modelada mediante una red RL serie, es un caso típico de estudio cuyos resultados son bien conocidos y documentados en [Subramanian y Malik 1971] [Martí y Louie 1997].

Es importante mencionar que la complejidad de las ecuaciones que modelan este caso, en particular las ecuaciones de la máquina síncrona cuyo modelo en coordenadas de fase implica la evaluación de parámetros variantes en el tiempo en cada paso de integración, dificultaron en un principio lograr que la simulación se realizara en tiempo real en una sola computadora personal, sin embargo, este caso es de particular importancia ya que por un lado demuestra la necesidad de contar con una red de computadoras operando en paralelo en aquellos casos en los que no es factible lograr la simulación en tiempo real con una sola computadora, además, demuestra también que el desarrollo de nuevas técnicas que optimicen el uso de los recursos de hardware permite acelerar de manera importante la velocidad de simulación, alcanzándose en este caso bajo determinadas condiciones de simulación, la operación en tiempo real e incluso en tiempos más cortos que la duración del evento real.

La Tabla 5.2 presenta varios tiempos de duración de la simulación para los *15 seg* de duración del evento real simulado que se presenta en este caso. Todo estos tiempos fueron obtenidos con una computadora personal HP Compaq con procesador Pentium IV que opera a una velocidad de 2,992 MHz, usando las condiciones y técnicas de simulación que se describen a continuación.

La primera columna de la Tabla 5.2 etiquetada como “Factor de decimación” indica cada cuantos pasos de integración se envía una muestra a los canales físicos de salida. Obsérvese que se presentan tiempos totales de duración de la simulación para factores de decimación de 1 a 8, lo cual significa que en el caso de un factor de 1, se envían todas y cada una de las muestras generadas como resultado de la simulación, mientras que en el caso de 8 se envía una muestra a los canales de salida y 7 no. Esta función de decimación se implementó debido a que se observó que la habilitación de los canales analógicos de salida para el envío de cada muestra toma un tiempo bastante grande, en comparación con el tiempo que tarda en realizarse la simulación de la red eléctrica para un solo paso de integración. Lo anterior, hacía que no fuera posible lograr la simulación de este caso en tiempo real, ya que adicionalmente el modelo de la máquina síncrona en coordenadas de fase requiere de un

mínimo de 128 muestras por ciclo (de 60Hz) para entregar resultados correctos. A 128 muestras por ciclo le corresponde un paso de integración de *130.21 μseg*, por lo que se requiere que la solución para un intervalo de integración se obtenga en un tiempo menor a este tiempo, sin embargo, habilitar los canales de salida del simulador puede tomar un tiempo más grande, incluso que el intervalo de integración mencionado, por lo que se implementó la función de decimación con el objetivo de que, sin aumentar el paso de integración de la simulación, exista la posibilidad de generar una señal de salida, que si bien cuente con una tasa de muestreo menor que la señal generada a través de la simulación, esté generada a partir de resultados exactos, y que incluso se puedan generar en tiempo real si se elige el factor de decimación adecuado.

Tabla 5.2. Tiempos de duración de la simulación para *15* seg de duración del evento real presentado en el caso 5.4(a) bajo diferentes condiciones y técnicas de simulación.

Factor de decimación	**Tiempo de duación de la simulación (seg)**	
	Sin seleccionar Hiper T-R	**Seleccionando Hiper T-R**
1	130.938	129.408
2	72.595	68.425
3	54.094	48.478
4	43.9275	37.776
5	38.427	34.085
6	35.2128	30.059
7	32.611	26.421
8	30.453	28.854
Sin generar señales	15.892	7.452

Se observa en la Tabla 5.2 que si se extraen todas las muestras generadas a partir de la simulación del caso con una tasa de muestreo de 128 muestras por ciclo (paso de integración de *130.21 μseg*), la simulación de *15 seg* de duración del evento real para este caso genera un tiempo de simulación de *130.938 seg* (sin seleccionar la opción de hiper tiempo real, segunda columna). Si se elige un factor de decimación de 2 (se envía una muestra de cada dos), el tiempo de duración de la simulación se reduce a *72.595 seg*; cuando de elige un factor de decimación de 8 (se envía una muestra de cada 8), el tiempo de duración de la simulación se reduce a *30.453 seg*, lo que aún representa una simulación

que tarda aproximadamente el doble del evento real y por lo tanto no se ejecuta en tiempo real, sin embargo, el tempo de duración de la simulación se ha podido reducir considerablemente con solo reducir la cantidad de muestras que se envían a los canales de salida.

La última fila de la Tabla 5.2 presenta el tiempo de duración de la simulación si esta se realiza sin extraer señales a través de los canales analógicos de salida, lo cual se puede decir que corresponde a un factor de decimación infinito. Podemos observar que en este caso el tiempo de duración de la simulación es de *15.892 seg* y presenta una diferencia de 0.892 seg con respecto de la duración del evento real. Esta pequeña diferencia en la duración de la simulación con respecto a la duración del evento real de *15 seg* no significa que el poder del procesador utilizado no haya podido alcanzar la operación en tiempo real, sino que esta relacionada con la falta de determinismo que presenta el sistema operativo (Windows), es decir, la incapacidad de responder en tiempos exactos ya que está sujeto a interrupciones del sistema operativo que provocan que varios pasos de integración se simulen en tiempos ligeramente mayores al tiempo exacto de *130.21 μseg*, que en este caso es es tiempo de duración que debe tener cada paso de integración. Estos retardos introducidos por la falta de determinismo del sistema operativo en la simulación de algunos pasos de integración se van acumulando, por lo que al final de la simulación se traducen en un tiempo excedente total de *0.892 seg*.

Como ya se mencionó, las interrupciones del sistema operativo hacen que los tiempos de ejecución de la simulación no sean exactos, o dicho de otra forma, se carece de determinismo, sin embargo, el determinismo necesario para que la simulación se efectúe en tiempos exactos sin el problema de las interrupciones del sistema operativo, se logra a través de la ejecución de subprocesos en tiempo real que eviten que el sistema operativo u otras tareas ejecutándose en el procesador, interfieran en el tiempo de ejecución de la simulación. Dichos subprocesos en tiempo real solo se pueden ejecutar si se cuenta con una extensión de tiempo real instalada en el sistema operativo (en este caso Windows), con la cual no se contó al momento de desarrollar esta tesis.

Los resultados de la tercer columna de la Tabla 5.2 corresponden a los tiempos de duración de la simulación con la opción de "*Hiper Tiempo Real*" seleccionada. Es importante mencionar que si no se selecciona esta función, se le indica al simulador que si la simulación de un paso de integración se

termina en un tiempo menor al paso de integración, se genere un retardo para que la duración de cada paso de integración corresponda con el paso de integración seleccionado por el usuario, y de esta manera, que la simulación se ejecute en tiempo real; si se selecciona la opción de "*Hiper Tiempo Real*", entonces no se genera ningún retardo e inmediatamente después de terminar cada paso de integración, se inicia la simulación para el siguiente paso. Si el tiempo de duración de la simulación para un paso de integración se efectúa en un tiempo menor al paso de integración y la opción "*Hiper Tiempo Real*" está seleccionada, es posible lograr tiempos de duración de la simulación menores a la duración del evento real, con lo que se pueden tener resultados predictivos. La Tabla 5.2 muestra que si se selecciona la opción de "*Hiper Tiempo Real*" y no se generan señales de salida, se obtiene un tiempo de duración de la simulación de la mitad de la duración del evento real, con lo que se demuestra que en este caso es posible simular la red eléctrica incluso más rápido que el evento real.

Todos los resultados presentados en la Tabla 5.2 demuestran que la generación de señales toma un tiempo muy grande, en comparación con la integración de las ecuaciones que representan el modelo del caso en estudio, y demuestran también que se requiere lograr tiempos exactos en la simulación de cada paso de integración. Los tiempos de habilitación de las señales de salida se pueden eliminar a futuro mediante el uso de tarjetas de generación de señales que cuenten con acceso directo a memoria en un área compartida con el simulador para que por un lado el simulador solo se ocupe en colocar los resultados en esta área de memoria común al simulador y a la tarjeta de generación de señales y por otro lado, la tarjeta envíe dichos datos a las salidas con una tasa de muestreo configurada solo una vez, antes de iniciar el proceso de simulación. Por otro lado, la simulación de cada paso de integración se puede completar en tiempos exactos con la ayuda de una extensión en tiempo real instalada en el sistema operativo en uso. Finalmente, si se requiere lograr la simulación en tiempo real con pasos de integración cada vez mas pequeños y con redes cada vez más grandes, adicionalmente se debe integrar una red de computadoras que conformen un sistema de procesamiento en paralelo distribuido con capacidad para operar en tiempo real tal como se describe en la Sección 4.9.

Caso 5.4(b) Simulación con falla de la fase *a* a tierra

En este caso se simula la máquina síncrona con los datos por omisión que se presentan en la Figura 5.35, incluyendo al interruptor de falla, el cual se programa para que se cierre en un tiempo de *10 seg* (insertando de esta manera una falla a tierra en el terminal de fase *a*) y se abra de nuevo en un tiempo de *10.1 seg* (liberando en ese instante la falla).

La Figura 5.40 presenta los resultados obtenidos al simular este caso en *CLODSA-RT*. Se puede observar que hasta antes del instante en que se inserta la falla, los resultados son los mismos que en el caso 5.4(a). A partir del instante en que se inserta la falla (*10 seg*), se puede observar en la Figura 5.40(a), que la corriente que suministra la máquina síncrona a la línea de transmisión, se incrementa de 21.71 *kArms* a 47.67 *kArms*. La Figura 5.40(b) presenta un acercamiento a las corrientes de armadura alrededor del instante de falla; se puede observar que la magnitud de la corriente de la fase *a* en la que se inserta la falla se incrementa durante el tiempo que permanece la condición de falla (*0.1 seg*); cuando se libera la falla (*10.1 seg*) las corrientes i_a, i_b e i_c regresan a sus magnitudes normales, presentando un transitorio característico que desaparece con el tiempo al recuperar la red su estado estacionario.

La respuesta de la corriente del devanado de campo i_f se muestra en la Figura 5.40(c). Se puede observar que al momento de insertar la falla en la fase *a*, la corriente del devanado de campo disminuye de forma instantánea a un valor de –3.144 *kA cd* para luego regresar a su valor de estado estacionario de prefalla de –2.612 *kA cd*, después de que se libera la falla. Al momento en que se libera la falla, la corriente de campo presenta algunas oscilaciones antes de alcanzar de nuevo el estado estacionario.

El comportamiento de los flujos de los devanados de armadura de la máquina síncrona ϕ_a, ϕ_b y ϕ_c, se muestran en las Figuras 5.40(d) y 5.40(e). Se observa que al momento de insertarse la falla en la fase *a*, el flujo del devanado de armadura de esa misma fase, disminuye su amplitud de un valor pico de 55.2998 *Webers* a un valor de 33.7238 *Webers* y cambia de fase alineándose con la fase *c*. En el

momento en que se libera la falla, el flujo ϕ_a regresa a su magnitud y fase de pre-falla en estado estacionario de 55.2998 *Webers pico*, una vez que ha transcurrido el transitorio correspondiente.

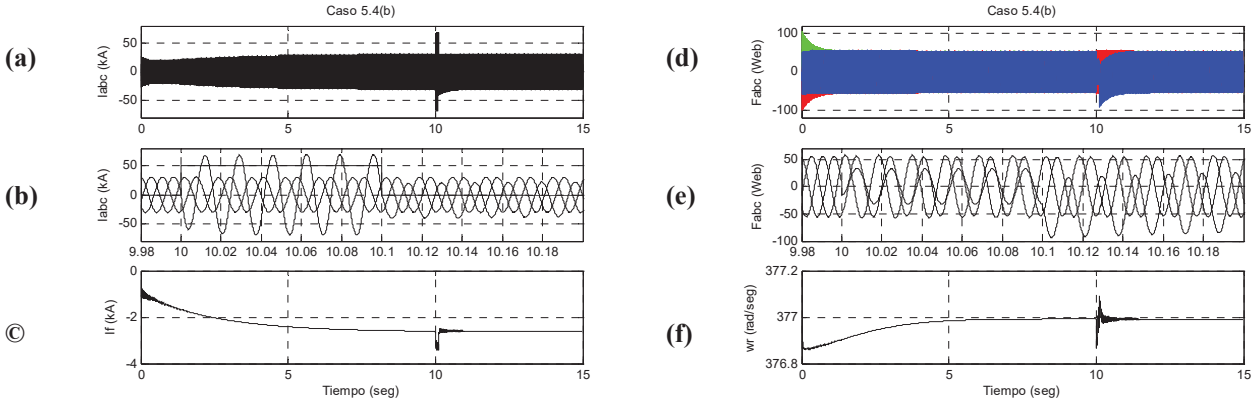


Figura 5.40. Resultados de la simulación del caso 5.4(b). (a) Corrientes de armadura i_a, i_b e i_c de la máquina síncrona, (b) acercamiento alrededor del instante de inserción de la falla a tierra en la fase *a* (c) corriente del devanado de campo i_f (d) flujos de los devanados de armadura ϕ_a, ϕ_b y ϕ_c (e) acercamiento a los flujos de los devanados de armadura alrededor del instante de inserción de falla, (f) velocidad angular del rotor ω_r.

La Figura 5.40(f) muestra la respuesta de la velocidad angular del rotor de la máquina síncrona. Se observa que cuando se inserta la falla a tierra de la fase *a*, la velocidad ángular de la máquina disminuye y al liberarse la falla describe un comportamiento oscilatorio antes de regresar de nuevo a su valor de estado estacionario de pre-falla de 376.9911 *rad/seg*.

En este caso, el interruptor se modela con una resistencia en estado de cerrado, proporcionada por el usuario a través de la ventana de entrada de datos que se presenta en la Figura 5.35, con la cual se puede insertar una falla sólida a tierra si se elige un valor de cero, o una falla no sólida si se elige un valor de resistencia de falla. La resistencia del interruptor en estado de abierto se considera infinita. El modelado del interruptor y de la línea se llevan a cabo modificando directamente las matrices de resistencias e inductancias del modelo de la maquina síncrona, tal como se documenta en [Subramanian y Malik 1971].

Caso 5.4(c) Simulación de arranque suave variando externamente la resistencia de armadura

En este caso se presenta una demostración de las capacidades con las que cuenta un simulador en tiempo real como *CLODSA-RT* para interactuar en tiempo real con la simulación que se esta efectuando a través de la variación de uno de sus parámetros mientras ésta se ejecuta.

Este caso ilustra la forma en que se puede realizar un arranque suave o a corriente reducida de la máquina síncrona. En este caso se elimina la línea de transmisión, eligiendo valores de cero para los parámetros de resistencia e inductancia de la misma, de tal forma que la máquina queda conectada directamente al bus infinito. El propósito de realizar un arranque suave de la máquina es que las corrientes de armadura de la misma no alcancen valores tan grandes en el momento inicial de arranque. Existen varias técnicas para limitar la corriente de armadura de una máquina en el momento del arranque [Gross 2006], en este caso se presenta como ejemplo el arranque suave de la máquina mediante la inserción de una resistencia en serie con las terminales de armadura de la máquina síncrona. Esta resistencia inicialmente toma un valor grande (en este caso *0.9985 Ω*) y el usuario la disminuye a medida que se arranca la máquina hasta llegar a un valor de cero, con lo que se logra limitar la corriente de arranque de la máquina. La simulación de esta resistencia de arranque insertada en las terminales de armadura se realiza, seleccionando en la ventana de datos de entrada que se presenta en la Figura 5.35, la opción de controlar externamente la resistencia de armadura y seleccionando un valor máximo de *1 Ω* y un valor mínimo de *0.0015 Ω*, que es el valor nominal de la resistencia de armadura de la máquina en este caso. Al ejecutar la simulación, el usuario varía el potenciómetro que controla el valor del parámetro que se está variando externamente de su valor máximo al valor mínimo. La variación de este parámetro desde su valor máximo a su valor mínimo se realiza durante el primer segundo de simulación del caso.

La Figura 5.41 muestra los resultados de la simulación de este caso. En las figuras 5.41(a) y 5.41(b) se muestra la respuesta de las corrientes de armadura, se puede observar que la variación de la resistencia de armadura que el usuario realiza durante el primer segundo de la simulación hace que las corrientes de armadura crezcan gradualmente, hasta alcanzar el estado estacionario sin presentar las magnitudes tan grandes asociadas con el arranque tradicional de la máquina. Se puede observar que el arranque suave de la máquina hace que la corriente apenas supere en un 7% la corriente de

estado estacionario que es de *46 kA pico (32.53 kA rms)*, mientras que en un arranque normal se pueden presentar corrientes del doble o más de la corriente de estado estacionario.

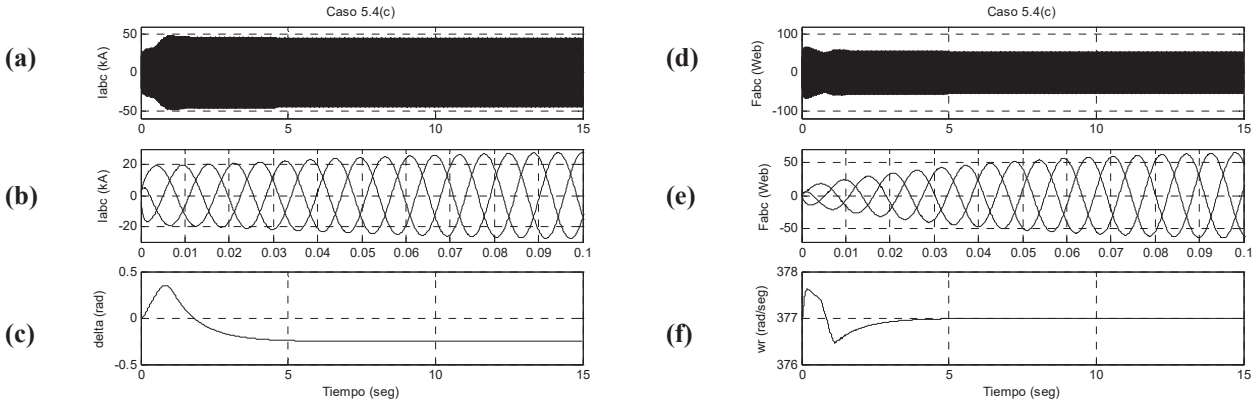


Figura 5.41. Resultados de la simulación del caso 5.4(c). (a) Corrientes de armadura i_a, i_b e i_c de la máquina síncrona, (b) acercamiento a los primeros *100 mseg* de las respuestas de corrientes de armadura (c) ángulo de desplazamiento del rotor δ (d) flujos de los devanados de armadura ϕ_a, ϕ_b y ϕ_c (e) acercamiento a los primeros *100 mseg* de la respuesta de los flujos de los devanados de armadura, (f) velocidad angular del rotor ω_r.

La Figura 5.41(c) muestra como el arranque suave de la máquina genera en el momento de arranque un ángulo de rotor positivo, que a medida que la máquina alcanza su estado estacionario se reduce y se convierte en un ángulo negativo que alcanza un valor de estado estacionario de *–0.2518 rad*.

En las Figuras 5.41(d) y 5.41(e) se presenta la respuesta de los flujos de los devanados de armadura de la máquina síncrona. Se puede observar que el arranque suave hace que los flujos crezcan desde cero hasta su valor de estado estacionario de una forma progresiva y suave.

La respuesta de la velocidad angular del rotor de la máquina síncrona ilustrada en la Figura 5.41(f) muestra como el arranque suave de la máquina provoca un incremento de la velocidad con respecto a su valor de estado estacionario de *377 rad/seg.* Una vez que la máquina comienza a alcanzar su estado estacionario, la velocidad se reduce incluso por debajo del valor de estado estacionario, para después crecer de nuevo y estabilizarse en *377 rad/seg*.

En este caso, no se presenta una validación de resultados con PSCAD/EMTDC ya que resulta muy difícil reproducir con este simulador que opera en modo fuera de línea la condición de variación de la resistencia de armadura por parte del usuario en el momento del arranque de la máquina.

Caso 5.4(d) Simulación con variación externa del par mecánico

Otro ejemplo de aplicación de un simulador en tiempo real que demuestra su capacidad de interacción con el mundo real se presenta mediante este caso. Este caso se ilustra en la Figura 5.32 con los datos por omisión que se presentan en la Figura 5.35, con la única diferencia que se elige variar externamente el par mecánico de entrada a la máquina. La idea de este caso es ver como se comporta la máquina síncrona ante una variación repentina en el par mecánico de entrada. El valor inicial del par mecánico de entrada se elige de *–0.4 p.u.* y aproximadamente a los *7 seg* de simulación el usuario cambia repentinamente este valor a *–0.2 p.u.* Es importante mencionar que un valor negativo del par mecánico representa un par mecánico de entrada (operación de la máquina como generador). La variación del par mecánico de entrada a la máquina síncrona se logra seleccionando el control externo de este parámetro en la ventana de datos de entrada que se muestra en la Figura 5.35 y eligiendo un valor mínimo de –0.4 y máximo de –0.2. En este caso el usuario cambia rápidamente el potenciómetro de control externo del parámetro de su valor mínimo a su valor máximo generando un cambio tipo escalón en dicho par mecánico. El cambio de valor para el par mecánico de entrada se realizó en este caso a los *7 seg* de iniciada la simulación.

La Figura 5.42 muestra las respuestas obtenidas a partir de la simulación de este caso. Se observa en las Figuras 5.42(a) y 5.42(b) y 5.42(d) que el cambio aplicado en el par mecánico de entrada no altera el comportamiento de las variables eléctricas como son corrientes y flujos de armadura respectivamente, sin embargo, se puede observar en las Figuras 5.42(c), 5.42(e) y 5.42(f) que las variables relacionadas con las ecuaciones mecánicas como son el ángulo de desplazamiento del rotor δ, el par eléctrico T_e y la velocidad angular del rotor ω_r, respectivamente, si se ven afectadas por este cambio en el par mecánico de entrada de *–0.4 p.u.* a *–0.2 p.u.* que se genera a los *7 seg* de iniciada la simulación.

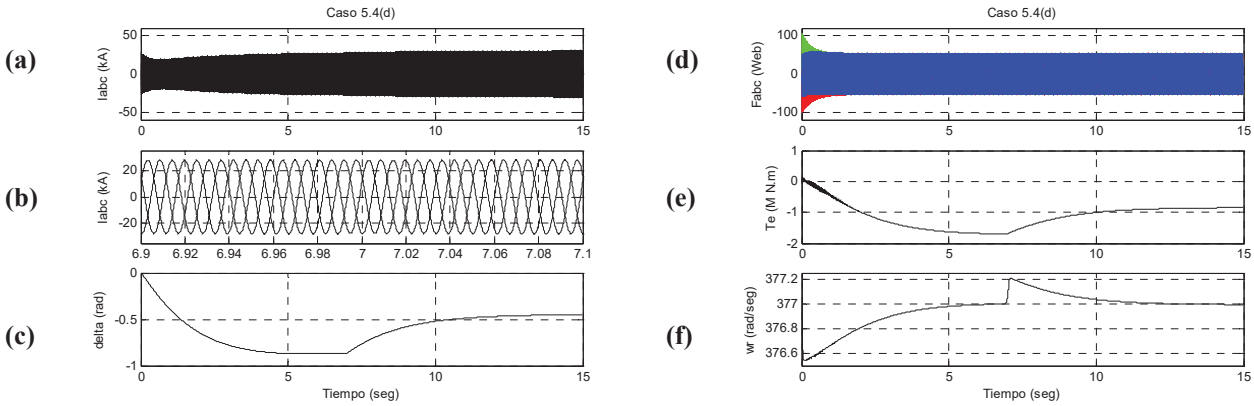


Figura 5.42. Resultados de la simulación del caso 5.4(c). (a) Corrientes de armadura i_a, i_b e i_c de la máquina síncrona, (b) acercamiento a las respuestas de corrientes de armadura alrededor del instante de cambio del par mecánico de entrada (c) ángulo de desplazamiento del rotor δ (d) flujos de los devanados de armadura ϕ_a, ϕ_b y ϕ_c (e) Par eléctrico de la máquina síncrona T_e, (f) velocidad angular del rotor ω_r.

En la Figura 5.42(c) se observa que al momento de reducir el par mecánico de entrada, el ángulo del rotor, que prácticamente ha alcanzado su estado estacionario de *–0.867 rad*, se reduce alcanzando un nuevo valor de estado estacionario de *–0.451 rad*.

En el caso de la respuesta del par eléctrico que se presenta en la Figura 5.42(e) se puede observar que éste pasa de un valor de *–1.6953 M N.m* a un nuevo valor de *–0.846 M N.m*.

Parece ser muy lógico que al disminuir el par mecánico de entrada, se reduzca también el par eléctrico y el ángulo del rotor, ya que a menor par de oposición, menor desplazamiento del rotor.

Por otro lado, una característica muy importante de una máquina síncrona es que su velocidad de sincronismo depende de la frecuencia del voltaje de alimentación trifásico y del número de polos, que en este caso tiene un valor constante de 2, por lo que la respuesta que se observa en la Figura 5.42(f) parece ser muy lógica también, ya que podemos observar que al momento de reducirse el par mecánico de entrada, la velocidad se incrementa instantáneamente, regresando eventualmente de nuevo a su valor de sincronismo de *377 rad/seg*.

En este caso tampoco se presenta una validación con PSCAD/EMTDC, sin embargo, la validación de los resultados presentados en el caso 5.4(a) demuestran que el modelo presentado en este caso y en los casos 5.4(b) y 5.4(c) es correcto y por lo tanto los resultados obtenidos en las diferentes condiciones de ejecución, también lo son.

5.2.5 Caso 5.5 Esquema en lazo cerrado para prueba en línea de un relevador de protección

En este caso de estudio se presenta un esquema en lazo cerrado para la prueba en línea de un relevador de protección. La red eléctrica que se simula en tiempo real en este caso consiste de un par de fuentes de voltaje de *ca* que simulan de forma elemental dos nodos de generación en una red de suministro eléctrico. Cada uno de los dos nodos de generación conecta a un tercer nodo de carga a través de una línea de transmisión simulada también de una forma elemental por medio de una rama RL. El nodo de carga cuenta con un interruptor de potencia (breaker) *BRK* que tiene la función de desconectar la carga RL en el momento en que se lo ordene el relevador de protección, que estará monitoreando la corriente de carga para que en caso de presentarse una condición de sobrecorriente dispare y ordene la apertura de dicho interruptor de potencia. Para simular una condición de falla en la carga se emplea una rama en paralelo con esta, formada por una resistencia y un interruptor en serie. En el momento en que se desea introducir la condición de falla en la carga, se ordena el cierre del interruptor *SWF* y de esta forma se provoca una falla a tierra con resistencia igual al valor que se asigne a la resistencia que tiene conectada en serie el interruptor *SWF*.

Al ser este un esquema en lazo cerrado, la simulación se efectúa en tiempo real y el relevador recibe continuamente información sobre la corriente y voltaje de la carga. La introducción de una falla controlada ya sea por el usuario o a través de la programación de los tiempos de cierre y apertura de *SWF* modifica la topología de la red, que ahora considera la resistencia de falla conectada en paralelo, provocando el incremento de la corriente total de la rama de carga y haciendo que el relevador detecte en tiempo real el cambio de esta corriente. Cuando el relevador dispara, el simulador se da cuenta de la orden que genera el relevador de apertura del interruptor de potencia, debido a que el estado del contacto de salida del relevador se lee en cada paso de integración a través de un puerto digital de entrada. Al ser detectada la condición de disparo del relevador, el simulador abre el interruptor de potencia provocando un nuevo cambio en la topología de la red, lo

que genera nuevas condiciones de operación. La Figura 5.43 muestra e esquema en lazo cerrado simulado en este caso.

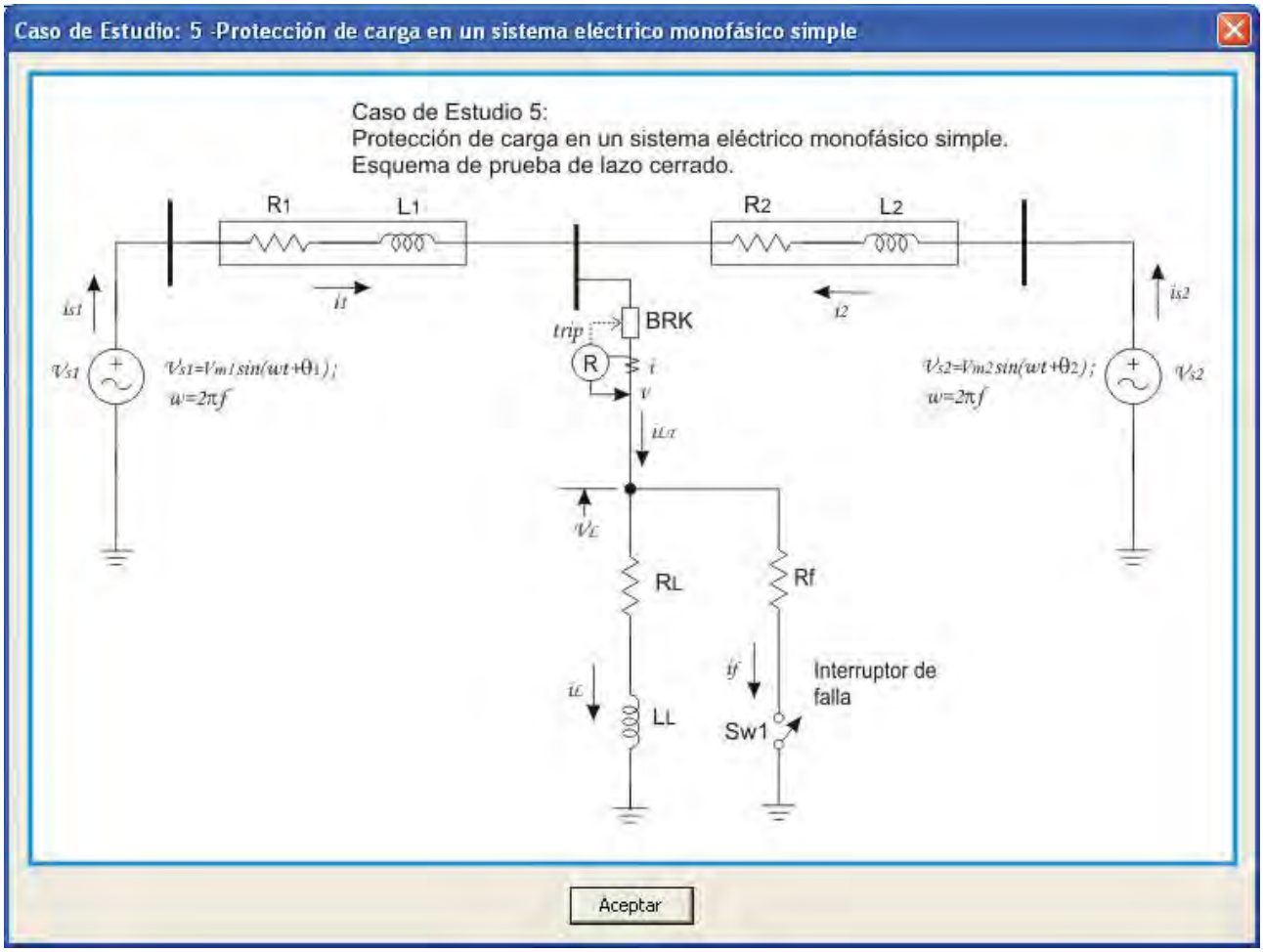


Figura 5.43 Red eléctrica simulada en el Caso 5.5.

Este caso se desarrolló también con la posibilidad de ordenar el restablecimiento del interruptor de potencia *BRK*, para lo cual se habilitó otro interruptor de presión (push button) adicional al que se usa para provocar manualmente la introducción de la falla cuando esta se controla externamente. Al presionar el segundo interruptor externo de presión, se restablece el interruptor de potencia (se vuelve a cerrar) y la operación de la red regresa al estado inicial, en donde se puede alcanzar el estado estacionario de operación normal en caso de no existir ninguna falla, o bien se puede provocar la falla haciendo que el relevador opere de nuevo.

Este esquema en lazo cerrado permite que el relevador de protección real interactué con la red eléctrica simulada como si la red fuera real, ya que la red misma modifica sus condiciones de operación de acuerdo a los diferentes estados de operación presentes debidos a la inserción de la falla a tierra comandada por el interruptor *SWF* (manipulado por el usuario o programado por tiempos de operación), a la operación del relevador, o al restablecimiento del interruptor de potencia de forma manual por parte del usuario.

5.2.5.1 Ventanas de Interfase con el Usuario

La ventana de la interfase principal del caso de estudio 5.5 es igual a la del caso 5.3 que se presenta en la Figura 5.23 y cuenta exactamente con las mismas opciones, por lo que la misma explicación que se hizo para cada una de ellas en el caso 5.3 aplica también para este caso.

La Figura 5.44 muestra la ventana que permite ajustar las escalas de las señales obtenidas como respuesta de la simulación del presente caso, y se aplican al momento de ser generadas a través de los puertos analógicos de salida, o bien, al momento de graficarse si el usuario selecciona la aplicación de dichas escalas en cada señal.

Las Figuras 5.45, 5.46 y 5.47 muestran las ventanas que se despliegan cuando se seleccionan las opciones de *Entrada de Datos*, *Mostrar Resultados* y *Mostrar Conexiones Físicas de Salida*, respectivamente. La función de cada una de estas opciones es la misma que en los caso de estudio anteriores.

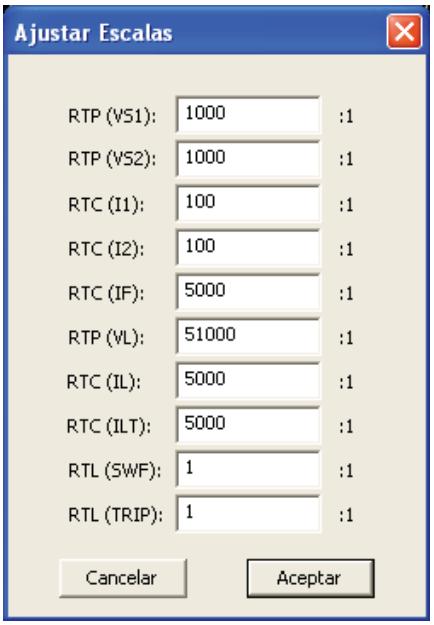


Figura 5.44 Ventana de Ajuste de Escalas para el Caso 5.5.

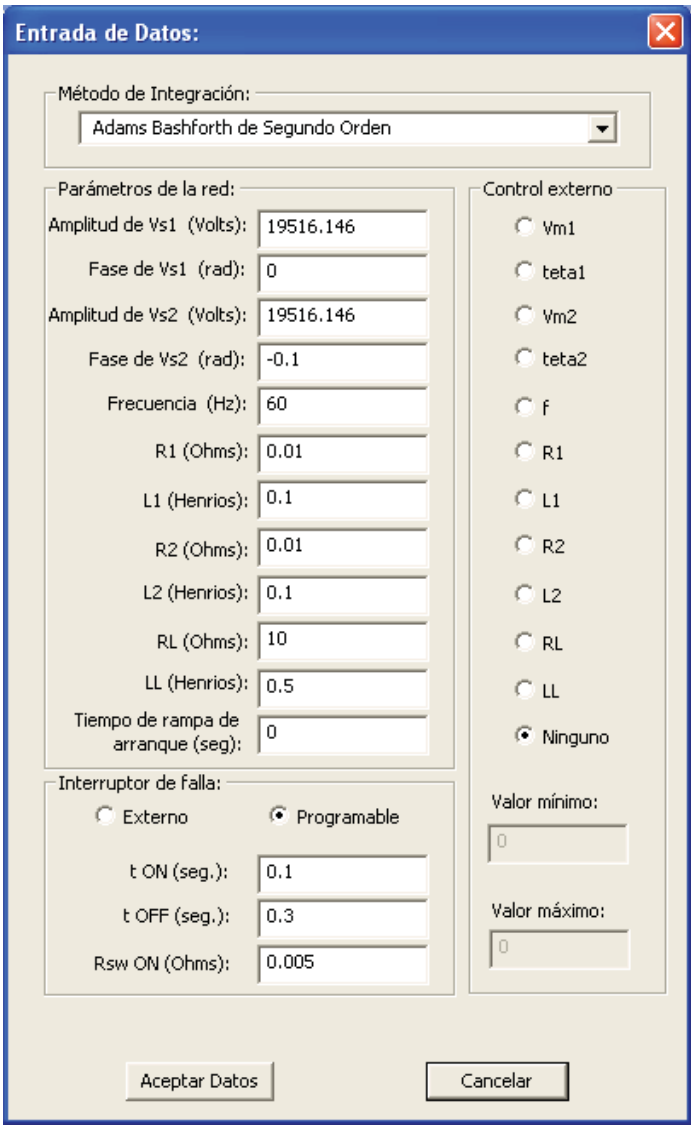


Figura 5.45 Ventana de Entrada de datos del caso 5.5.

Evidentemente, a pesar de que la función de cada una de las opciones anteriores es la misma que en los casos anteriores, los parámetros y opciones de simulación corresponden al esquema en lazo cerrado que se implementa en este Caso 5.5, en donde se conjuntan la operación de la red eléctrica mostrada en la Figura 5.43 con el relevador real utilizado como elemento de protección (SEL-321).

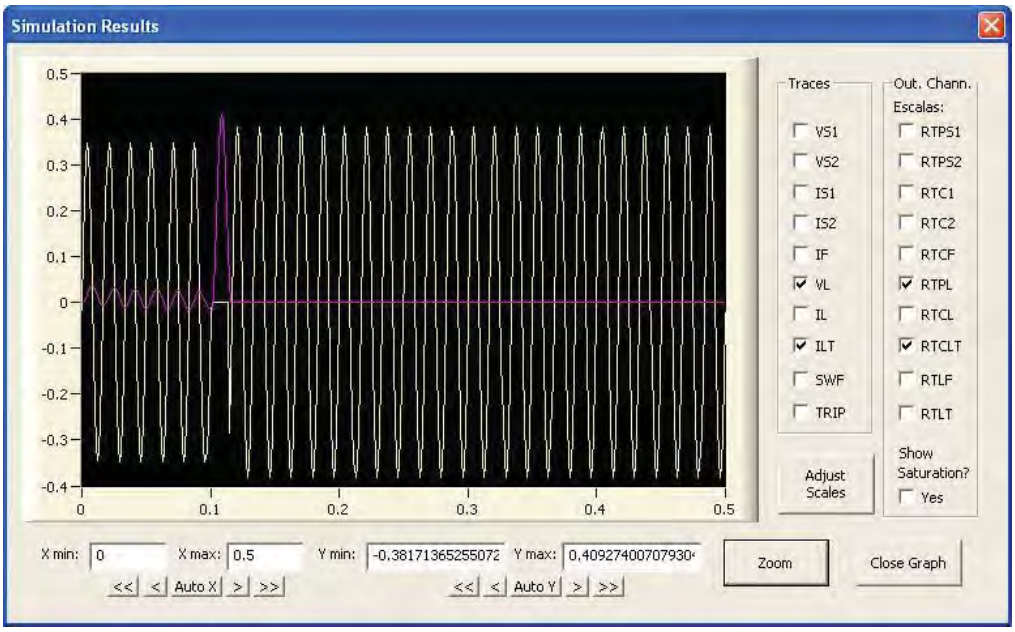


Figura 5.46. Ventana del visor gráfico de señales para el Caso 5.5.

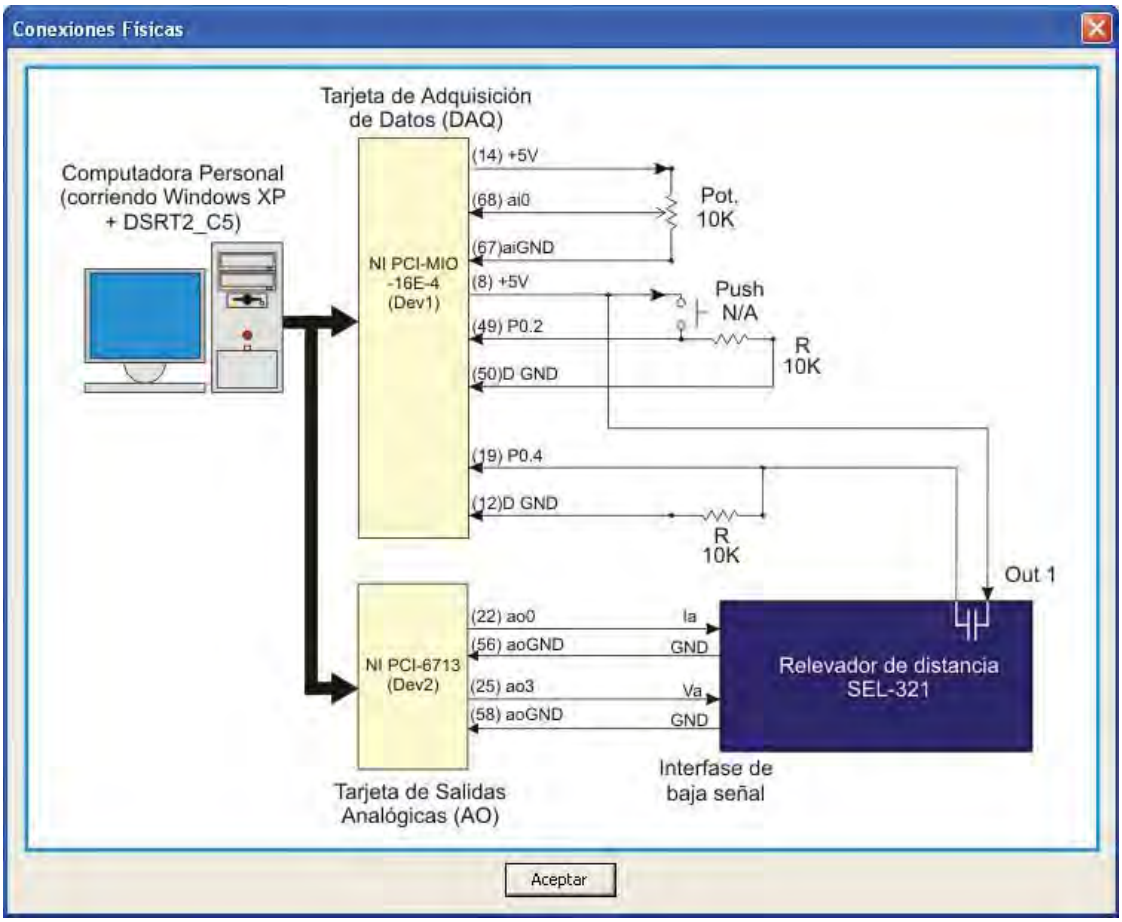


Figura 5.47 Ventana del diagrama de conexiones del Caso 5.5.

5.2.5.2 Validación de Resultados

Los resultados que se presentan a continuación se obtuvieron al ejecutar el esquema en lazo cerrado de este caso bajo diferentes condiciones de operación que se describen en cada sección. Se presentan también comparaciones con los resultados obtenidos con PSCAD/EMTDC.

Caso 5.5(a) Simulación con el relevador de protección deshabilitado

En esta primera ejecución del caso 5.5 se programa el interruptor de falla *SWF* para que cierre en un tiempo de *0.1 seg* y para que abra en *0.2 seg*. La duración total de la simulación es de *0.3 seg*, apagándose el relevador (o se deshabilita toda función de protección) para analizar el comportamiento del esquema sin la operación del elemento de protección (y por lo tanto, sin que se ordene la apertura del interruptor de potencia *BRK*). El resto de los parámetros y opciones de simulación son los que presenta el caso de estudio por omisión; éstos se muestran en la Figura 5.45.

En la gráfica de la Figura 5.48(a) se pueden observar las respuestas para las corrientes que suministran las dos fuentes de *ca,* i_1 e i_2. Se puede observar que cuando se introduce la falla, la corriente crece a un nivel que es *18 veces* mayor a la corriente nominal de operación que es de *40.3 A rms*, sin embargo, como no está habilitado el sistema de protección, no se libera la falla y ambas corrientes regresan a su nivel de estado estacionario hasta que se abre el interruptor que inserta la falla en un tiempo igual a *0.2 seg*.

La gráfica de la Figura 5.48(b) muestra un acercamiento de las corrientes i_1 e i_2; esta gráfica incluye tanto las respuestas obtenidas con *CLODSA-RT* (línea continua) como con PSCAD/EMTDC (línea discontinua). Se puede observar que ambos resultados coinciden de forma muy cercana, con lo que se demuestra la validez de los resultados obtenidos con *CLODSA-RT*. Las Figuras 5.48(c) y 5.48(d) muestran la corriente total de la rama de carga y las señales lógicas de operación del interruptor de falla *SWF* y de operación del relevador *TRIP* (que en este caso no opera). Las señales lógicas de operación *SWF* y *TRIP* no muestran una comparación con resultados de PSCAD/EMTDC

debido a que estas señales se obtienen en tiempo real con *CLODSA-RT* y se ajustan de acuerdo a estos resultados en PSCAD/EMTDC para validar los resultados fuera de línea.

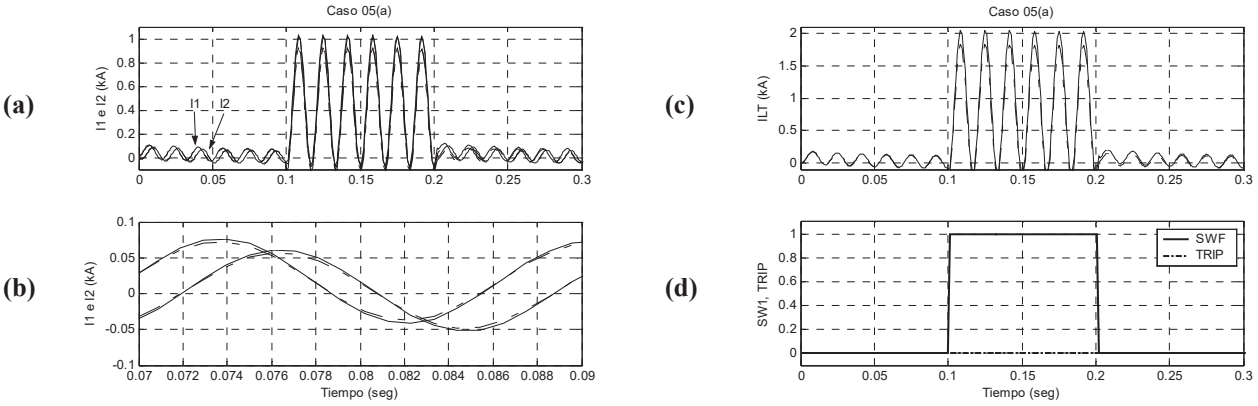


Figura 5.48 Resultados de la simulación del Caso 5.5(a). (a) i_1 e i_2, (b) acercamiento a las corrientes i_1 e i_2 que muestra la respuesta obtenida con *CLODSA-RT* (línea continua) y con PSCAD/EMTDC (línea discontinua), (c) corriente total de la carga i_{LT}, (d) señales lógicas de inserción de falla y disparo del relevador *SWF* y *TRIP*.

En las Figura 5.49(a) y 5.49(b) se presentan las respuestas de este caso de simulación para el voltaje del nodo de carga v_{NL} (VNL) y la corriente de falla i_f (IF), respectivamente. En ambas gráficas se presenta la respuesta obtenida con *CLODSA-RT* y con PSCAD/EMTDC, respectivamente observándose que prácticamente no hay diferencia entre ambas respuestas, lo cual demuestra de la correspondencia tan cercana que existe entre los resultados obtenidos con *CLODSA-RT* (línea continua) y los obtenidos con PSCAD/EMTDC (línea discontinua).

En las Figuras 5.49(c) y 5.49(d) se presenta la respuesta obtenida con PSCAD/EMTDC deshabilitando la opción de detección y eliminación de oscilaciones numéricas (chatter), obsérvese que al momento de abrir el interruptor de falla *SWF* se producen dichas oscilaciones numéricas, comunes en este tipo de circuitos con elementos de conmutación, para las que se han propuesto diferentes técnicas de eliminación de oscilaciones numéricas [Alvarado *et al.* 1983] [Martí y Lin 1989] [Lin y Martí 1990]. Lo anterior no tendría importancia si no se resalta el hecho de que la técnica utilizada para simular este caso de estudio y que se describe en la Sección 4.8 no genera

oscilaciones numéricas en ninguno de los casos presentados y por lo tanto no requiere de ninguna técnica especial para su eliminación.

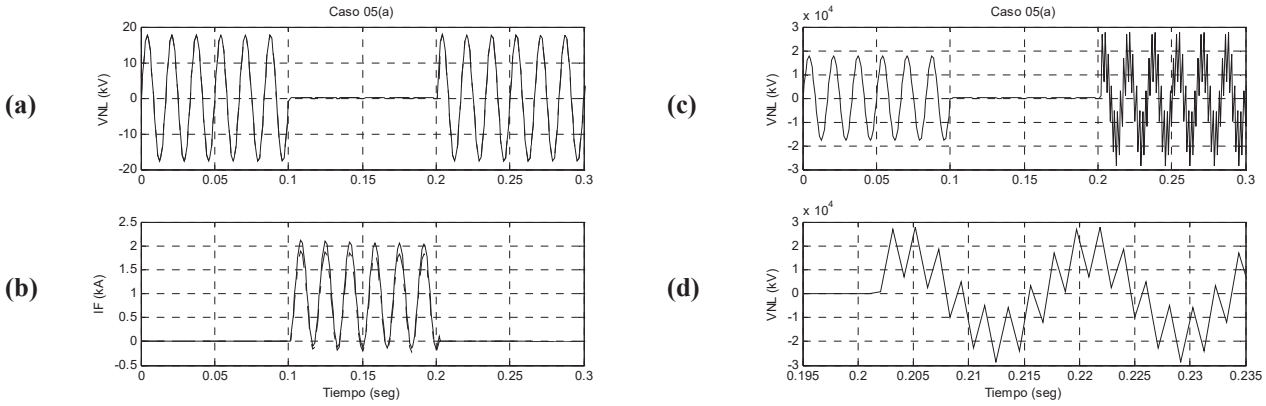


Figura 5.49 Resultados de la simulación del Caso 5.5(a). (a) Voltaje en el nodo de carga v_{NL}, (b) corriente de falla i_f, (c) voltaje en el nodo de carga v_{NL} obtenido con PSCAD/EMTDC con la opción de eliminación de oscilaciones numéricas deshabilitada, (d) acercamiento a las oscilaciones numéricas generadas por PSCAD/EMTDC en la respuesta v_{NL}.

Caso 5.5(b) Simulación con operación del relevador de protección

A pesar de que el caso 5.5(a) cuenta con todas las características para operar como un esquema en lazo cerrado y considera la operación del relevador de protección, al no habilitar las funciones de protección se tiene como resultado únicamente la operación de la red eléctrica simulada, incluyendo la condición de falla, lo cual era la intención de ese caso. En este caso se habilita la función de protección para que ésta opere en caso de detectar una falla en la rama de carga; al operar la protección se debe ordenar automáticamente la apertura del interruptor de potencia *BRK*, que aislará dicha falla, pasando el simulador automáticamente a la condición de postfalla, constituyendo con esto un esquema en lazo cerrado que opera en tiempo real.

En este caso la simulación tiene una duración de *0.3 seg*, el interruptor de falla *SWF* se programa para que se cierre en *0.1seg* y permanezca cerrado hasta el final de la simulación. El resto de parámetros y condiciones de simulación son las mismas que los del Caso 5.5 al ejecutarse por primera vez, según se muestra en la Figura 5.45.

La función de protección para una rama de carga normalmente es una función de sobrecorriente instantánea (50), por lo que en este caso se habilita esta función con los ajustes que se usaron en el caso 5.3(a).

Los resultados de la simulación se presentan en las Figuras 5.50 y 5.51. La gráfica de la Figura 5.50(a) muestra las corrientes i_1 e i_2, inicialmente en estado estacionario suministradas por ambas fuentes a la carga. Una vez que se aplica la condición de falla en *0.1 seg*, aparece una sobrecorriente que es *18 veces* mayor que la corriente de operación normal de i_1 e i_2, de *40.3 A rms*. La rama de carga alcanza bajo esta condición un valor pico de alrededor de *2 kA*, según se puede observar de la grafica de la Figura 5.50(c). En la gráfica de la Figura 5.51(a) se puede observar que el voltaje en el nodo de carga pasa de su valor en estado estacionario de *12.52 V rms* a un valor cercano a cero durante la condición de falla; la resistencia de falla es muy pequeña (*0.005Ω*).

La función de protección de sobrecorriente instantánea del relevador tarda aproximadamente un ciclo en detectar la falla y ordenar el disparo del relevador, que se da en un tiempo de *1.146 seg*. En ese momento el simulador *CLODSA-RT* detecta la operación del relevador y realiza la apertura del interruptor de potencia *BRK*, pasando la red a su condición de post-falla.

En la condición de post-falla se puede observar que la carga se desconecta y por lo tanto la corriente total de la rama de carga se hace cero, lo mismo que la corriente que fluye a través de la resistencia de falla i_f. El voltaje de la carga cae también a cero pero el voltaje presente en el nodo de carga v_{NL} se eleva al eliminar la carga de la red, como se puede ver en la gráfica de la Figura 5.51(a).

Las Figuras 5.50(a) –(c) y las Figuras 5.51(a)-(b) muestran los resultados obtenidos en tiempo real con *CLODSA-RT*, validados mediante los resultados de la simulación fuera de línea realizada con PSCAD/EMTDC. La Figura 5.50(b) muestra un acercamiento de las corrientes i_1 e i_2, en donde se pueden observar que las respuestas de *CLODSA-RT* (línea continua) y la de PSCAD/EMTDC (línea discontinua) muestran una excelente coincidencia, lo que demuestra que los resultados obtenidos con *CLODSA-RT* son correctos y exactos.

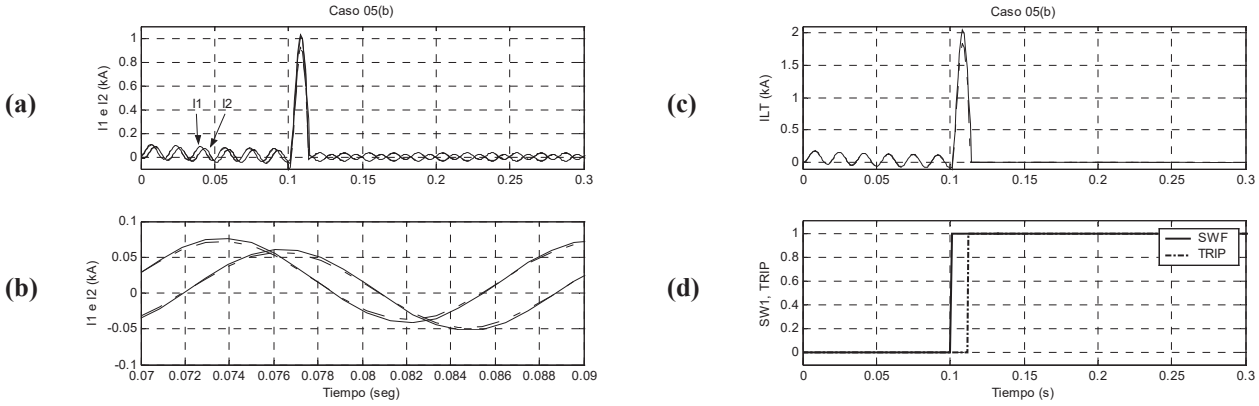


Figura 5.50 Resultados de la simulación del Caso 5.5(b). (a) corrientes de las líneas i_1 e i_2, (b) acercamiento a las corrientes i_1 e i_2 en donde se muestran las respuestas obtenidas con *CLODSA-RT* (línea continua) y con PSCAD/EMTDC (línea discontinua), (c) corriente total de la rama de carga i_{LT}, (d) señales lógicas de inserción de falla y de disparo *SWF* y *TRIP*.

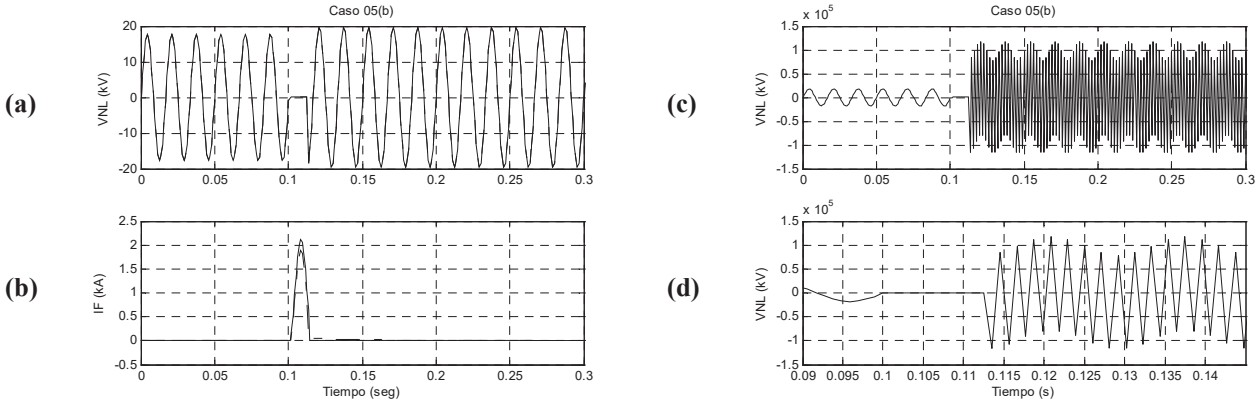


Figura 5.51 Resultados de la simulación del Caso 5.5(b). (a) voltaje en el nodo de carga v_{NL}, (b) corriente de falla i_f, (c) voltaje en el nodo de carga v_{NL} obtenido con PSCAD/EMTDC con la opción de eliminación de oscilaciones numéricas deshabilitada, (d) acercamiento a las oscilaciones numéricas generadas en v_{NL} por PSCAD/EMTDC.

Las Figura 5.51(c) y 5.51(d) muestran las oscilaciones numéricas que se presentan en el voltaje del nodo de carga v_{NL} al momento de la apertura del interruptor *BRK* en la simulación efectuada en PSCAD/EMTDC con la opción de detección y eliminación de oscilaciones numéricas (chatter)

deshabilitada. Como ya se comentó en el caso 5.5(a) los resultados obtenidos con *CLODSA-RT* no presentan estas oscilaciones numéricas debido a la técnica de simulación utilizada, descrita en la Sección 4.8. Si se selecciona la opción de eliminación de oscilaciones numéricas (chatter) en PSCAD/EMTDC, la respuesta es correcta, según se muestra en la Figura 5.51(a), en donde a pesar de que a simple vista parece ser un solo trazo, en realidad se trata de las respuestas obtenidas tanto con *CLODSA-RT* (línea continua) como con PSCAD/EMTDC (línea discontinua), que al coincidir de manera tan precisa, dan la impresión de ser un solo trazo.

Caso 5.5(c) Simulación con operación del relevador de protección y restablecimiento del interruptor de potencia.

Este caso presenta una simulación en lazo cerrado, similar a la que se describe en el caso 5.5(b), pero adicionalmente se demuestra que el esquema considera cualquier condición que se pueda presentar en la red simulada, pudiendo pasar de forma "aleatoria" de un estado de operación a cualquier otro. Es importante mencionar que el término "aleatorio" se debe entender en el sentido de que la simulación funciona correctamente, independientemente del instante en que ocurran los eventos que hacen que cambie la topología de la red, como son los cambios de estado de los dos elementos de conmutación *SWF* y *BRK*, e independientemente de cual combinación de estados se presente en cada instante, ya que la técnica de simulación utilizada contempla en cada paso de integración la factibilidad de pasar a cualquier estado topológico, dentro del conjunto de posibilidades que generan las combinaciones posibles de los elementos de conmutación. Sin embargo, en el esquema en lazo cerrado siempre habrá una secuencia de operación lógica que haga que una condición de operación suceda a otra, por ejemplo, si el circuito se encuentra en condición de falla y el relevador la detecta y opera, se ordenará la apertura del interruptor de potencia *BRK* y esto hará que la red cambie del estado de falla al estado de post-falla y no a otro estado, aún cuando la técnica de simulación contempla la posibilidad de pasar en cada instante a cualquier estado topológico posible.

La condición de operación que se presenta de manera adicional en este caso consiste en restablecer el interruptor de potencia *BRK* (volverlo a cerrar) de forma manual comandada por el usuario,

después de que el relevador ordenó la liberación de la falla mediante la apertura de dicho interruptor de potencia.

En este caso la duración de la simulación es de *0.5 seg*. El interruptor de falla se programa para que se cierre en un tiempo de *0.1 seg* y se abra en *0.2 seg*. El resto de los parámetros de la simulación son los que se tienen por omisión al ejecutar por primera vez la simulación; estos se presentan en la Figura 5.45.

La Figura 5.52 ilustra la forma en que el usuario ordena manualmente el restablecimiento del interruptor de potencia mediante el uso de un interruptor de presión conectado al simulador.

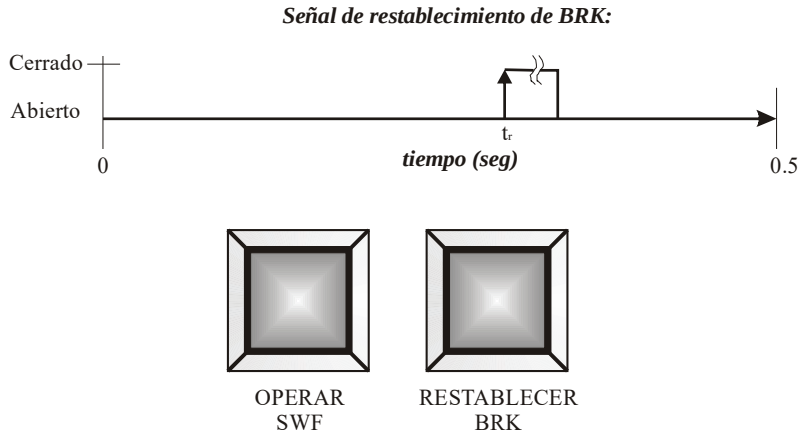


Figura 5.52 Ilustración de la manipulación del interruptor de restablecimiento de *BRK* por parte del usuario durante la simulación del caso 5.5 (c).

Las Figuras 5.53 y 5.54 muestran que después de que el interruptor de falla cierra y se presenta la condición de sobrecorriente en la carga, el relevador la detecta y opera aproximadamente un ciclo después del inicio de la falla, ordenando con esto la apertura del interruptor de potencia y pasando al estado de post-falla, según se explicó en el caso 5.5(b). Posteriormente en un tiempo de *0.283 seg* el usuario ordena que el interruptor de potencia vuelva a cerrar, lo cual se logra sin problema ya que la condición de falla ha desaparecido en ese momento. Es importante mencionar que si se ordenara el cierre del interruptor de potencia cuando la condición de falla persiste, esta condición la detectaría el relevador y ordenaría de nuevo la apertura en un tiempo aproximado de un ciclo después de que se ordenó el cierre del interruptor.

Los resultados muestran que en el momento en que el usuario ordena el restablecimiento del interruptor de potencia, las respuestas regresan a su estado de pre-falla, incluyendo el transitorio correspondiente a cualquier maniobra, que depende de las condiciones del instante en que se realiza la orden de cambio de estado.

Al igual que en los casos anteriores, las Figuras 5.54(c) y 5.54(d) muestran la respuesta para el voltaje en el nodo de carga obtenidos con PSCAD/EMTDC deshabilitando la opción de eliminación de oscilaciones numéricas (chatter). Se pueden observar las oscilaciones numéricas de gran magnitud, que se presentan en el momento en que el relevador de protección libera la falla, ordenando al interruptor de potencia que abra. PSCAD/EMTDC entrega la respuesta correcta, libre de oscilaciones numéricas, si se selecciona dicha opción de eliminación de oscilaciones numéricas y esta se presenta junto con la respuesta obtenida con *CLODSA-RT* en la Figura 5.54(a) en donde se puede observar la excelente correspondencia entre ambas respuestas, que da la impresión a simple vista de que la gráfica del voltaje del nodo de carga parezca realizado mediante un solo trazo. Finalmente, es importante mencionar que la técnica de simulación utilizada en *CLODSA-RT* y que se describe en la sección 4.8 no genera oscilaciones numéricas y por lo tanto no requiere de una técnica de corrección.

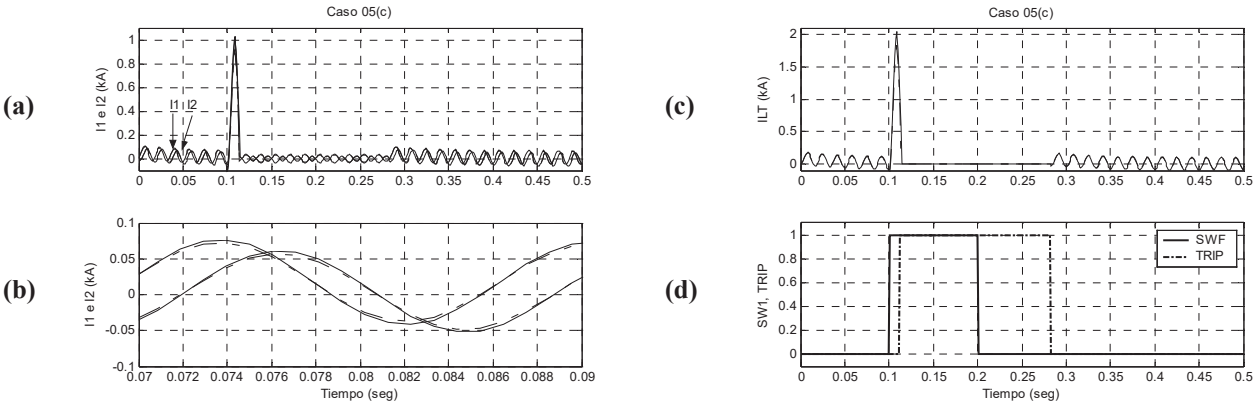


Figura 5.53 Resultados de la simulación del Caso 5.5(c). (a) respuesta de las corrientes de las líneas i_1 e i_2, (b) acercamiento a las corrientes i_1 e i_2 para mostrar la respuesta obtenida con *CLODSA-RT* (línea continua) y con PSCAD/EMTDC (línea discontínua), (c) corriente total de carga i_{LT}, (d) señales lógicas de inserción de falla y de disparo *SWF* y *TRIP*.

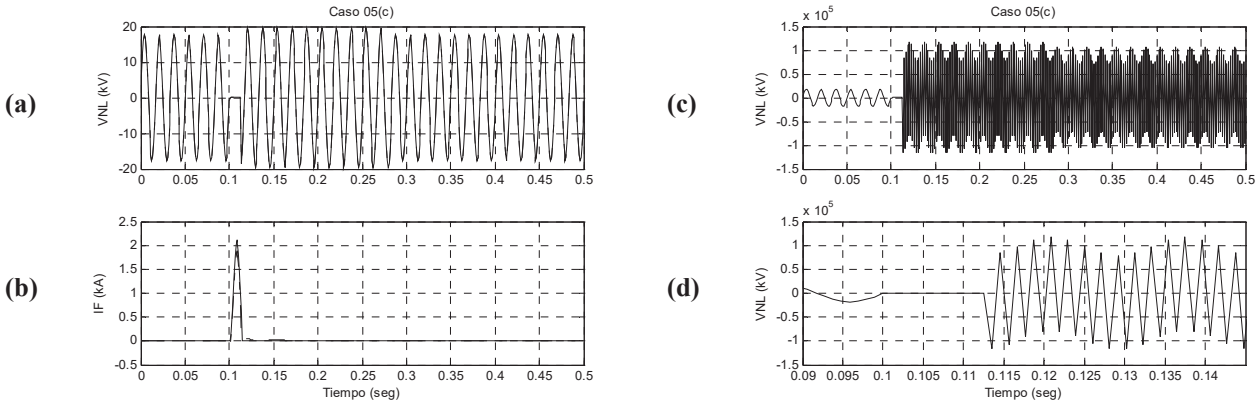


Figura 5.54 Resultados de la simulación del Caso 5.5(c). (a) voltaje en el nodo de carga v_{NL}, (b) corriente de falla i_f, (c) voltaje en el nodo de carga v_{NL} obtenido con PSCAD/EMTDC con la opción de eliminación de oscilaciones numéricas deshabilitada, (d) acercamiento a las oscilaciones numéricas generadas por PSCAD/EMTDC en la gráfica del inciso (c).

5.3 Conclusiones

En esta unidad se han descrito las características del simulador en tiempo real desarrollado *CLODSA-RT* y se presentan los resultados de los diferentes casos de estudio que lo conforman. Cada uno de dichos casos de estudio ilustra diferentes características de operación que se pueden lograr con un simulador con capacidades para simular una red eléctrica en tiempo real e interactuar con dispositivos externos a través del uso de puertos analógicos y digitales de entrada y salida.

Los resultados que se presentan en los diferentes casos de estudio simulados en su mayoría están validados mediante el uso del simulador PSCAD/EMTDC, la excelente correspondencia obtenida en todos los casos entre *CLODSA-RT* y PSCAD/EMTDC demuestra la validez de los resultados de las simulaciones realizadas con el simulador en tiempo real desarrollado. Debido a la importante diferencia que existe entre un simulador que opera en tiempo real, como *CLODSA-RT* y un simulador que opera en modo fuera de línea como PSCAD/EMTDC, las simulaciones hechas en PSCAD/EMTDC con el propósito de validar los resultados obtenidos con *CLODSA-RT* se

efectuaron alimentando fuera de línea los parámetros y datos que estuvieron presentes en la simulación hecha en tiempo real.

Algunos casos de estudio no se validaron con PSCAD/EMTDC ya que involucran la variación de un parámetro por parte del usuario mientras se efectúa la simulación en tiempo real, lo cual implica el uso de un parámetro variante en el tiempo con una función de variación "aleatoria" ya que cada vez que el usuario varía externamente dicho parámetro mientras se ejecuta la simulación lo hace de una manera diferente o no predecible mediante una función de variación predeterminada. Sin embargo, la validación de estos casos se podría llevar a cabo en PSCAD/EMTDC si se implementa dentro de *CLODSA-RT* una función que permita almacenar en cada paso de integración el valor del parámetro que el usuario controla externamente durante la simulación en tiempo real. Una vez almacenados el conjunto de valores del parámetro, se pueden guardar en un archivo de datos en un formato adecuado para alimentarse como un parámetro de entrada almacenado en archivo de datos para simulaciones en PSCAD/EMTDC y con esto incluirlo dentro de la simulación en modo fuera de línea y con ello validar adecuadamente estos casos.

Los resultados que se presentan en los casos de estudio 5.3, 5.4 y 5.5 demuestran que la técnica de simulación utilizada en el simulador *CLODSA-RT* cuando se incluyen elementos de conmutación y basada en la formulación de las ecuaciones de estado de cada estado topológico, no genera las oscilaciones numéricas que se presentan con otras técnicas de simulación y que requieren del uso de metodologías bien documentadas para su eliminación.

Con los resultados presentados en este capítulo se demuestran y validan las capacidades del simulador desarrollado *CLODSA-RT* para operar en tiempo real; se presentan resultados que permiten la implementación de esquemas en lazo cerrado, los cuales implican la interacción de la parte simulada del esquema con la parte física y que únicamente se pueden lograr con un simulador como *CLODSA-RT* capaz de operar en tiempo real.

CAPÍTULO 6

CONCLUSIONES Y TRABAJOS FUTUROS

6.1 Conclusiones

En la presente tesis, "*Desarrollo de una Herramienta de Simulación Digital para el Análisis de la Operación Dinámica de Redes Eléctricas No Lineales Interactuando con Sistemas Físicos, en Lazo Abierto y Lazo Cerrado*", el objetivo principal consistió en el desarrollo de un simulador digital de redes eléctricas con capacidad de operar en tiempo real y con el cual se pueden implementar esquemas en lazo cerrado. Sin embargo, durante el desarrollo de la tesis se pudieron tener diferentes contribuciones en áreas como el desarrollo de nuevos modelos para el simulador comercial PSCAD/EMTDC, el desarrollo de un equipo de prueba en lazo abierto, el desarrollo de diferentes estudios acerca del impacto de la distorsión por armónicos y el desbalance en la operación de los sistemas de protección, así como el desarrollo de un simulador en tiempo real que presenta varios casos de estudio basados en un esquema en lazo cerrado.

Se presentó un estudio completo de las características de diferentes simuladores de redes eléctricas existentes en el mercado y que operan tanto en modo fuera de línea como en tiempo real; entre los que destacan el PSCAD/EMTDC, ATP/EMTP, RTDS, ARENE y HYPERSIM. Este estudio resultó muy importante ya que el tema de esta tesis estuvo orientado al desarrollo de un simulador con características para operar en tiempo real y resultaba importante conocer las características de los simuladores ya disponibles de forma comercial.

Como resultado del uso avanzado del simulador PSCAD/EMTDC para realizar estudios fuera de línea de redes eléctricas se tuvo como una de las contribuciones de esta tesis la implementación del modelo de la máquina síncrona en coordenadas de fase para este simulador comercial, con el cual no cuenta la versión actual de PSCAD/EMTDC (V4.2) y que a futuro permitirá la simulación de fallas internas en los devanados de la máquina. Los resultados de este nuevo modelo se presentan en el Capítulo 2.

Se desarrolló también un sistema para efectuar pruebas en lazo abierto, denominado VOLTS, que consta tanto del hardware necesario para generar señales analógicas, como el software que permite generar dichas señales basado en diferentes opciones, tales como la opción de lectura de archivo de datos o la generación de señales a partir de pruebas fijas. El software también cuenta con una opción de post-procesamiento de las señales de entrada para incrementar la tasa de muestreo y con la opción de visualizar gráficamente las señales a reproducir, así como de generar un archivo de salida con ellas. El intervalo mínimo de muestreo que este sistema es capaz de reproducir es de 1 microsegundo, lo cual supera las características del RTP del HVDC Research Centre y el F6150 de Doble Engineering Co., cuyos intervalos mínimos de reproducción son de 35 y 100 microsegundos respectivamente. Estos resultados se presentan como parte del capítulo 3 referente a pruebas en lazo abierto. La validez de los resultados obtenidos con VOLTS se verificó con el equipo de pruebas comercial F6150 de la marca DOBLE.

Adicionalmente, como parte de los casos de estudio presentados en el Capítulo 3 de pruebas en lazo abierto, se realizaron estudios experimentales a las tres familias de relevadores de protección: electromecánicos, estáticos y digitales, respectivamente para determinar el impacto de la distorsión armónica y el desbalance en la operación de los sistemas de protección.

Los estudios realizados para determinar el impacto de la contaminación armónica en la operación de los relevadores de protección arrojaron como resultados que los relevadores electromecánico y estáticos se ven afectados por la presencia de armónicos teniendo tiempos de operación menores en comparación con los tiempos de operación ante una señal libre de armónicos. También se pudo concluir que aparte del desplazamiento de las curvas de operación de los relevadores a tiempos de operación menores, dichas curvas de operación se hacen menos inversas cuando está presente algún armónico en las señales de operación del relevador, siendo mas acentuada esta situación para los armónicos de orden bajo. Se pudo concluir también que los relevadores digitales no se ven afectados por la presencia de armónicos y los armónicos de orden alto (mayor a 13) no afectan la operación de ninguna de las tres familias de relevadores.

Los estudios realizados para evaluar el impacto del desbalance en la operación de los relevadores digitales arrojó como resultados que las funciones de protección de secuencia negativa y cero son mas sensibles a la presencia de desbalance que las funciones de fase, sin embargo, debido a que las funciones de protección de secuencia pueden tener comportamientos transitorios ante ciertas cambios en las condiciones de operación del sistema eléctrico, no se recomienda su uso de forma individual en una función de protección contra desbalance sino que se deben usar en conjunto con las funciones de protección de fase para que su operación sea estable además de rápida.

El estudio que se presenta en esta tesis de las diferentes herramientas de software necesarias para integrar una plataforma de simulación en tiempo real es importante ya que aunque no todas estas herramientas se utilizaron en el desarrollo del simulador en tiempo real presentado en este trabajo de tesis *CLODSA-RT*, se documentan sus características para conocer la importancia de cada una de ellas en la integración a futuro de una plataforma de simulación en tiempo real con capacidad de simular redes eléctricas de gran magnitud.

Se describió la técnica de simulación usada en *CLODSA-RT*, basada en la solución de las ecuaciones de estado que representan cada estado topológico de una red eléctrica que incluye elementos de conmutación. Esta técnica demostró ser adecuada para la simulación de redes con elementos de conmutación además de ser muy estable y no generar oscilaciones numéricas, aún después del cambio de estado de los elementos de conmutación y a pesar de utilizar pasos de integración grandes.

Se describieron las características de cada uno de los casos que constituyen al simulador en tiempo real desarrollado y se presentaron resultados para diferentes condiciones de operación, incluyendo un esquema completo en lazo cerrado. Gran parte de los resultados se validaron exitosamente con PSCAD/EMTDC demostrando la posibilidad de realizar simulación en tiempo real en sistemas de cómputo estándar. Otros de los resultados no se validaron por presentarse algunas limitantes en la validación de casos de simulación en tiempo real con un simulador en modo fuera de línea como PSCAD/EMTDC.

La plataforma de simulación en tiempo real propuesta y usada en el desarrollo del simulador en tiempo real resultado de la investigación reportada en esta tesis representa una opción sólida que permitirá a futuro desarrollar una plataforma de simulación en tiempo real con el poder de procesamiento suficiente para simular en tiempo real grandes redes, con pasos de integración pequeños (menores a 50μS) que permitan la simulación de cualquier red por compleja que sea en tiempo real, o incluso a velocidades superiores al tiempo real.

6.2 Trabajos Futuros

En el área del uso de simuladores de transitorios electromagnéticos como PSCAD/EMTDC se sugiere trabajar a futuro en la creación de nuevas bibliotecas que permitan ampliar el ámbito de aplicaciones, creando nuevos modelos que actualmente no se encuentran incluidos en este tipo de simuladores. Desafortunadamente, PSCAD/EMTDC es un programa comercial con un costo que no siempre permite acceder a él, por lo que se sugiere también explorar la posibilidad de usar ATP que es un programa libre y que permite también la creación de nuevos modelos además de permitir incluso el acceso al código fuente para poderle hacer mejoras.

Actualmente el equipo de pruebas VOLTS desarrollado para realizar pruebas en lazo abierto es capaz de leer y generar archivos con datos de transitorios en el formato de columnas, en donde la primer columna contiene la información del tiempo y las siguientes columnas son las señales de voltaje y corriente, lo cual le da la capacidad de leer este tipo de archivos de cualquier programa, equipo o simulador que pueda generarlos en dicho formato, tales como Matlab, PSCAD/EMTDC, etc. Sin embargo, se debe trabajar a futuro en la implementación del estándar de intercambio de datos de transitorios COMTRADE, que es el formato estándar que generan todos los simuladores de sistemas eléctricos, equipos de protección y registro, así como sistemas de post-procesamiento de señales.

El equipo de pruebas VOLTS cuenta con cuatro pruebas fijas que permiten generar señales para prueba de relevadores ante condiciones de sobrecorriente, pruebas de valor RMS, prueba dinámica y prueba de armónicos, sin embargo, es deseable en un equipo de este tipo contar con un conjunto más amplio de pruebas fijas que permitan probar todas y cada una de las funciones de protección con las

que cuentan los relevadores antiguos y modernos, entre las que se pueden mencionar las pruebas de secuencia negativa, secuencia positiva, pruebas de determinación automática de ajustes de sobrecorriente y sobre y bajo voltaje, pruebas de corrimiento de frecuencia, pruebas de funciones de distancia, etc. En conjunto con la implementación de pruebas fijas adicionales, es importante implementar funciones de prueba por lotes que permitan ejecutar de forma automatizada un gran conjunto de pruebas a un equipo en particular.

La versión presentada en esta tesis del equipo de pruebas VOLTS no cuenta con las opciones de reproducción de señales lógicas, ni tampoco cuenta con la función de leer los tiempos de operación de los sistemas bajo prueba mediante el uso de canales lógicos de entrada, por lo que la implementación de estas funciones se sugiere como trabajo futuro. De igual manera, se sugiere implementar el arranque de las pruebas mediante una señal lógica de entrada para poder sincronizar la reproducción de la señal de prueba con un evento externo, que puede incluso permitir a futuro la ejecución de pruebas punto a punto con el auxilio de un equipo receptor satelital externo de posicionamiento global GPS.

En el caso de las pruebas en lazo abierto efectuadas a relevadores para evaluar la sensibilidad de las funciones de protección de secuencia, en contraste con las de fase, se recomienda completar los estudios experimentales presentados con casos prácticos de desbalance, en los que estén presentes ambas componentes de secuencia y se implemente un esquema de protección que se base en ambas funciones de protección de secuencia cero y negativa, y no solo en una de las dos, como lo definen los esquemas que se usan en la actualidad. Este nuevo esquema basado en ambas componentes de secuencia debe demostrar que es capaz de operar de manera más eficaz, sensible y selectiva que la función de protección basada en magnitudes de fase o en solo una de las dos componentes de secuencia.

El uso de tarjetas DAQ y AO con conexión PCI limita el uso del sistema de prueba VOLTS y del simulador en tiempo real *CLODSA-RT* a una computadora de escritorio, que es la que cuenta con este tipo de bus, por lo que se sugiere utilizar tarjetas con conexión USB 2.0 o Ethernet en versiones futuras de los equipos, con lo que se lograría portabilidad de los mismos y permitiría su uso con una

computadora portátil e incluso en el caso de usar tarjetas con conexión de red Ethernet, permitiría el uso de los equipos de forma remota y por varios usuarios a través de una red de computadoras.

En la versión presentada de esta tesis no se incluyó el uso de una extensión de tiempo real, por no contar con ella al momento de la realización de esta tesis; a pesar de esto, se lograron realizar diferentes casos de estudio que operan en tiempo real. Sin embargo, dicha operación no es totalmente determinista y ocasionalmente sufre pequeños retardos o interrupciones debido a que el sistema operativo Windows, que es multitarea, es el que controla la distribución de tareas y no se puede lograr un uso exclusivo de los recursos por parte de la aplicación que se está ejecutando. Para tener un control determinista de los procesos y poder ejecutar subprocesos en tiempo real que hagan uso total de los recursos del sistema durante la ejecución de dichos procesos, se recomienda incluir en versiones futuras de este simulador la extensión de tiempo real RTX desarrollada por Ardence o bien INtime desarrollada por TenAsys, o similar, en conjunto con sus respectivas adiciones para el manejo de red Ethernet en tiempo real.

Se recomienda también iniciar trabajos relacionados con el desarrollo de una interfase gráfica de usuario (GUI) para la construcción de forma gráfica de la red eléctrica a simular, que genere de forma automática el conjunto de ecuaciones de estado necesarias para efectuar la simulación de la red eléctrica creada por el usuario.

Para nuevas versiones del simulador en tiempo real se recomienda el uso de una red de computadoras integradas bajo un sistema que contenga herramientas de tiempo real que permitan la ejecución de subprocesos y manejo de red en tiempo real. Esta red de computadoras permitirá incrementar el poder de procesamiento y de esta manera aumentar la granularidad en la división de tareas paralelas, para lograr la simulación en tiempo real de redes más grandes y con pasos de integración mas pequeños a un costo moderado, al integrarse todo con un conjunto de computadoras estándar.

A pesar de que PVM no está diseñado para crear una máquina virtual que opere en tiempo real, se recomienda explorar su posible integración dentro del sistema de simulación en tiempo real y ver si se pueden usar estas bibliotecas dentro de subprocesos en tiempo real, o bien utilizarlas para

ejecutar en paralelo procesos auxiliares de menor prioridad. Se puede también incluso explorar la posibilidad de desarrollar a futuro una versión de PVM con capacidad de operar en tiempo real. También se deben enfocar los esfuerzos futuros de procesamiento en paralelo en el subprocesamiento múltiple o multithreading, ya que según las investigaciones realizadas y documentadas en esta tesis, éstas bibliotecas se soportan en la mayoría de extensiones y sistemas operativos en tiempo real.

Algunas de las mejoras inmediatas que se pueden hacer a *CLODSA-RT* es una opción para guardar los resultados de la simulación cuando se elige la opción de simulación de tiempo infinito. En este caso se guardaría una ventana de los últimos datos con un tamaño definido por el usuario. De igual forma, se sugiere crear una opción de visualización de resultados también para la opción de simulación de tiempo infinito, la cual debe presentar de forma dinámica una ventana de los últimos resultados generados a manera de osciloscopio.

Tanto para las opciones de tiempo finito como de tiempo infinito se sugiere crear una función que permita guardar los resultados (o una ventana con los últimos resultados si la simulación es de tiempo infinito) en formato COMTRADE.

Se recomienda también a futuro incorporar completas las funciones de VOLTS en *CLODSA-RT* para poder contar con opciones de reproducción en lazo abierto de resultados obtenidos previamente, opciones de post-procesamiento e incluso de generación de pruebas fijas, sin salir de la interfase del simulador en tiempo real.

Trabajar en funciones para *CLODSA-RT* que permitan al usuario seleccionar el canal físico por el cual se generarán las señales de salida, así como seleccionar que señales serán las que se mandarán al exterior, ya que actualmente las señales y los canales de salida están definidas desde el interior de la aplicación.

Se recomienda implementar una función en *CLODSA-RT* que permita guardar y almacenar en un archivo los parámetros que se varíen externamente durante la ejecución de la simulación. Lo anterior permitirá validar los casos de estudio que por el momento no se pudieron validar por las

diferencias entre un simulador en tiempo real y un simulador en modo fuera de línea. La forma en que se podrán validar estos casos es introduciendo dentro de la simulación en PSCAD/EMTDC el archivo de datos que se grabó durante la simulación en tiempo real como un parámetro variante en el tiempo que se lee desde archivo y se incorpora dentro de la simulación, lo cual es posible hacerse en PSCAD/EMTDC.

Se sugiere explorar el desarrollo de diferentes aplicaciones de tiempo real tales como sistemas de control industrial, equipos médicos, sistemas de automatización residencial, industrial y militar que requieran funcionamientos deterministas en tiempo real duro. Estas aplicaciones se pueden llevar a cabo en sistemas de tiempo real basados en las herramientas de este tipo descritas en la presente tesis.

REFERENCIAS

[Accelerated Technology 2005]
Página de Accelerated Technology, http://www.acceleratedtechnology.com, 2005.

[Alvarado *et al*. 1983]
Fernando L. Alvarado, Robert H. Lasseter, Juan J. Sanchez, "Testing of Trapezoidal Integration with Damping for the Solution of Power Transient Problems", IEEE Transactions on Power Apparatus and Systems, Vol. PAS-102, No. 12, pp. 3783-3790. Dec. 1983.

[Anderson y Fouad 1994]
Paul M. Anderson, A. A. Fouad, "Power System Control and Stability", IEEE Press, 1994.

[ARC International 2005]
Página de ARC International, http://www.arc.com/, 2005.

[Arcticus Systems AB 2005]
Página de Arcticus Systems AB, http://www.arcticus.se/, 2005.

[Ardence 2006]
Página de Ardence, http://www.vci.com/, 2006.

[ARENE 2000]
Página ARENE, RD Soft (Recherche & Développement), Electricité de France, 2006. http://rdsoft.edf.fr/.

[Arrillaga *et al.* 1997]
J. Arrillaga, B. C. Smith, N. R. Watson, & A.R. Wood, "Power System Harmonic Analysis". John Wiley & Sons, 1997.

[ARTESYS 2004]
Página de Australian Real Time Embedded Systems (ARTESYS), www.artesys.com.au, 2004.

[ATP 2001]
Página del Alternative Transients Program (ATP), 2001. http://www.emtp.org/.

[BAE SYSTEMS Controls 2005]
Página de BAE SYSTEMS Controls, http://www.csleos.com/, 2005.

[Blackburn 1997]
J. Lewis Blackburn, "Protective Relaying, principles and applications", Second edition, CRC Press, 1997.

[Blunk Microsystems 2005]
Página de Blunk Microsystems, http://www.blunkmicro.com, 2005.

[Borghetti *et al.* 1996]
A.Borghetti, C.A. Nucci, P. Pagani, S. Spelta, V. Vannelli, D. Zanobetti, "Lego Modelling of the Power Station Electrical Auxiliaries for a Real-Time Training Simulator", IEEE, 1996, Págs. 1634-1637.

[Buchholz *et al.* 2000]
B. M. Buchholz, X. Lei, D. W. Retzmann, "Advanced Solutions for Power System Analysis – Computer Study and Real-Time Simulation", IEEE Proceedings of the PowerCon 2000, International Conference on Power System Technology, Vol. 2, págs. 613-618, 4-7 Diciembre 2000.

[Cavanagh y Wang 2005]
Steven Cavanagh; Yingxu Wang, "Design of a Real-Time Virtual Machine (RTVM)", Canadian Conference on Electrical and Computer Engineering 2005 CCECE/CCGEI, Saskatoon, May 2005, pp. 2021-2024.

[Ceballos 2000]
Fco. Javier Ceballos, “Microsoft Visual C++ 6 – Aplicaciones para Win 32”, Alfaomega – Ra-ma, Madrid, España, 2000.

[Cedaryacht Limited 2005]
Página de Cedaryacht Limited, http://www.cedaryacht.co.uk/, 2005.

[Chapman 1999]
Davis Chapman, “Aprendiendo Visual C++ 6 en 21 Días”, Pearson-Prentice Hall, 1999.

[Chapman 2003]
Stephen J. Chapman, “Fortran 90/95 for Scientists and Engineers”, McGraw Hill, Segunda edición, 2003.

[CMX Systems Inc. 2005]
Página de CMX Systems Inc., http://www.cmx.com, 2005.

[Conceptos TR 2007]
Página “An Introduction to Real-Time Concepts”:
http://www.algonet.se/~staffann/developer/realtimeintro.htm, 2007.

[CoreTek Systems, Inc. 2004]
Página de CoreTek Systems, Inc., www.coretek.com.cn, 2004.

[DOBLE 2006]
Pagina de DOBLE, Doble Engineering Company, 2006. www.doble.com.

[Dommel y Meyer 1969]
H.W. Dommel; W.S. Meyer, “Digital Computer Solution of Electromagnetic Transients in Single and Multi-Phase Networks”, IEEE Transactions on Power Apparatus and Systems, Vol. PAS-88, No. 4, April 1969, pp. 388-399.

[Dommel y Meyer 1974]
H.W. Dommel; W.S. Meyer, “Computation of Electromagnetic Transients”, Proceedings of the IEEE, Vol. 62, No. 7, July 1974, pp. 983-993.

[eCosCentric 2006]
Página de eCosCentric Limited, http://www.ecoscentric.com/, 2006.

[Eddy Solutions 2005]
Página de Eddy Solutions, http://www.eddysolutions.com/, 2005.

[Elneweihi *et al.* 1993]
A. F. Elneweihi, E. O. Schweitzer, M. W. Feltis, “Negative-Sequence Overcurrent Element Application and Coordination in Distribution Protection”, IEEE Transactions on Power Delivery, Volume 8, Number 3, July 1993, pp. 915-924.

[EmINENT Microsystems 2005]
Página de EmINENT Microsystems, http://www.eminentmicro.com/, 2005.

[EMTDC 2004]
Manitoba HVDC Research Centre Inc., “EMTDC User´s Guide”, Winnipeg, Manitoba, Canadá, 2004.

[EMTP-RV 2006]
Página del Electromagnetic Transients Program (EMTP-RV), 2006. http://www.emtp.com/

[Enea 2006]
Página de Enea, http://www.enea.com/, 2006.

[Eonic 2006]
Página de Eonic, http://www.eonic.com, 2006.

[Esmertec, inc. 2005]
Página de esmertec, inc., http://www.esmertec.com, 2005.

[eSOL 2004]
Página de eSOL, http://www.esol.co.jp/english/index.html, 2004.

[Express Logic 2005]
Página de Express Logic, http://www.expresslogic.com/, 2005.

[Eyring 2004]
Página de Eyring Corporation, http://www.eyring.com, 2004.

[F6000 2001]
F6000 Family of Power System Simulators, "User Guide", Doble Engineering Company, 85 Walnut Street, Watertown, Massachusetts, U.S.A, 2000-2001.

[Falcao *et al.* 1993]
D.M. Falcao, E. Kaszkurewicz, H.L.S. Almeida, "Application of parallel processing techniques to the simulation of power system electromagnetic transients", IEEE Transactions on Power Systems, Vol. 8, Issue 1, págs. 90-96, Febrero 1993.

[FG-8002]
GoldStar Precision Co., "Operator's Manual", Function Generator FG-8002.

[FreeRTOS.com 2005]
Página de FreeRTOS.com, http://www.freertos.com/, 2005.

[FSMLabs 2005]
Página de Finite State Machine Labs, Inc., http://www.fsmlabs.com/, 2005.

[García y Acha 2004]
N. Garcia, E. Acha, "Periodic steady-state analysis of large-scale electric systems using Poincare/spl acute/ map and parallel processing", IEEE Transactions on Power Systems, Vol. 19, Issue 4, págs. 1784-1793, Noviembre 2004.

[GE 12IAC77B805A]
General Electric, "Instructions", Extremely Inverse Time Overcurrent Relay GE 12IAC77B805A.

[Geist *et al.* 1994]
Al Geist; Adam Beguelin; Jack Dongarra; Weicheng Jiang; Robert Mancheck; Vaidy Sunderam, "PVM: Parallel Virtual Machine – A User's Guide and Tutorial for Networked Parallel Computing", The MIT Press, Cambridge, Massachusetts, London, England, 1994.

[Green Hills Software 2005]
Página de Green Hills Software, http://www.ghs.com, 2005.

[Gross 1986]
Charles A. Gross, "Power System Analysis", John Wiley and Sons, 1986.

[Gross 2006]
Charles A. Gross, "Electric Machines", CRC Press, Primera edición, 2006.

[Horowitz y Padke 1996]
Stanley H. Horowitz, Arun G. Padke, "Power System Relaying", second edition, Research Studies Press LTD, 1996.

[HVDC 2006]
Página del HVDC Research Centre, 2006. http://www.hvdc.ca/.

[HYDRO-QUÉBEC 2006]
Página de HYDRO-QUÉBEC, 2006. http://www.hydroquebec.com/.

[HYPERSIM 2006]
Página del Simulador en Tiempo Real HYPERSIM, 2006. http://www.transenergie-tech.com/.

[IEEE 1459-2000]
IEEE Std 1459-2000, "IEEE Trial-Use Standard Definitions for the Measurement of Electric Power Quantities Under Sinusoidal, Balanced, or Unbalanced Conditions".

[IEEE 519-1992]
IEEE Std 519-1992, "IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems".

[IEEE C37.111-1999]
IEEE Std C37.111-1999, "IEEE Standard Common Format for Transient Data Exchange (COMTRADE) for Power Systems".

[IEEE C37.112-1996]
IEEE Std C37.112-1996, "IEEE Standard Inverse-Time Characteristic Equations for Overcurrent Relays".

[IEEE C37.2-1991]
IEEE Std C37.2-1991, "Standard Electrical Power System Device Function Numbers".

[IEEE C57.13-1993]
IEEE Std C57.13-1993, "IEEE Standard Requirements for Instrument Transformers".

[Institute of Automatic Control 2004]
Página de Institute of Automatic Control, http://www.irt.uni-hannover.de/irt/irt-gb.html, 2004.

[Jaluna 2005]
Página de Jaluna InterOperating Systems, http://www.jaluna.com, 2005.

[JDC Electronic SA 2005]
Página de JDC Electronic SA, http://www.jdc.ch/engindex.html, 2005.

[JK microsystems, Inc. 2006]
Página de JK microsystems, Inc., http://www.jkmicro.com/, 2006.

[JMI Software Systems, Inc. 2004]
Página de JMI Software Systems, Inc. http://www.jmi.com, 2004.

[Johns y Salman 1995]
A. T. Johns, S. K. Salman, "Digital Protection for Power Systems", IEE Power Series, Peter Peregrinus Ltd on behalf of The Institution of Electrical Engineers, 1995.

[KADAK Products Ltd. 2005]
Página de KADAK Products Ltd., http://www.kadak.com, 2005.

[Keerthipala *et al.* 2000]
W. W. L. Keerthipala, Huisheng Wang, Chan Tat Wai, "On Line Testing of a Fuzzy-Neuro based Protective Relay using a Real-Time Digital Simulator", IEEE, 2000, Págs. 1917-1922.

[Kennedy 2000]
Barry W. Kennedy, "Power Quality Primer", Mc Graw Hill, 2000.

[Kezunovic y McKenna 1994]
M. Kezunovic, M. McKenna, “Real-Time Digital Simulator for Protective Relay Testing”, IEEE Computer Applications in Power, Vol. 7, No. 3, págs. 30-35, Julio 1994.

[Kezunovic *et al.* 1994]
M. Kezunovic, M. Aganagic, V. Skendzic, J. Domaszewics, J.K. Bladow, D.M. Hamai. S.M. McKenna, “Transients Computation for Relay Testing in Real-Time”, IEEE Transactions on Power Delivery, Vol. 9, No. 3, págs. 1298-1307, Julio 1994.

[Kezunovic *et al.* 1996]
M. Kezunovic, J. Domaszewicz, V. Skendzic, M. Aganagic, J.K. Bladow, S.M. McKenna, “Design, Implementation and Validation of a Real-Time Simulator for Protection Relay Testing”, IEEE Transactions on Power Delivery, Vol. 11, No. 1, págs. 158-164, Enero 1996.

[Khanniche 1994]
M.S. Khanniche, “Real Time Hysteresis controller for Relay Testing”, IEE Proceeding on Electric Power Applications, Vol 141, No. 2. Marzo 1994, Págs. 71-76.

[Kojovic y Day 1999]
Ljubomir A. Kojovic, Timothy R. Day, “Aplication of Real-Time Power System Simulators for Testing Protective Relay System Operational Caracteristics”, 1999 IEEE Transmission and Distribution Conference, Vol. 1, págs. 447-452, 11-16 Abril 1999.

[Krause *et al.* 2002]
Paul C. Krause, Oleg Wasynczuk, Scott D. Sudhoff, “Analysis of Electric Machinery and Drive Systems”, IEEE Press Power Engineering Series, Wiley-Interscience, 2002.

[Kundur 1994]
P. Kundur, “Power System Stability and Control, Mc Graw Hill, Inc., New York, 1994.

[Li *et al.* 1991]
K.K. Li, C. Cheung, Y. Q. Xia, "High Speed Digital Distance Protection – Real Time Simulation and Hardware Development", IEE International Conference on Advances in Power System Control, Operation and Management, November 1991, Hong Kong, Págs. 95-100.

[Lin y Martí 1990]
Jimming Lin, José R. Martí, "Implementation of the CDA Procedure in the EMTP", IEEE Transactions on Power Systems, Vol. 5, No. 2, pp. 394-402, May 1990.

[Litronic AG 2005]
Página de Litronic AG, http://www.litronic.ch/, 2005.

[LiveDevices 2005]
Página de LiveDevices, http://www.livedevices.com, 2005.

[LynuxWorks 2005]
Página de LynuxWorks, http://www.lynuxworks.com, 2005.

[Mariños *et al.* 1994]
Z. A. Mariños, J. L. R. Pereira, S. Carneiro Jr., "Fast Harmonic Power Flow Calculation using Parallel Processing", IEE Procedings on Generation Transmission and Distribution, Vol. 141, No. 1, pp. 27-32, January 1994.

[Martí 1982]
J.R. Martí, "Accurate Modelling of Frequency-Dependent Transmission Lines in Electromagnetic Transient Simulations", IEEE Transactions on Power Apparatus and Systems, Vol. PAS-101, No. 1, January 1982, pp. 147-157.

[Martí y Linares 1994]
J.R. Martí, L.R. Linares, "Real-Time EMTP-Based Transients Simulation", IEEE Transactions on Power Systems, Vol. 9, No. 3, Agosto 1994. Págs. 1309-1317.

[Martí y Lin 1989]
José R, Martí, Jiming Lin, "Suppression of Numerical Oscillations in the EMTP", IEEE Transactions on Power Systems, Vol. 4, No. 2, pp. 739-747, May 1989.

[Martí y Louie 1997]
J.R. Martí, K.W. Louie, "A Phase – Domain Synchronous Generator Model Including Saturation Effects", IEEE Transactions on Power Systems, Vol. 12, No. 1 Feb. 1997, pp. 22-229.

[McLaren *et al.* 1991]
P.G. McLaren, R. Kuffel, R. Wierckx, J. Giesbrecht, L. Arendt, "A Real Time Digital Power System Simulator for Testing Relays", Transmission and Distribution Conference, Proceedings of the IEEE Power Engineering Society, 22-27 Sept. 1991, Págs. 370-375.

[Medina *et al.* 2003]
A. Medina, A. Ramos-Paz, C.R. Fuerte-Esquivel, "Periodic steady state solution of electric systems with nonlinear components using parallel processing", IEEE Transactions on Power Systems, Vol. 18, Issue 2, págs. 963-965, Mayo 2003.

[Medina y Martínez 2005a]
A. Medina, F. Martínez-Cárdenas, "Analysis of the Harmonic Distortion Impact on the Operation of Digital Protection Systems", PES-General Meeting, San Francisco Ca. USA, June 12-16, 2005.

[Medina y Martínez 2005b]
Aurelio Medina, Fernando Martínez-Cárdenas, "Harmonic Distortion Impact Assessment on the Operation of Digital Protection Systems", International Conference on Modelling and Simulation [MS'05], Morelia, Michoacán, México, 2005, pp238-243.

[Medina y Martínez 2005c]
A. Medina, F. Martínez-Cárdenas, "Experimental Studies on Digital Protection Systems Under Unbalanced and Non Sinusoidal Conditions", 37th North American Power Symposium, Ames. Iowa, USA, October 23-25, 2005, pp519-523.

[Medina y Martínez 2006a]
A. Medina, F. Martínez-Cárdenas, "Harmonic Distortion Impact On Electro-Mechanical And Digital Protection Relays", 5th WSEAS Int. Conf. On Instrumentation, Measurement, Circuits and Systems, Hangzhou, China, April 16-18, 2006, pp322-327.

[Medina y Martínez 2006b]
A. Medina, F. Martínez-Cárdenas, "Analysis of the Harmonic Distortion and Unbalanced Conditions in the Operation of Electro-Mechanical and Digital Protection Relays", WSEAS Transactions on Circuits and Systems, Issue 4, Vol. 5, April 2006, ISSN: 1109-2734, pp582-589.

[Micrium, Inc. 2006]
Página de Micrium, Inc., http://www.Micrium.com, 2006.

[Micro Digital, Inc. 2005]
Página de Micro Digital, Inc., http://www.smxinfo.com, 2005.

[MS 2003]:
Measurement Studio Evaluation Guide, National Instruments, 2003.

[MS VS .NET 2003].
Ayuda de Microsft Visual Studio .NET 2003, Microsoft Corporation.

[Muthumuni 2001]
Dharshana De S. Muthumuni, "Simulation Models Relevant to the Protection of Synchronous Machines and Transformers", PhD Tesis, The Department of Electrical and Computer Engineering, The university of Manitoba, Winnipeg, Manitoba, Canada, April 2001.

[NI 2007]
Página de National Instruments, http://www.ni.com, 2007.

[Nimmersjö *et al.* 1988]
Gunnar Nimmersjö, Odd Werner-Erichsen, Birger Hillström, George D. Rockefeller "A Digitally-Controlled, Real-Time, Analog Power-System Simulator for Closed-Loop Protective Relaying Testing", IEEE Transactions on Power Delivery. Vol. 3, No. 1, Enero 1988, Págs. 138-152.

[Nimmersjo *et al.* 2000]
G. Nimmersjo, M.M. Saha, B. Hillstrom, "Protective Relay Testing Using a Modern Real Time Simulator", 2000 IEEE Power Engineering Society Winter Meeting, Vol. 3, págs. 1905-1910, 23-27 Enero 2000.

[OMICRON 2006]
Página OMICRON, http://www.omicron.at/

[On Time Informatik GmbH 2005]
Página de On Time Informatik GmbH, http://www.on-time.com, 2005.

[Pacheco 1997]
P.S. Pacheco, "Parallel Programming with MPI", Morgan Kaufmann Publishers, Inc., San Francisco, CA, 1997.

[Pappas y Murray 1999]
Chris H. Pappas, William H. Murray, "Manual de Referencia - Visual C++ 6.0", Osborne – McGraw-Hill, 1999.

[Parasoft 2007]
Página de Parasoft Corporation, http://www.parasoft.com, 2007.

[Parker y Chua 1989]
P. S. Parker, L. Chua, Practical Numerical Algorithms for Chaotic Systems, Springer-Verlag, 1989.

[ProTesT 2000]
"ProTesT User Guide", Doble Engineering Company, 85 Walnut Street, Watertown, Massachusetts, U.S.A, 2000-2001.

[PSCAD 2003]
Manitoba HVDC Research Centre Inc., "Power Systems Computer Aided Design (PSCAD) User´s Guide", Winnipeg, Manitoba, Canadá, 2003.

[PSCAD 2005]
Ayuda de PSCAD V4.2, 2005.

[PSCAD 2006]
Página del simulador PSCAD, 2006. http://pscad.com/.

[PSCAD/EMTDC 2003a]
PSCAD/EMTDC Electromagnetic Transients V4.02 User's Guide Manitoba-HVDC Research Centre, July 2003.

[PSCAD/EMTDC 2003b]
Manitoba HVDC Research Centre Inc., "Introductión to PSCAD/EMTDC", Winnipeg, Manitoba, Canadá, 2003.

[PSCAD/RELAY 2001]
Manitoba HVDC Research Centre Inc., "PSCAD/RELAY Installation & Operations Manual", Winnipeg, Manitoba, Canadá, 2001.

[Pulse 2006]
HVDC Research Centre, “The Importance of Ramp-up Time Selection”, Revista Pulse, Primavera del 2006, pp 6.

[QNX Software Systems Ltd. 2005]
Página de QNX Software Systems Ltd., http://www.qnx.com, 2005.

[Quadros Systems, Inc. 2005]
Página de Quadros Systems, Inc., http://www.quadros.com, 2005.

[RadiSys 2005]
Página de RadiSys, http://www.microware.com/, 2005.

[Ravindranath y Chander 1989]
B. Ravindranath, M. Chander, “Protección de Sistemas de Potencia e Interruptores”, Primera edición, Limusa, 1989.

[REDSonic, Inc. 2005]
Página de REDSonic, Technology Corporation, Inc., http://www.redsonic.com, 2005.

[Rodríguez y Medina 2001]
O. Rodriguez, A. Medina, “Fast periodic steady state solution of a synchronous machine model in phase coordinates incorporating the effects of magnetic saturation and hysteresis”, Power Engineering Society Winter Meeting, 2001. IEEE, Vol. 3, 28 Jan.-1 Feb. 2001, Page(s):1431 – 1436.

[Rodríguez y Medina 2002]
O. Rodriguez, A. Medina, “Synchronous machine stability analysis using an efficient time domain methodology: unbalanced operation analysis”, Power Engineering Society Summer Meeting, 2002 IEEE, Vol. 2, 2002 Page(s):677 – 681.

[Rodríguez y Medina 2003]
O. Rodriguez, A. Medina, “Efficient methodology for stability analysis of synchronous machines”, Generation, Transmission and Distribution, IEE Proceedings, Vol. 150, Issue 4, 14 July 2003 Page(s):405-412.

[RSC-02]
Kitron, “Manual de Operación”, Relevador de sobrecorriente RSC-02.

[RTDS 2006]
Página de RTDS Technologies, 2006. http://www.rtds.com/.

[RTP 2002]
HVDC Research Centre Inc., “RTP Operations Manual (Use and Testing)” , Power System Waveform Generator, Real Time PlayBack, Versión 3.3, Winnipeg, Manitoba, Canadá, 2002.

[Salam *et al.* 1989]
F. M. A. Salam, L. Ni, X. Sun, S. Guo, “Parallel Processing for the Steady State Solutions of Large-Scale Non-Linear Models of Power Systems”, IEEE International Symposium on Circuits and Systems ISCAS, Vol. 3, págs. 1851-1854, 8-11 Mayo, 1989.

[Sankaran 2002]
C. Sankaran, , “Power Quality”, CRC Press, 2002.

[Schweitzer y Hou 1993]
E. O. Schweitzer III, Daqing Hou, “Filtering for Protective Relays”, Schweitzer Engineering Laboratories, Inc. Pullman, Washington, 28-30 de Abril, 1993.

[SEGGER 2005]
Página de SEGGER Mycrocontroller Systeme GmbH, http://www.segger.com, 2005.

[SEL 2006]
Página de SEL, Schweitzer Engineering Laboratories Inc. http://www.selinc.com/

[SEL 121-F 1992]
Schweitzer Engineering Laboratories Inc., "SEL 121F, Phase and Ground Distance Relay, Ground Directional Overcurrent Relay, Synchronism Checking Relay, Reclosing Relay, Fault Locator, Instruction Manual", 1992.

[SEL-321 2001]
Schweitzer Engineering Laboratories Inc., "SEL 321-2, Phase and Ground Distance Relay, Directional Overcurrent Relay, Fault Locator, Instruction Manual", 2001.

[SEL-351 2002]
Schweitzer Engineerig Laboratories, Inc., "SEL-351-0,-1,-2,-3,-4 Directional Overcurrent Relay Reclosing Relay Fault Locator Instruction Manual", 2002.

[Semlyen y Deri 1985]
A. Semlyen, A.Deri, "Time Domain Modelling of Frequency Dependent Three-Phase Transmission Line Impedance", IEEE Transactions on Power Apparatus and Systems, Vol. PAS-104, No. 106, June 1985. pp. 1549-1555.

[SGI 2005]
Página de SGI, http://www.sgi.com/, 2005.

[Shift-Right Technologies, LLC 2005]
Página de Shift-Right Technologies, LLC, http://www.shift-right.com/, 2005.

[Sierra Real-Time Kernel in Hardware 2005]
Página de Sierra Real-Time Kernel in Hardware, www.realfast.se, 2005.

[Snider *et al.* 1997]
Dr. Laurence Snider, Charles Gagnon, Ghyslain Cloutier, "Real-Time Power System Simulators: Contributing to the Succesful Development of Complex Power Systems", Proceedings of the 4th International Conference on Advances in Power System Control, Operation and Management, APSCOM-97, Hong Kong, November 1997, Págs. 389-395.

[Softwave Wireless 2005]
Página de Software Wireless, http://www.portos.org/, 2005.

[Subramanian y Malik 1971]
P. Subramanian, O. Malik, P., "Digital Simulation of a Synchronous Generator in Direct-Phase Quantities", PROC. IEE, Vol. 118, No. 1, January 1971, pp. 153-160.

[SUN 1997]
SUN "Multithreaded Programming Guide", SUN Microsystems, 1997.

[SYSGO AG 2006]
Página de SYSGO AG, http://www.sysgo.com/, 2006.

[Talbot *et al.* 2000]
P D Talbot, Z Q Bo, L Denning, X F Shen, Y F Qui, A Williams, R H J Warren, R Hoole, G C Weller, K J Mackay, "Real-Time Simulations of Critical Evolving Fault Condition on a 500kV Transnission Network for Testing of High Performance Protection Relays", IEEE, 2000, Págs. 1923-1927.

[TenAsys 2005]
Página de Tenasys Corporation, http://www.tenasys.com, 2005.

[TimeSys Corporation 2005]
Página de TimeSys Corporation, http://www.timesys.com, 2005.

[Treck Inc. 2005]
Página de Treck Inc., http://www.treck.com/, 2005.

[TTTech 2005]
Página de TTTech Computertechnik AG, http://www.tttech.com, 2004.

[Unicoi Systems, Inc. 2004]
Página de Unicoi Systems, Inc., www.unicoi.com, 2004.

[US Software 2005]
Página de US Software – acquired by Lantronix, http://www.lantronix.com/, 2005.

[Validated Software Corporation 2005]
Página de Validated Software Corporation, http://www.ValidatedSoftware.com, 2005.

[Vita Nuova 2005]
Página de Vita Nuova, http://www.vitanuova.com/, 2005.

[Wind River 2005]
Página de Wind River, http://www.windriver.com/, 2005.

[Wu *et al.* 2006]
Jian Wu, Yong Cheng, Anurag K. Srivastava, Noel N. Schulz, Herbert L. Ginn III, "Hardware in the Loop Test for Power System Modeling and Simulation", Power Systems Conference and Exposition, 2006. PSCE '06. 2006 IEEE PES, Oct. 29-Nov. 1 2006, Page(s):1892 - 1897.

[Zamora *et al.* 2005]
Ma. Inmaculada Zamora Belver; Ángel Javier Mazón Sainz-Maza; Elvira Fernández Herrero; Kldobika Joseba Sagastabeitia Buruaga; Igor Albizu Flóres; Pablo Eguía López; Esther Torres Iglesias; Victor Valverde Santiago, "Simulación de Sistemas Eléctricos", Pearson Prentice Hall, 2005.

APÉNDICE A

SISTEMAS OPERATIVOS EN TIEMPO REAL

1. *AMX RTOS, KwikNet TCP/IP Stack, KwikPeg GUI* de KADAK Products Ltd [KADAK Products Ltd. 2005].
2. *C EXECUTIVE* de JMI Software Systems, Inc. [JMI Software Systems, Inc. 2004].
3. *CMX-RTX* de CMX Systems, Inc. [CMX Systems Inc. 2005].
4. *CORTEX (COncurrent Real Time EXecutive)* de Australian Real Time Embedded Systems (ARTESYS) [ARTESYS 2004].
5. *CsLEOS(tm) RTOS* de BAE SYSTEMS Controls [BAE SYSTEMS Controls 2005].
6. *DeltaOS* de CoreTek Systems, Inc. [CoreTek Systems, Inc. 2004].
7. *eCos* de eCosCentric Limited [eCosCentric 2006].
8. *embOS* de SEGGER Microcontroller Systeme GmbH [SEGGER 2005].
9. *eRTOS* de JK microsystems, Inc. [JK microsystems, Inc. 2006].
10. *ESF OS*™ de EmINENT Microsystems [EmINENT Microsystems 2005].
11. *eXtreme Minimal Kernel (XMK)* de Shift-Right Technologies, LLC [Shift-Right Technologies, LLC 2005].
12. *EYRX* de Eyring Corporation [Eyring 2004]
13. *FreeRTOS* de FreeRTOS [FreeRTOS.com 2005].
14. *Fusion RTOS* de Unicoi Systems Inc. [Unicoi Systems, Inc. 2004].
15. *Inferno* de Vita Nuova [Vita Nuova 2005].
16. *INTEGRITY Real-Time Operating System (RTOS)* de Green Hills Software [Green Hills Software 2005].
17. *iRMX* de TenAsys Corporation [TenAsys 2005].
18. *Jaluna-1* de Jaluna [Jaluna 2005].
19. *Jbed* de esmertec, inc. [esmertec, inc. 2005]
20. *MicroC/OS-II* de Micrium, Inc. [Micrium, Inc. 2006].
21. *MQX* de ARC International [ARC International 2005].
22. *NicheTask Embedded OS* de FreeRTOS.com [FreeRTOS.com 2005].

23. *Nimble* de Eddy Solutions [Eddy Solutions 2005].
24. *Nucleus PLUS* de Accelerated Technology [Accelerated Technology 2005].
25. *Omega Environment*™ de Cedaryacht Limited [Cedaryacht Limited 2005].
26. *OS-9* de Radisys [RadiSys 2005].
27. *OSE* de Enea Embedded Technology [Enea 2006].
28. *PDOS* de Eyring Corporation [Eyring 2004].
29. *PikeOS* de SYSGO AG [SYSGO AG 2006].
30. *PORTOS* de Softwave Wireless [Softwave Wireless 2005].
31. *PrKERNEL* de eSOL [eSOL 2004].
32. *PSX* de JMI Software Systems, Inc. [JMI Software Systems, Inc. 2004].
33. *QNX Neutrino* de QNX Software Systems Ltd. [QNX Software Systems Ltd. 2005].
34. *QNX4* de QNX Software Systems Ltd. [QNX Software Systems Ltd. 2005].
35. *Realogy Real-Time Architect (RTA)* de LiveDevices [LiveDevices 2005].
36. *REDICE-Linux* de REDSonic, Inc. [REDSonic, Inc. 2005].
37. *RTOS-UH* de Institute of Automatic Control [Institute of Automatic Control 2004].
38. *RTXC* de Quadros Systems, Inc. [Quadros Systems, Inc. 2005].
39. *RTXC Quadros* de Quadros Systems, Inc. [Quadros Systems, Inc. 2005].
40. *Rubus OS* de Arcticus Systems AB [Arcticus Systems AB 2005].
41. *SCIOPTA* de Litronic AG [Litronic AG 2005].
42. *SHARCOS* de JDC Electronic SA [JDC Electronic SA 2005].
43. *Sierra Real-Time Kernel in Hardware* de Sierra Real-Time Kernel in Hardware [Sierra Real-Time Kernel in Hardware 2005].
44. *smx (Micro Digital, Inc)* de Micro Digital, In. [Micro Digital, Inc. 2005]
45. *SuperTask!* de U S Software - acquired by Lantronix [US Software 2005].
46. *TargetOS*™ de Blunk Microsystems [Blunk Microsystems 2005].
47. *ThreadX* de Express Logic [Express Logic 2005].
48. *TimeSys Linux* de TimeSys Corporation [TimeSys Corporation 2005].
49. *Treck AMX* de Treck Inc. [Treck Inc. 2005].
50. *Treck MicroC/OS-II* de Treck Inc. [Treck Inc. 2005].
51. *TronTask!* de U S Software - acquired by Lantronix [US Software 2005].
52. *TTP-OS* de TTTech Computertechnik AG [TTTech 2005].

53. *uC/OS-II (ChronOS)* de FreeRTOS.com [FreeRTOS.com 2005].
54. *Valid-653™* de Validated Software Corporation [Validated Software Corporation 2005].
55. *velOSity microkernel* de Green Hills Software [Green Hills Software 2005].
56. *Virtuoso* de Eonic [Eonic 2006]
57. *VxWorks* de Wind River [Wind River 2005]

APÉNDICE B

INTERFASE DE BAJA SEÑAL DE RELEVADORES SEL

Los relevadores digitales de SEL (Schweitzer Engineering Laboratories) ofrecen la ventaja de contar con una interfase de pruebas de baja señal, es decir, que no se requiere el uso de un equipo de pruebas que cuente con salidas amplificadas o bien el uso de amplificadores de corriente y voltaje a la salida de un equipo de pruebas que solo cuente con salidas de baja señal como RTP o VOLTS. Esta característica resulta ser muy práctica porque además de eliminar los costos de adquisición de los amplificadores de corriente y voltaje, reduce el riesgo que representa tanto para el usuario como para el equipo el uso de niveles altos de potencia.

A continuación se presentan las interfases de baja señal de los tres relevadores utilizados para efectuar diferentes pruebas durante el desarrollo de esta tesis. Para tener acceso a esta interfase de baja señal se tiene que remover la tapa del panel frontal del relevador y desconectar el conector hembra conectado al cable plano proveniente del módulo de entrada. El conector macho para cable plano que queda libre después de desconectar el módulo de entrada es la entrada al módulo de procesamiento del relevador o interfase de pruebas de baja señal, y tiene un tamaño y distribución de entradas de corriente y voltaje diferentes para cada relevador. La Figura B.1 muestra dos fotografías que muestran la interfase de baja señal del relevador SEL 321. En ambas fotografías la interfase de baja señal se señala mediante un círculo blanco.

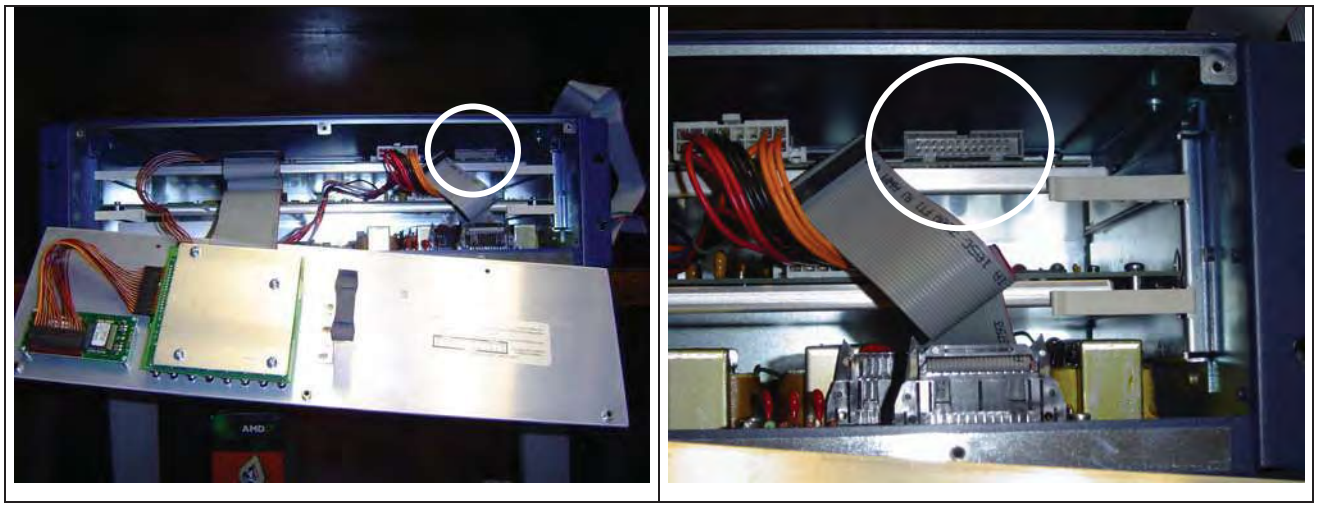


Figura B.1 Interfase de baja señal del relevador SEL 321.

B.1 Interfase de Baja Señal del Relevador SEL 121-F

La interfase de baja señal del relevador SEL 121-F está disponible a través de un conector macho para cable plano de 20 terminales. El relevador SEL 121-F cuenta con tres entradas de voltaje de fase (V_A, V_B y V_C), tres entradas de corriente de línea (I_A, I_B e I_C) y una entrada de voltaje de sincronismo (V_S). La Figura B.2 muestra la distribución de entradas de baja señal para este relevador.

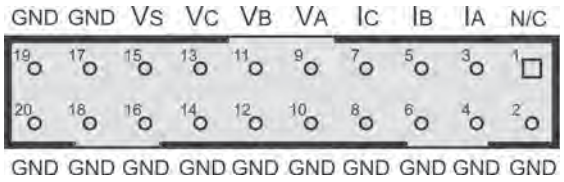


Figura B.2 Interfase de baja señal del relevador SEL 121-F.

Este relevador presenta las siguientes relaciones de conversión de corrientes y voltajes de entrada al relevador en relación a los voltajes en la interfase de baja señal:

I_A, I_B e I_C: 100mV a corriente nominal (1A ó 5A)

V_A, V_B, V_C y V_S: 1313.7mV a voltaje nominal ($67V_{LN}$)

En el relevador con valores nominales de corriente de 5A y de voltaje de $67V_{LN}$, las escalas de conversión de entrada a interfase de baja señal son los que se presentan en la Tabla B.1 [SEL-121F 1992].

Tabla B.1 Escalas de conversión de la entrada a la interfase de baja señal para el relevador SEL 121-F.

SEÑAL DE ENTRADA	ESCALA	UNIDADES
I_A, I_B e I_C	50:1	A/V
V_A, V_B, V_C y V_S	51:1	V/V

B.2 Interfase de Baja Señal del Relevador SEL 321

La interfase de baja señal del relevador SEL 321 está disponible a través de un conector macho para cable plano de 24 terminales. El relevador SEL 321 cuenta con tres entradas de voltaje de fase (V_A, V_B y V_C) y tres entradas de corriente de línea (I_A, I_B e I_C). La Figura B.3 muestra la distribución de entradas de baja señal para este relevador.

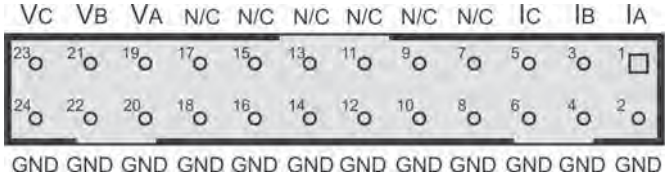


Figura B.3. Interfase de baja señal del relevador SEL 321.

Este relevador presenta las siguientes relaciones de conversión de corrientes y voltajes de entrada al relevador en relación a los voltajes en la interfase de baja señal:

I_A, I_B e I_C: 100mV a corriente nominal (1A ó 5A)

V_A, V_B y V_C: 1313.7mV a voltaje nominal ($67V_{LN}$)

Para el caso del relevador con valores nominales de corriente de 5A y de voltaje de $67V_{LN}$, las escalas de conversión de entrada a interfase de baja señal son los que se presentan en la Tabla B.2 [SEL-321 2001].

Tabla B.2 Escalas de conversión de la entrada a la interfase de baja señal para el relevador SEL 321.

SEÑAL DE ENTRADA	ESCALA	UNIDADES
I_A, I_B e I_C	50:1	A/V
V_A, V_B y V_C	51:1	V/V

B.3 Interfase de Baja Señal del Relevador SEL 351

La interfase de baja señal del relevador SEL 351 está disponible a través de un conector macho para cable plano de 34 terminales. El relevador SEL 351 cuenta con tres entradas de voltaje de fase (V_A, V_B y V_C), tres entradas de corriente de línea (I_A, I_B e I_C), una entrada de voltaje de sincronismo (V_S) y una entrada de corriente de neutro (I_N). La Figura B.4 muestra la distribución de entradas de baja señal para este relevador.

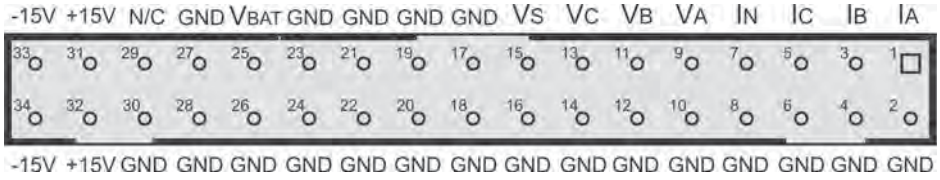


Figura B.4. Interfase de baja señal del relevador SEL 351.

Este relevador presenta las siguientes relaciones de conversión de corrientes y voltajes de entrada al relevador en relación a los voltajes en la interfase de baja señal:

I_A, I_B, I_C e I_N: 100mV a corriente nominal (1A ó 5A)

V_A, V_B, V_C y V_S: 1313.7mV a voltaje nominal ($67V_{LN}$)

Alimentación (V_{BAT}): $1.25V_{CD}$ a $125V_{CD}$ de alimentación

Finalmente, para el caso del relevador con valores nominales de corriente de 5A, voltaje de $67V_{LN}$ y para cualquier valor nominal de alimentación, las escalas de conversión de entrada a interfase de baja señal son los que se presentan en la Tabla B.3 [SEL-351 2002].

Tabla B.3 Escalas de conversión de la entrada a la interfase de baja señal para el relevador SEL 351.

SEÑAL DE ENTRADA	**ESCALA**	**UNIDADES**
I_A, I_B e I_C	50:1	A/V
V_A, V_B y V_C	51:1	V/V
Alimentación (V_{BAT})	100:1	V/V

APÉNDICE C

ECUACIONES UTILIZADAS EN *CLODSA-RT* Y ASPECTO FÍSICO

En este apéndice se presentan las ecuaciones utilizadas en el simulador en tiempo real *CLODSA-RT* para realizar la simulación de los diferentes casos de estudio que se presentan en el capítulo 5. También se presentan algunas fotografías que muestran el aspecto físico del hardware de este simulador.

C.1 Ecuaciones de los diferentes casos de estudio

La técnica utilizada en *CLODSA-RT* para realizar la simulación de la red eléctrica bajo estudio está basada en la solución de las ecuaciones de estado que representan el comportamiento dinámico de la red eléctrica de cada caso. La solución de dichas ecuaciones de estado se lleva a cabo con la ayuda de un método de integración.

Algunas de las redes eléctricas presentadas en los casos de estudio incluyen elementos de conmutación (interruptores) que requieren de técnicas especiales para modelar su operación. La forma mas sencilla de modelar un interruptor consiste en considerarlo como una resistencia que toma un valor pequeño cuando el interruptor se encuentra cerrado y un valor grande cuando el interruptor se encuentra abierto. Este modelo del interruptor tiene la ventaja de que mantiene sin cambio la topología de la red y por lo tanto las ecuaciones de estado no cambian a lo largo de toda la simulación siendo el valor de la resistencia que modela al interruptor lo único que cambia. Este modelo del interruptor se utilizó en la simulación del caso 02 y en este caso no presenta ningún problema, sin embargo en muchos otros casos genera oscilaciones numéricas y en muchos casos requiere de pasos de integración muy pequeños para no generar problemas de convergencia en los métodos de integración.

La técnica utilizada en los casos 5.3 y 5.5 para simular las redes eléctricas correspondientes que incluyen dispositivos de conmutación está basada en la formulación en variables de estado de cada

estado topológico que presenta dicha red eléctrica. Está técnica se describe en la sección 4.8 y tiene las ventajas de que no genera oscilaciones numéricas y permite el uso de pasos de integración grandes sin generar problemas de convergencia en los métodos de integración.

C.1.1 Ecuaciones del Caso 5.1

Este caso consiste en una red lineal sin elementos de conmutación por lo que el conjunto de ecuaciones de estado es uno solo.

$$\begin{bmatrix} \frac{di_1}{dt} \\ \frac{di_2}{dt} \end{bmatrix} = \begin{bmatrix} \frac{-R_1}{L_1} & \frac{R_1}{L_1} \\ \frac{R_1}{L_2} & \frac{-(R_1+R_2)}{L_2} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} + \begin{bmatrix} \frac{1}{L_1} \\ 0 \end{bmatrix} \begin{bmatrix} v_s \end{bmatrix}$$

C.1.2 Ecuaciones del Caso 5.2

En este caso existe un elemento de conmutación que se modela como una resistencia R_{sw}, la cual cambia de valor durante la simulación tomando un valor grande cuando el interruptor se encuentra abierto ($R_{sw\,OFF}$) y un valor pequeño cuando el interruptor se encuentra cerrado ($R_{sw\,ON}$). El uso de este modelo sencillo del interruptor permite que se tenga un solo conjunto de ecuaciones de estado.

$$\begin{bmatrix} \frac{dv_c}{dt} \end{bmatrix} = \begin{bmatrix} \frac{-(R+R_{sw})}{R \cdot R_{sw} \cdot C} \end{bmatrix} v_c + \begin{bmatrix} \frac{1}{R \cdot C} \end{bmatrix} V_{CD}$$

$$i_c = \frac{V_{CD}}{R} - \frac{(R_{sw}+R)}{R \cdot R_{sw}} v_c$$

C.1.3 Ecuaciones del Caso 5.3

Este caso es el primero en el que se modela la red eléctrica bajo estudio conteniendo un elemento de conmutación, con los dos conjuntos de ecuaciones de estado que representan el comportamiento dinámico de cada uno de los dos estados topológicos de la red.

Estado 1: Operación Normal; *Sw1*=OFF

$$\left[\frac{di_1}{dt}\right] = \left[\frac{-(R_1 + R_2 + R_L)}{(L_1 + L_2 + L_L)}\right][i_1] + \left[\frac{1}{(L_1 + L_2 + L_L)}\right][v_s]$$

$$i_2 = i_1$$

$$i_L = i_1$$

Estado 2: Condición de Falla; *Sw1*=ON

$$\begin{bmatrix} \frac{di_1}{dt} \\ \frac{di_2}{dt} \end{bmatrix} = \begin{bmatrix} \frac{-(R_1 + R_f)}{L_1} & \frac{R_f}{L_1} \\ \frac{R_f}{(L_2 + L_L)} & \frac{-(R_f + R_2 + R_L)}{(L_2 + L_L)} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \end{bmatrix} + \begin{bmatrix} \frac{1}{L_1} \\ 0 \end{bmatrix} [v_s]$$

$$i_L = i_2$$

C.1.4 Ecuaciones del Caso 5.4

Este caso consiste en la simulación de la máquina síncrona en coordenadas de fase conectada a un bus infinito. En este caso de simulación de *CLODSA-RT* se utilizan el mismo modelo que fue implementado en PSCAD que se describe en la Sección 2.5.4 y cuyas ecuaciones son las que se presentan en la sección 2.5.4.1.

C.1.5 Ecuaciones del Caso 5.5

Estado 1: Operación Normal; *BRK*=ON, *Sw1*=OFF

$$\begin{bmatrix} \frac{di_1}{dt} \\ \frac{di_2}{dt} \end{bmatrix} = \begin{bmatrix} \frac{(L_2+L_L)(R_1+R_L)-R_L L_L}{L_L^2-(L_2+L_L)(L_1+L_L)} & \frac{(L_2+L_L)R_L-(R_2+R_L)L_L}{L_L^2-(L_2+L_L)(L_1+L_L)} \\ \frac{L_L(R_1+R_L)-R_L(L_1+L_L)}{(L_2+L_L)(L_1+L_L)-L_L^2} & \frac{L_L R_L-(R_2+R_L)(L_1+L_L)}{(L_2+L_L)(L_1+L_L)-L_L^2} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \end{bmatrix}$$

$$+ \begin{bmatrix} \frac{-(L_2+L_L)}{L_L^2-(L_2+L_L)(L_1+L_L)} & \frac{L_L}{L_L^2-(L_2+L_L)(L_1+L_L)} \\ \frac{-L_L}{(L_2+L_L)(L_1+L_L)-L_L^2} & \frac{(L_1+L_L)}{(L_2+L_L)(L_1+L_L)-L_L^2} \end{bmatrix} \begin{bmatrix} v_{s1} \\ v_{s2} \end{bmatrix}$$

$$i_L = i_1 + i_2$$

$$i_f = 0$$

$$V_{NL} = R_L i_L + L_L \frac{di_L}{dt}$$

Estado 2: Condición de Falla; *BRK*=ON, *Sw1*=ON

$$\begin{bmatrix} \frac{di_1}{dt} \\ \frac{di_2}{dt} \\ \frac{di_L}{dt} \end{bmatrix} = \begin{bmatrix} \frac{-(R_1+R_f)}{L_1} & \frac{-R_f}{L_1} & \frac{R_f}{L_1} \\ \frac{-R_f}{L_2} & \frac{-(R_2+R_f)}{L_2} & \frac{R_f}{L_2} \\ \frac{R_f}{L_L} & \frac{R_f}{L_L} & \frac{-(R_L+R_f)}{L_{L1}} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \\ i_L \end{bmatrix} + \begin{bmatrix} \frac{1}{L_1} & 0 \\ 0 & \frac{1}{L_2} \\ 0 & 0 \end{bmatrix} \begin{bmatrix} v_{s1} \\ v_{s2} \end{bmatrix}$$

$$i_f = i_1 + i_2 - i_L$$

$$V_{NL} = R_f i_f$$

Estado 3: Condición de Post-Falla; *BRK*=OFF

- Si *Sw1*=ON

$$\begin{bmatrix} \frac{di_1}{dt} \\ \frac{di_L}{dt} \end{bmatrix} = \begin{bmatrix} \frac{-(R_1+R_2)}{(L_1+L_2)} & 0 \\ 0 & \frac{-(R_f+R_L)}{L_L} \end{bmatrix} \begin{bmatrix} i_1 \\ i_L \end{bmatrix} + \begin{bmatrix} \frac{1}{(L_1+L_2)} & \frac{-1}{(L_1+L_2)} \\ 0 & 0 \end{bmatrix} \begin{bmatrix} v_{s1} \\ v_{s2} \end{bmatrix}$$

$$i_2 = -i_1$$

$$i_f = -i_L$$

$$V_{NL} = v_{s1} - R_1 i_1 - L_1 \frac{di_1}{dt}$$

- Si *Sw1*=OFF

$$\begin{bmatrix} \frac{di_1}{dt} \end{bmatrix} = \begin{bmatrix} \frac{-(R_1+R_2)}{(L_1+L_2)} \end{bmatrix} \begin{bmatrix} i_1 \end{bmatrix} + \begin{bmatrix} \frac{1}{(L_1+L_2)} & \frac{-1}{(L_1+L_2)} \end{bmatrix} \begin{bmatrix} v_{s1} \\ v_{s2} \end{bmatrix}$$

$$i_2 = -i_1$$

$$i_L = 0$$

$$i_f = 0$$

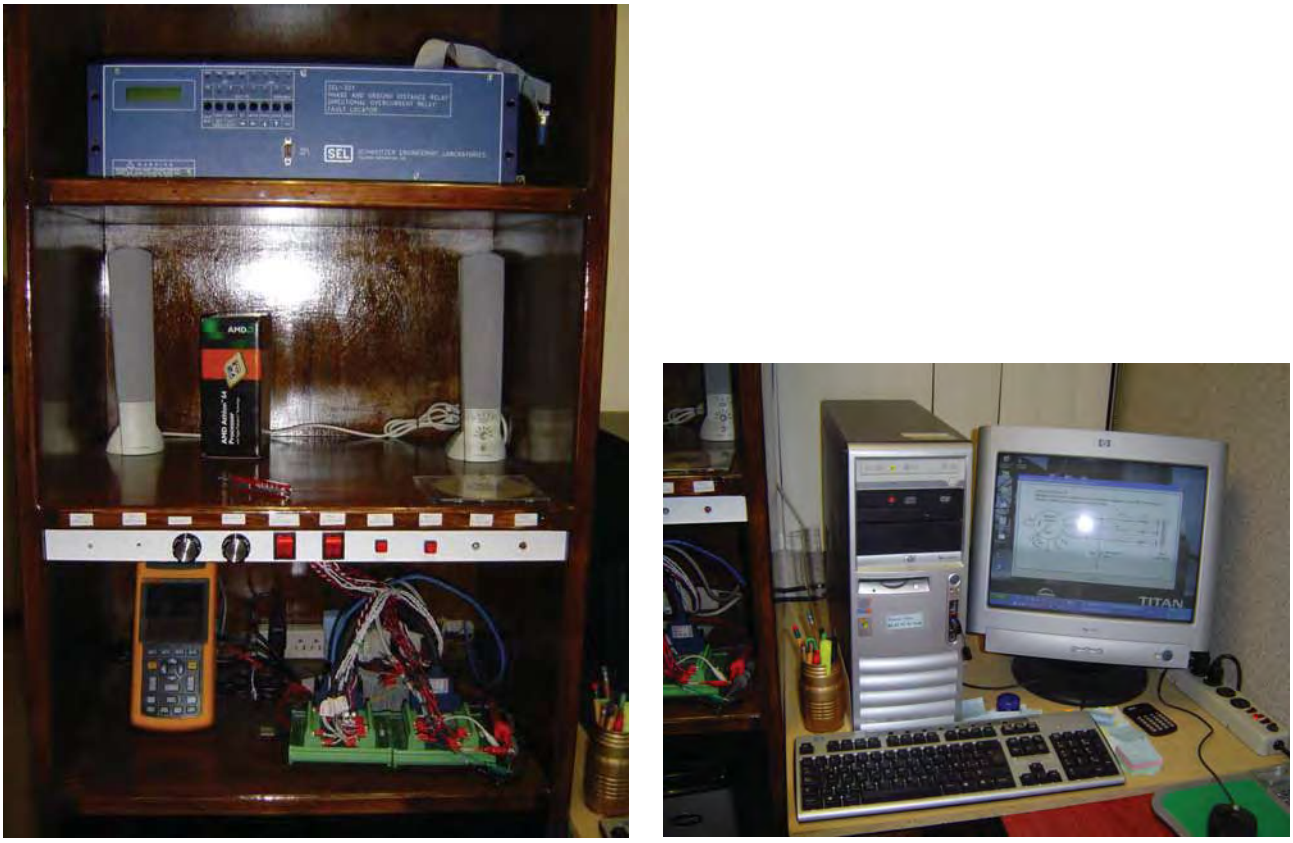
$$V_{NL} = v_{s1} - R_1 i_1 - L_1 \frac{di_1}{dt}$$

C.2 Aspecto físico de *CLODSA-RT*

La Figura C.1 muestra un par de fotografías que muestran el aspecto físico del simulador digital desarrollado *CLODSA-RT*. En la Figura C.1 (a) se observa el módulo en el que se encuentra el relevador sometido a prueba (en la parte de arriba), el cual se conecta a las salidas analógicas provenientes del simulador a través de su interfase de baja señal descrita en el Apéndice B, que se encuentra detrás del panel frontal del relevador. En la parte inferior de la Figura C.1 (a) se pueden observar los módulos de conexiones de las tarjetas de adquisición de datos DAQ (izquierda) y de la

tarjeta de salidas analógicas AO (derecha), también se observa a la izquierda el osciloscopio utilizado para observar las señales de salida del simulador.

La Figura C.1 (b) muestra la computadora utilizada para el desarrollo del simulador digital *CLODSA-RT*. La computadora utilizada es una HP Compaq 7500 que cuenta con un Procesador Pentium IV que opera a una velocidad de 2.992 GHz.



(a) **(b)**

Figura C.1. Aspecto físico del simulador digital *CLODSA-RT*. (a) relevador sometido a prueba (arriba) y módulos de conexiones de las tarjetas DAQ y AO (abajo), (b) computadora digital.

La Figura C.2. muestra un acercamiento del módulo de controles externos que muestra de izquerda a derecha un par de zumbadores electrónicos activados por líneas de puertos digitales de salida que tienen la finalidad de activar alarmas sonoras como parte de los eventos de simulación, un par de potenciómetros conectados a puertos analógicos de entrada, que tienen la función de permitir el

control de variables de la red eléctrica mientras se realiza la simulación tales como valores de resistencias, inductancias, capacitancias, frecuencia, magnitudes de voltajes o corrientes, fases, etc., posteriormente, se cuenta con un par de interruptores de dos posiciones y un par de interruptores de presión que se conectan a puertos digitales de entrada, y tiene la finalidad de operar externamente los elementos de conmutación que se incluyen dentro de la simulación; finalmente, se tiene un par de indicadores visuales LED (Diodos emisores de luz, en inglés: *Light Emitting Diode*) que están conectados a un par de puertos digitales de salida y que tienen la función de indicar algún estado de operación del simulador o desplegar alguna alarma visual.

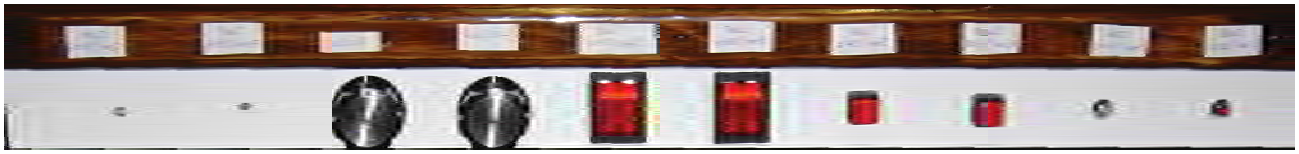


Figura C.2. Acercamiento del módulo de controles externos del simulador *CLODSA-RT*.